

1. GİRİŞ

Projede, VGA (Video Graphics Array) standardı ile gerçekleştirilebilen temel görüntü oluřum teknikleri FPGA üzerinde örnek uygulamalar geliřtirilerek tasarlanmıř ve bu örnek uygulamalarda oluřturulan sistemler kullanarak monitör üzerinde klavye kontrollü sıcaklık-zaman grafiđi çizdirilmiřtir. VGA kontrollü sıcaklık-zaman grafiđi sistemine, sabit durumda bulunan güneř panelinden elde edilen gerilim deđerlerinin LCD ekrandan takip edilmesini sađlayan gerilim ölçen bir devre (basit bir voltmetre devresi) de eklenmiřtir. Böylece iki farklı birimden (VGA monitör ve LCD ekran) sistem çıkıřlarının izlenebilir olması sađlanmıřtır. Güneř paneli kontrol sisteminin VGA üzerinde kontrolü ise uygulama kartı üzerindeki birimlerle sađlanamamıřtır.

FPGA (Alan Programlanabilir Kapı Dizileri) programlanabilir mantık blokları ve bu bloklar arasındaki ara bađlantılardan oluřan tümleřik devrelerdir. FPGA çalıřmaları genellikle bir uygulama geliřtirme kartı üzerinde gerçekleştirilmektedir. Bu projede mantık blokları VHDL dili kullanılarak programlanmıř ve uygulama geliřtirme kartı olarak Xilinx firmasının Spartan 3E kiti kullanılmıřtır. Oluřturulan yazılımlar ISE 11.1 Project Navigator'da sentezlenmiř ve simülasyonlar Modelsim üzerinde gerçekleştirilmiřtir.

Bitirme projesi raporunun ikinci bölümünde VGA kontrollü olarak FPGA üzerinde gerçekleştirilmiř proje örnekleri bulunmaktadır.

Üçüncü bölümde FPGA ve projede kullanılan Spartan 3E uygulama kartı ile ilgili genel bilgiler verilmiřtir.

Dördüncü bölümde gerçekleştirilen sistemlerin temelini oluřturan VGA protokolü detaylı olarak incelenmiřtir.

Beřinci bölümde VGA görüntü oluřum teknikleri kullanılarak gerçekleştirilen örnek uygulamaların tasarım ařamaları anlatılmıřtır.

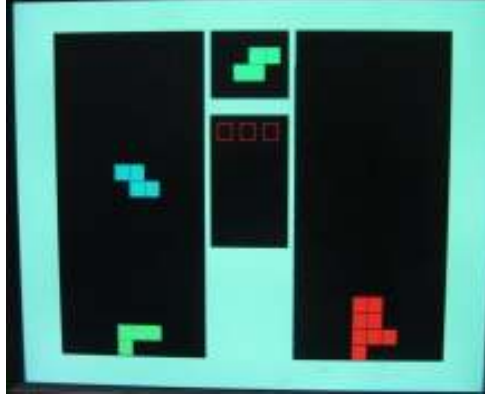
Altıncı bölümde ise temel teknikler kullanılarak oluřturulan sıcaklık-zaman grafiđi uygulaması ve sisteme ek olarak tasarlanan gerilim ölçen devrenin tasarım adımları yer almaktadır.

Son bölümde ise sonuç kısmına yer verilmiřtir.

2. FPGA ÜZERİNDE GERÇEKLEŞTİRİLMİŞ VGA UYGULAMALARI

FPGA'in uygun şekilde programlanmasıyla, VGA (Video Graphics Array) analog görüntü standardı kullanılarak bir bilgisayar monitörü üzerinde çeşitli uygulamaların gerçekleştirilmesi mümkündür. Aynı zamanda FPGA üzerinde gerçekleştirilen bir sistemin çıkış değişkenleri de analog olarak VGA üzerinden takip edilebilmektedir.

FPGA kullanılarak VGA standardı ile analog görüntü oluşumu pek çok uygulamada kullanılmaktadır. VGA standartının kullanıldığı en yaygın uygulamalar; FPGA üzerinde tetris oyunu, pong oyunu, görüntü işleme uygulamaları olarak sıralanabilir. Şekil 2.1'de VGA standardı ile gerçekleştirilmiş tetris oyunu uygulaması örnek olarak gösterilmektedir.



Şekil 2.1 VGA üzerinde tetris oyunu uygulaması [1]

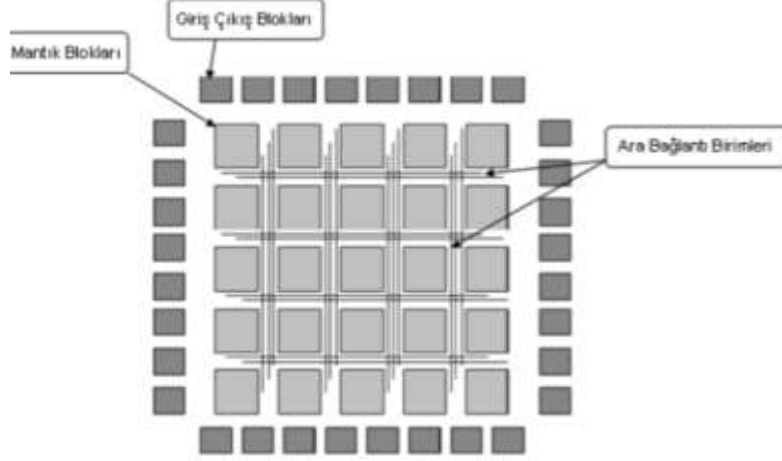
Bu tasarımlardan yola çıkılarak proje kapsamında FPGA üzerinde gerçekleştirilen uygulamaların analog olarak bir ekran üzerinde izlenmesi için gerekli olan temel görüntü oluşum blokları VGA standardı ile hazırlanmış ve bu bloklar farklı sistemler oluşturularak kullanılmıştır.

Bir sonraki bölümde VGA standardı ve sistem tasarımları incelenmeden önce FPGA ve projede kullanılan Spartan 3E uygulama kartı incelenmiştir.

3. FPGA ve SPARTAN 3E UYGULAMA-GELİŞTİRME KARTI

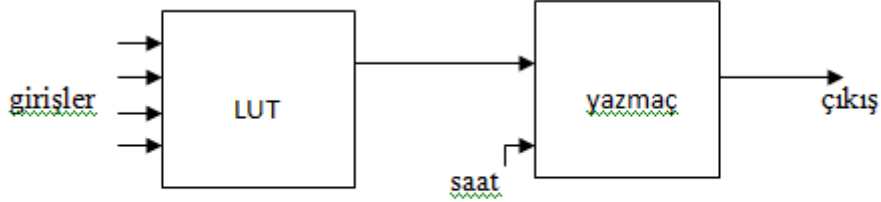
3.1. FPGA

FPGA (Alanda Programlanabilir Kapı Dizileri), programlanabilir mantık blokları ve bu bloklar arasındaki ara bağlantılardan oluşan ve geniş uygulama alanlarına sahip olan sayısal tümleşik devrelerdir. FPGA, programlanabilir mantık blokları, bu blok dizisini çevreleyen giriş-çıkış blokları ve ara bağlantılar olmak üzere düzenlenebilir üç ana bölümden oluşur [2]. Mantık bloklarının arasındaki iletişim ara bağlantılar yoluyla gerçekleşir. Ara bağlantılar ise VHDL ya da Verilog donanım tanımlama dilleri kullanılarak programlama yoluyla şekillendirilir.



Şekil 3.1 FPGA yapısı [2]

FPGA mantık blokları genel olarak, LUT (Look up Table) ve flip flop gibi mantık elemanlarından oluşmaktadır.



Şekil 3.2 FPGA mantık bloğunun yapısı

Günümüzde üretilen FPGA'ler genellikle SRAM temelli yapılandırma hücreleri kullanırlar. Bu üretim şeklinin en önemli avantajı kullanılan FPGA'in binlerce kez programlanabilmesine olanak sağlamasıdır.

FPGA'lerin kullanımının yaygınlaşmasında etken olan önemli özelliklerinden biri de tasarım süresince fabrikasyon aşaması gerektirmemesidir. Bu durum tasarımcı açısından önemli bir zaman kazancı yaratmaktadır.

Savunma sistemleri, sayısal işaret işleme, uzay sistemleri, tıbbi görüntüleme ve otomotiv sektöründe gerçekleştirilen uygulamalar, FPGA'in uygulama alanlarından bazılarıdır. Günümüzde ASIC tasarımında, bazı tasarımcılar tasarımlarını öncelikle FPGA üzerinde gerçekleştirerek test etmekte ve son aşamada tasarladıkları entegre devreleri üretime göndermektedir.

FPGA çalışmaları genellikle bir uygulama geliştirme kartı üzerinde gerçekleştirilir.

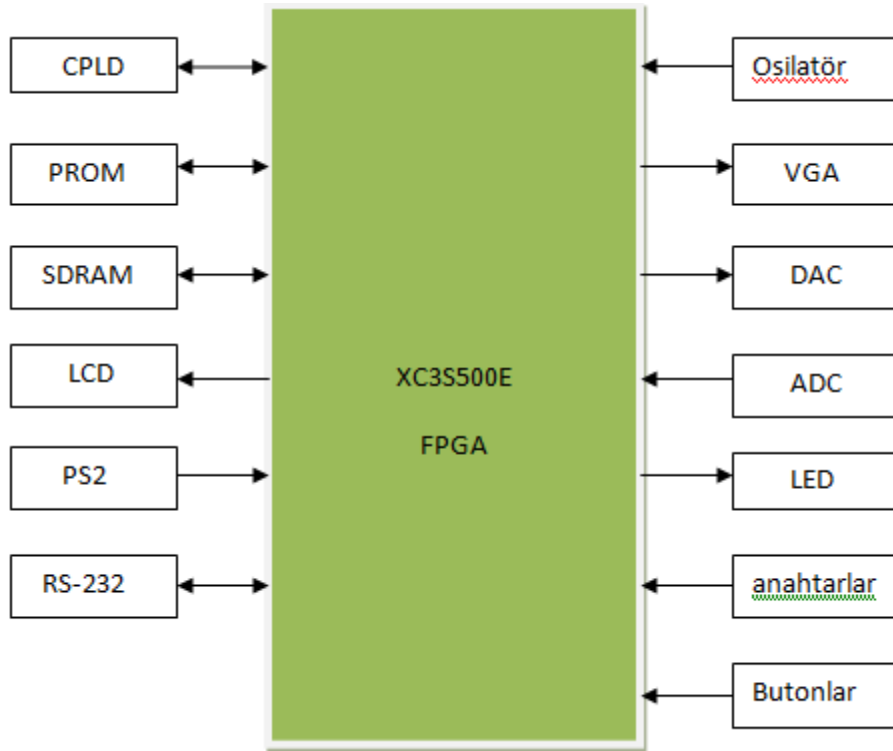
3.2. Uygulama ve Geliştirme Kartı

Projede, Xilinx firmasının ürettiği Spartan 3E Starter Kit kullanılmıştır.

Kart üzerinde bulunan birimler;

- 10000 lojik hücre birimine sahip Xilinx Spartan3E XC3S500E FPGA tümdevresi

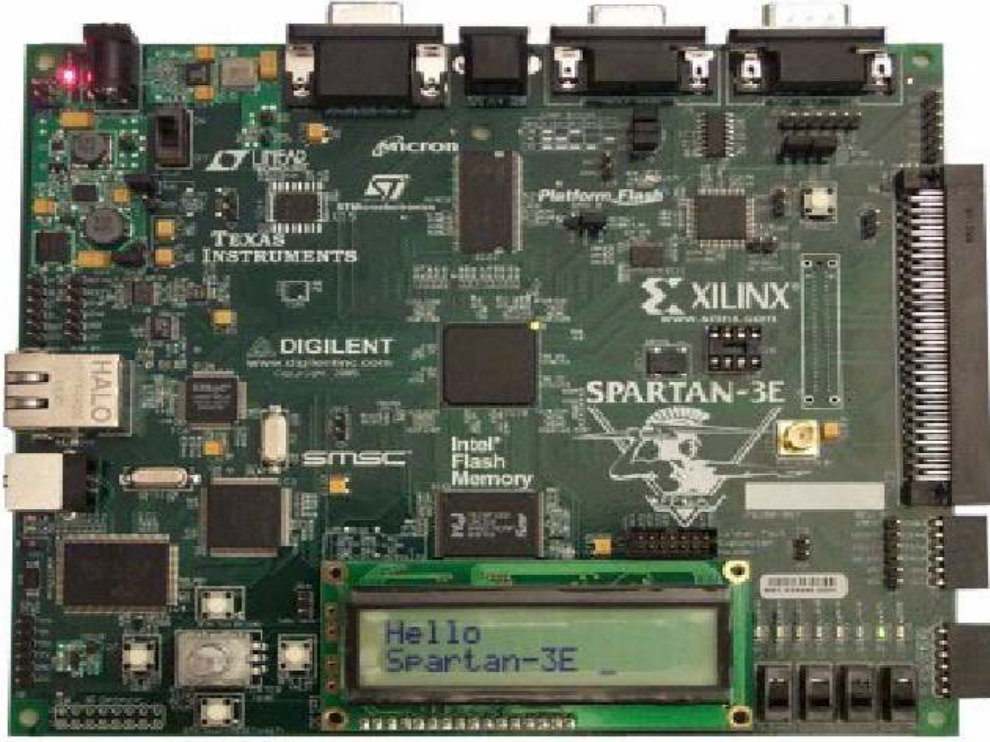
- Xilinx 64-macrocell XC2C64A CPLD
- Xilinx 4Mbit PROM
- 64 Mbit DDR SDRAM
- 16 MByte paralel NOR Flash
- 16 Mbit SPI Seri Flash
- 2 satır, 16 karakter LCD ekran
- PS/2 fare ve klavye portu
- VGA display portu
- 10/100 Ethernet PHY
- DTE ve DCE formatında toplam 2 adet 9 pin RS-232 portu
- USB temelli FPGA ve CPLD programlama olanağı
- 50 Mhz osilatör
- 1- wire seri EEPROM
- 100 pinli FX2 Hirose giriş çıkış konnektörü
- 3 adet 6 pin içeren giriş-çıkış bağlantı konektörü
- 4 çıkışlı, SPI temelli sayısal-analog dönüştürücü
- 2 girişli, SPI temelli, programlanabilir ön kuvvetlendirici devresi ile birlikte analog-sayısal dönüştürücü
- 8 adet led, 4 adet kaydırmalı anahtar, 4 adet buton olarak sıralanabilir.



Şekil 3.3 Spartan 3E uygulama kartı blok şeması

Proje kapsamında kart üzerinde bulunan Xilinx XC3S500E FPGA tüm devresi, PS/2 klavye portu, VGA (Video Graphics Array) display portu, RS-232 portu, 50 Mhz osilatör, 2 satır, 16 karakter LCD ekran ve ADC kullanılmıştır.

Şekil 3.4'de Spartan3E kitinin görünüşü verilmektedir.



Şekil 3.4 Xilinx Spartan 3E kartının üstten görünüşü

3.2.1. Xilinx XC3S500E

Özellikleri;

- 500000 kapısı bulunmaktadır.
- 158 tane giriş/çıkış birimi vardır.
- 1164 tane lojik blok içermektedir.
- Gecikme süresi 2,7 ns'dir.
- 85°C'ye kadar çalışabilir.



Şekil 3.5 Xilinx XC3S500E FPGA [3]

- 1.1 V ~ 3.465 V arasında besleme gerilimi ile çalışır.
- 20 tane çarpıcı, 4 tane DCM içermektedir.
- 360 Kbit block RAM içermektedir.
- Xilinx FG320 paketinde bulunmaktadır.

Bir sonraki bölümde projenin temelini oluşturan VGA standartı ve Spartan 3E uygulama kartı üzerindeki VGA sistemi incelenmiştir.

4. VGA STANDARTI

VGA (Video Graphics Array) (Video Grafik Dizisi) bilgisayarlardaki analog görüntü standardı ile 15 pin D-sub konektörü veya 640x480 çözünürlüğün kendisini ifade eder. İlk defa 1988 yılında IBM tarafından piyasaya sürülmüştür [4].

4.1. CRT Monitörün Çalışma Mantığı

Bir monitörün en önemli parçası elektronik devreler ile birlikte CRT (Katot ışın tüpü) adı verilen havası boşaltılmış ve ön yüzeyi binlerce fosfor noktasından oluşan bir tüptür. Tüpün dar arka kısmında elektron tabancası bulunur. Şekil 4.1'de bir CRT monitörün sistem bileşenleri yer almaktadır.

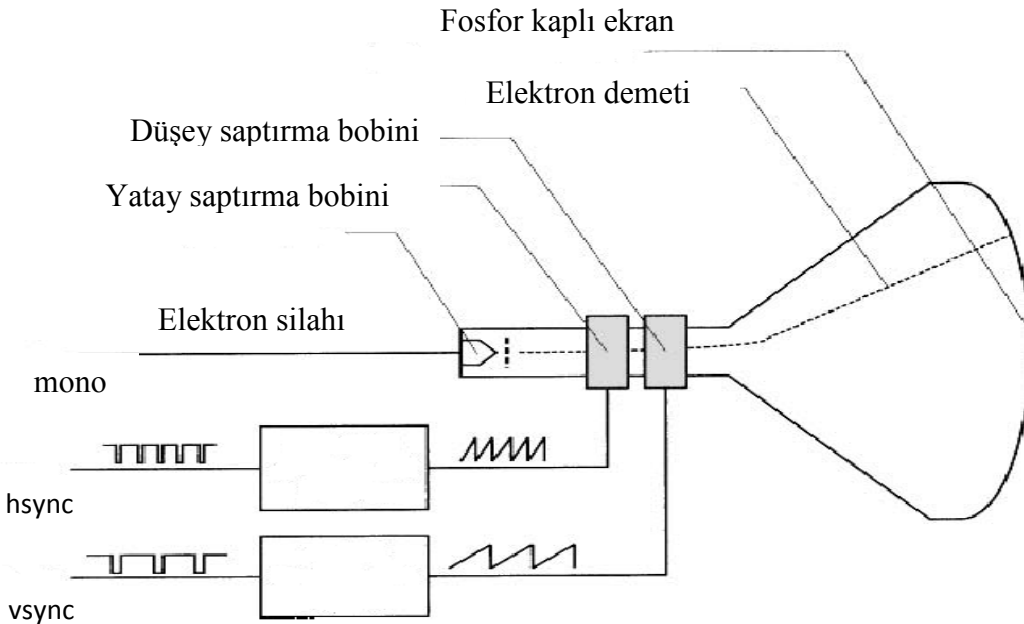
Tabanca içerisindeki katot levhaları tel flaman ile ısıtılır ve tüp içerisinde serbestçe dolaşan elektron bulutunu oluşturur. Negatif kutuplandırılan katotlar ile pozitif kutuplandırılan ekranın iç yüzeyi arasında büyük bir gerilim farkı uygulandığında katotlarda oluşan elektronlar dış yüzeye doğru fırlar.

Sabit olarak yerleştirilen odaklama elemanları bu elektronları bir araya getirerek bir ışın halinde ekran orta yüzeyinde odaklar. Bu ışını ekranın istenilen taraflarına yönlendirmek için elektron tabancasının etrafında yatay ve dikey saptırma bobinleri bulunur. Bu ışının ön yüzeyde gezdirilmesi sonucunda görüntüler ortaya çıkar.

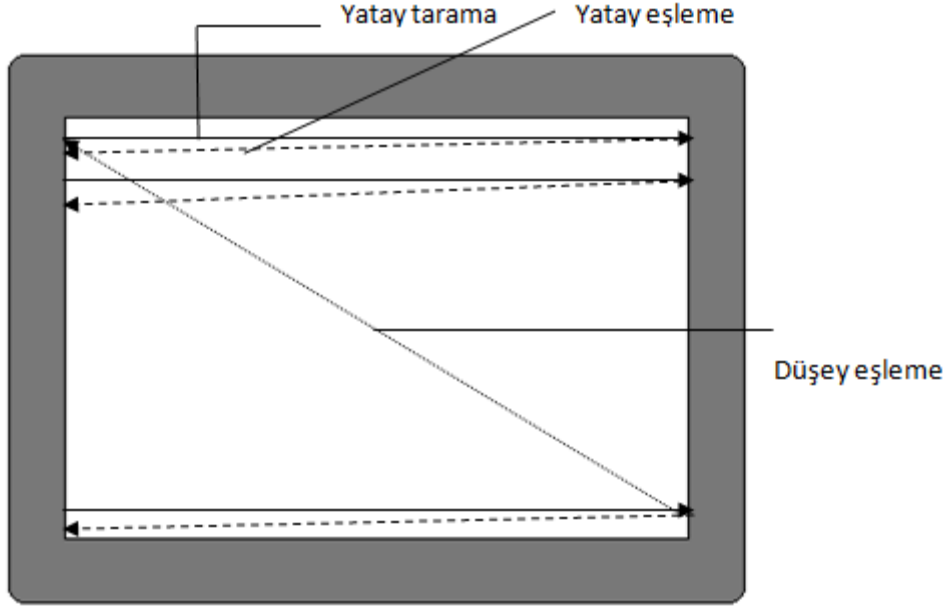
Ekran kartından sinyal geldiği sürece bu ışın monitörün sol üst köşesinden başlayarak fosfor ile kaplı yüzeyi satır ve sütun halinde tarar. Bir satırın taraması tamamlandıktan sonra ışının bir sonraki satırın en sol köşesine gitmesi için yatay saptırma bobininin uygun şekilde kontrol edilmesi gereklidir. Aynı şekilde tüm ekranın tarama işlemi tamamlandıktan sonra ışının tekrar (0,0) başlangıç noktasına gitmesi için de dikey saptırma bobininin uygun şekilde kontrol edilmesi gerekir. Bu geçiş işlemine eşleme (retrace) adı verilmektedir. Monitörün içerisinde, yatay ve dikey saptırma bobinlerinin kontrolünün sağlanması amacıyla testere dişi dalgalar osilatörler ve kuvvetlendiriciler tarafından oluşturulur ve testere dişi dalgalar taramanın tüm ekran boyunca gerçekleşmesini sağlar [5]. Şekil 4.2'de ekran tarama işlemi sembolik olarak gösterilmektedir.

Monitörlerde renkli görüntü oluşumu ise üç temel renk olan kırmızı, yeşil ve mavi tarafından oluşturulmaktadır. Renkli ekran bu üç temel rengin her bir piksele atanmasıyla elde edilir. VGA kontrolü başlığı altında ekran üzerinde oluşturulan renkler detaylı olarak incelenmiştir.

Projede tasarlanan tüm sistemlerin uygulamaları CRT monitör üzerinde gerçekleştirilmiştir.



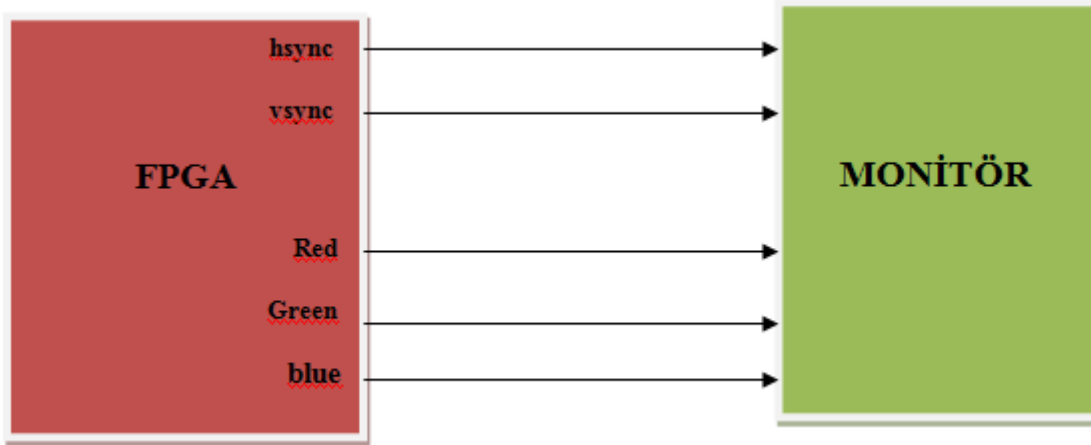
Şekil 4.1 CRT monitör sistem bileşenleri



Şekil 4.2 CRT tarama paterni

4.2. VGA Kontrolü

Bir CRT monitörü genelde hsync, vsync, red (R), green (G), blue (B) olarak adlandırılan işaretler ile kontrol edilir. Bu işaretler ekran kartından monitöre gönderilir. Projemizde ekran kartı yerine bu sinyaller FPGA'den monitöre gönderilmektedir.



Şekil 4.3 FPGA ile monitör kontrolü

4.2.1. hsync ve vsync Kontrol İşaretleri

Hsync ve vsync kontrol işaretleri sayısaldir. Bölüm 4.1'de tanımlanan satır ve sütun eşlemelerini kontrol eden sinyallerdir. Bu işaretler monitör içerisinde testere dişi dalgalarının oluşmasını sağlayarak yatay ve düşey saptırma bobinini kontrol eder. Hsync ve vsync kontrol işaretleri seçilen VGA formatına göre oluşturulur. VGA formatlarının listesi tablo 4.1'de verilmektedir.

Oluşturulan görüntünün algılanması için ekranın bir saniyede onlarca kez taranması gerekmektedir. Bir saniyede yapılan tarama sayısına tazeleme oranı denir ve bir bilgisayar ekranında bu oran 60 veya daha fazla olmaktadır.

Bir satırın ve tüm ekranın taranmasının öncesinde ve sonrasında kontrol amaçlı boş çevrimler yer almaktadır. Ön boşluk ve arka boşluk olarak adlandırılan bu boş çevrimler esnasında ekrana vertical sync, horizontal sync sinyalleri

gönderilerek görüntünün ekrana doğru basılması sağlanmış olur. Bu boş çevrimlerin sayısı çözünürlüğe ve tazeleme oranına göre değişmektedir.

Tablo 4.1. Verilen formatlarda tarama için gerekli frekans ve tarama çevrimleri [6]

Format	Frekans (MHz)	Yatay (Piksel)				Dikey (Satır)			
		Aktif Video	Ön Boşluk	Eşleme Süresi	Arka Boşluk	Aktif Video	Ön Boşluk	Eşleme Süresi	Arka Boşluk
640x480, 60Hz	25.175	640	16	96	48	480	11	2	31
640x480, 72Hz	31.500	640	24	40	128	480	9	3	28
640x480, 75Hz	31.500	640	16	96	48	480	11	2	32
640x480, 85Hz	36.000	640	32	48	112	480	1	3	25
800x600, 56Hz	38.100	800	32	128	128	600	1	4	14
800x600, 60Hz	40.000	800	40	128	88	600	1	4	23
800x600, 72Hz	50.000	800	56	120	64	600	37	6	23

Projede gerçekleştirilen sistemlerin tümü 640x480, 60 Hz formatına göre tasarlanmıştır. Bu durumda saniyede 60 tarama yapılmaktadır ve sistemin çalışma frekansı:

$f_{\text{çalışma}} = \text{toplam yatay tarama} \times \text{toplam dikey tarama} \times \text{tazeleme frekansı}$ bağıntısından 25 Mhz olarak hesaplanmıştır. Hsync ve vsync işaretlerini oluşturan ön, arka boşluk, eşleme ve aktif video satır ve sütunları da tablo 4.1’de yer alan değerlere göre belirlenmiştir. Bu sisteme göre gerçekleştirilmiş satır ve sütun senkronizasyonu şekil 4.4’de detaylı olarak incelenmiştir.

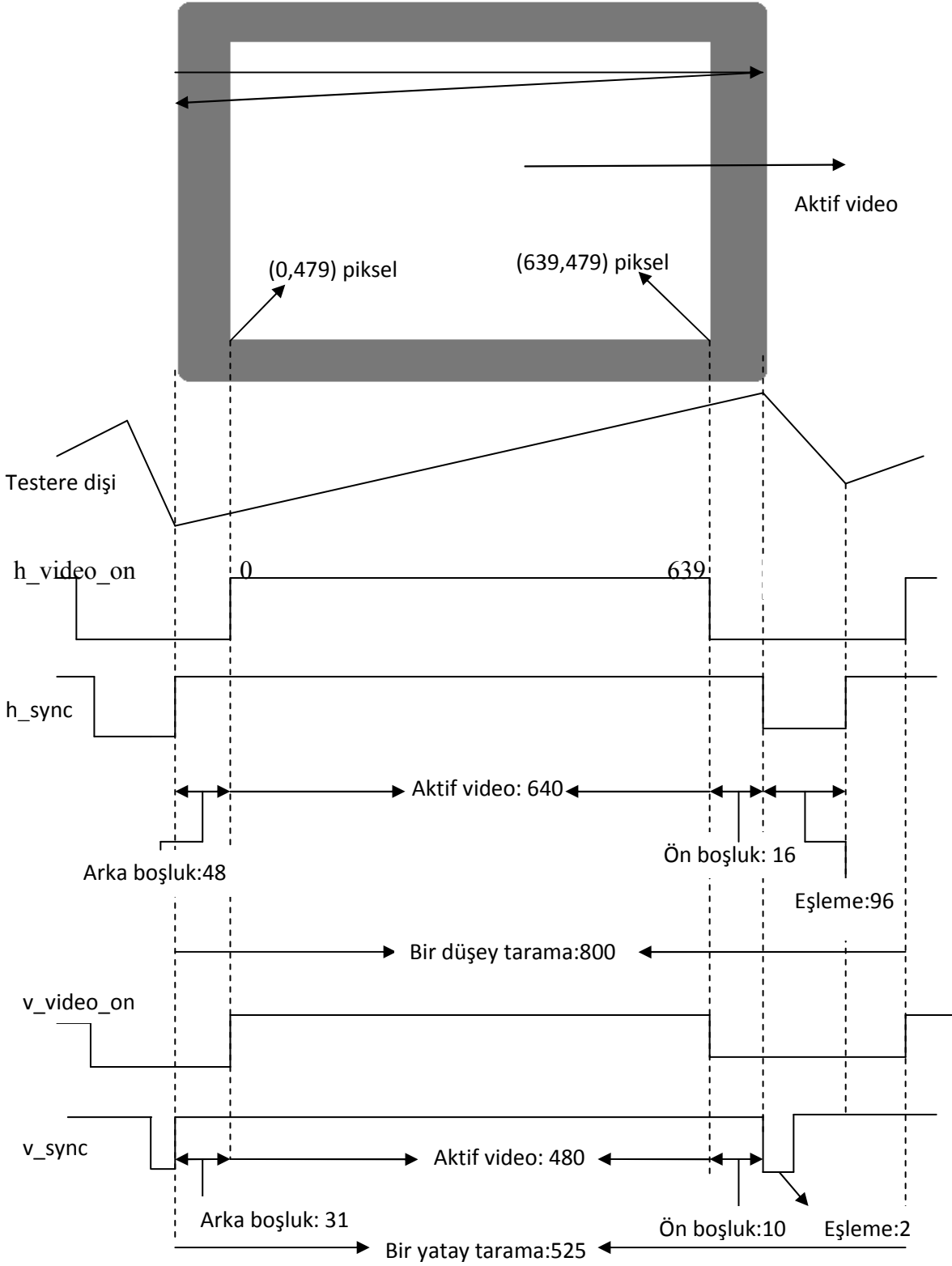
4.2.2. Renk İşaretleri

Monitör üzerinde renkli görüntü oluşumu üç temel renk tarafından sağlanmaktadır. Kırmızı, yeşil ve mavi renklerinin birleşimi ile ekran üzerinde 8 farklı renk elde edilebilmektedir. Her bir pikselin renk değeri bu üç temel rengin birbiri ile kombinasyonu sonucunda belirlenir.

Tablo 4.2 Üç-bit VGA renk kombinasyonu

RED(R)	GREEN(G)	BLUE(B)	PİKSELE ATANAN RENK
0	0	0	SİYAH
0	0	1	MAVİ
0	1	0	YEŞİL
0	1	1	CYAN
1	0	0	KIRMIZI
1	0	1	MAGENTA
1	1	0	SARI
1	1	1	BEYAZ

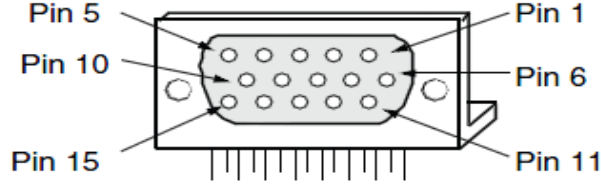
Bazı sistemlerde her bir renk değeri bir bit yerine 4 bit ile ifade edilmektedir. Bu durumda piksele atanan renk değerleri 3 bit yerine 12 bit ile ifade edilir. Bu sistemlerde ekran üzerinde elde edilebilecek farklı renk sayısı 4096’dır ve yukarıda belirlenen renklerin farklı tonları VGA ile ekran üzerinde oluşturulabilmektedir. 3 bit ile ifade edilen sistemlerde ise yukarıda belirtildiği gibi sadece 8 temel renk ekran üzerinde görüntülenebilmektedir.



Şekil 4.4 Satır ve sütun senkronizasyonu

4.3. Spartan 3E Uygulama Kartı Üzerinde VGA Kontrolü

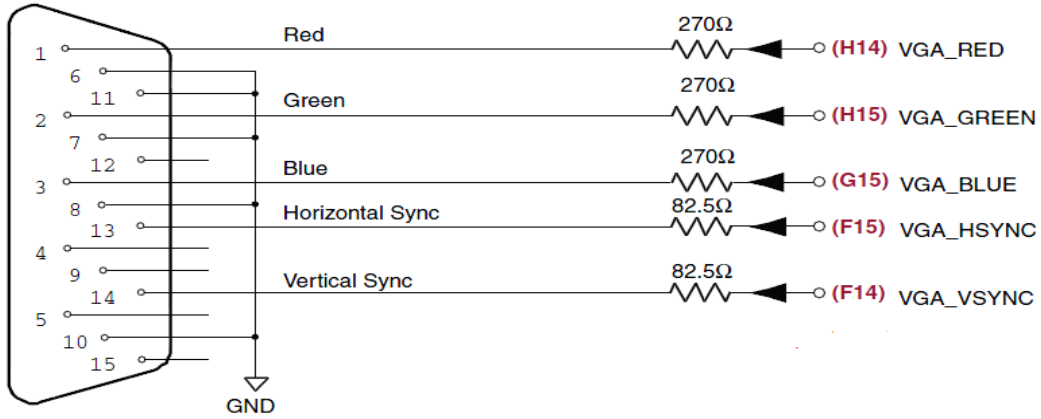
Spartan 3E uygulama kartı üzerinde DB15 VGA konektörü bulunmaktadır. Bu konektör standart bir monitör kablosu ile CRT monitörüne bağlanabilmektedir. DB15 konektörü 15 pin içermektedir. Şekil 4.5’de Spartan 3E kit üzerinde bulunan DB15 konektörünün önden görünüşü yer almaktadır.



Şekil 4.5 DB15 VGA konektör önden görünüşü [7]

Spartan 3E kit üzerinde bulunan VGA konektörü ile kırmızı, yeşil, mavi renk değerleri bir bit ile kontrol edilebilmekte ve piksel rengi 3 bit değerinin kombinasyonu ile belirtilmektedir. Bu nedenle spartan 3E uygulama kartı ile ekran üzerinde sadece 8 farklı renk elde edilebilmektedir. Bu durum uygulama kartının en büyük dezavantajlarından biridir.

Şekil 4.6’da VGA konektörünün FPGA ile bağlantı şeması verilmiştir.



Şekil 4.6 FPGA-VGA konektör bağlantı şeması [7]

H14, H15, G15, F15, F14 değerleri FPGA’ın bacak numarasını belirtmektedir.

Bir sonraki bölümde VGA temelli görüntü oluşum bloklarının tasarımı her bir örnek için incelenmiştir.

5. VGA İLE TEMEL GÖRÜNTÜ OLUŞUM BLOKLARININ TASARIMI

VGA ile monitör üzerinde görüntü oluşum teknikleri 3 ana başlık altında incelenmektedir [8].

- Her bir piksele tek tek bit değeri atanarak görüntü oluşumu
- Piksellerin gruplanarak bir display birimi haline getirilmesiyle görüntü oluşumu
- Şekil temelli görüntü oluşumu

Her bir piksele tek tek bit değeri atarak görüntü oluşumu FPGA içerisinde bir video hafıza alanı oluşturulmasıyla gerçekleştirilir. Ekran üzerindeki her bir piksel değerine video hafıza alanında bulunan bir kelime aktarılır. Spartan 3E kit üzerinde bulunan FPGA her bir piksel değerine 1 bitlik bir bilgi gönderir. Bu durumda video hafıza alanındaki kelime uzunluğu 1 bit olmaktadır. Bu işlemi gerçekleştirmek için gerekli olan hafıza alanı yaklaşık olarak 310k'dır.

Piksellerin gruplama yoluyla display birimi haline getirilmesi işlemi ise yatay ve dikey satırlarda bulunan piksellerin belirli aralıklarda örneğin; 8x8 bit aralığında bir grup halinde düşünülmesi temeline dayanır. Her bir gruba atanacak olan değerler bir hafıza alanında ekranda o aralıkta görülmesi istenen şekle göre saklanır. Bu yolla ekranda görüntü oluşumu ilk olarak incelenen görüntü oluşturma tekniğine göre daha az hafıza alanı kaplamaktadır.

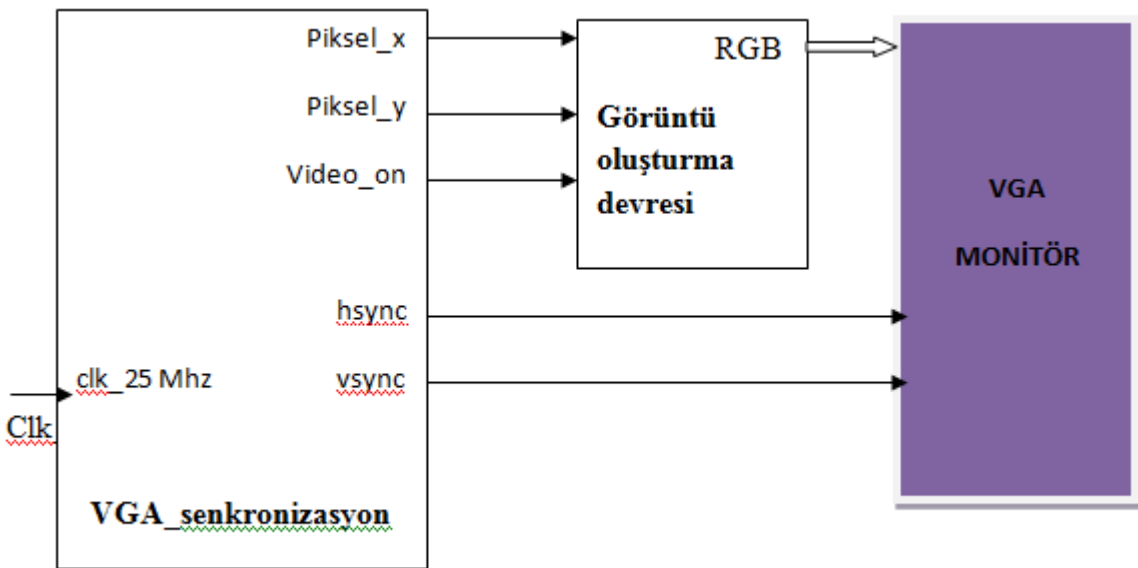
Şekil temelli görüntü oluşumu ise ekranda oluşturulmak istenen şekillerin çok kompleks olmadığı durumlarda tercih edilmektedir. Örneğin; ekran üzerinde bir kare şekli oluşturulmak istendiğinde bu tekniğin kullanılması uygun olmaktadır.

Bu tekniklerin her birinin kullanımı proje kapsamında çeşitli örnekler ile gerçekleştirilmiştir. Tasarlanan sistemler uygulama kartının üzerindeki sistemler ve dış arabirimler ile haberleştirilmiştir. Böylece VGA üzerinden monitör ile arabirimler arasında iletişim sağlanmıştır.

5.1. VGA Ekran Kontrol Birimi

Ekranında temel renkte bir fon oluşmasını sağlayan programdır. Ekran kontrol tasarım biriminin doğru çalışıp çalışmadığını test etmek amacıyla oluşturulmuştur.

Şekil 5.1'de programın blok diyagramı verilmiştir.



Şekil 5.1 VGA ekran kontrolü blok diyagramı

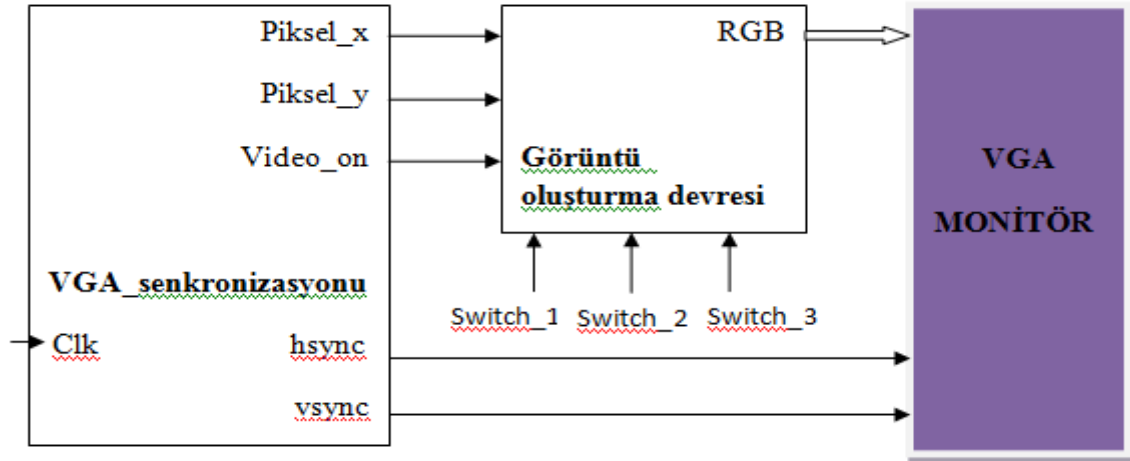
VGA_senkronizasyon bloğu 25 Mhz saat işaretini girişten alarak ekran üzerinde görüntü oluşumunu sağlayan bölüm 4'de detaylı olarak incelenen hsync yatay senkron , vsync dişey senkron iřaretleri ile birlikte piksel_x, piksel_y ve video_on iřaretlerini oluřturur. Grnt oluřturma devresi ise VGA_senkronizasyon bloğundan gnderilen piksel deęerlerine renk ataması yaparak ekran üzerinde istenilen grntnn oluřmasını saęlar. Video_on iřareti ise taramanın aktif video blgesinde olup olmadıęını belirtir.



Őekil 5.2 VGA kontrol biriminin monitr zerinde uygulaması

5.2. Kart zerinde Bulunan Birimlerden Gelen Bilgiye Gre Ekran Kontrol

Spartan 3E kit zerinde bulunan 4 adet kaydırmalı anahtardan 3 tanesi kullanılarak ekran zerinde grlebilecek 8 temel renk test edilmiřtir.



Őekil 5.3 Kaydırmalı anahtar kontroll VGA kontrol birimi blok diyagramı

Tablo 5.1 Switch deęerlerine gre ekran zerinde grlecek renk deęerlerinin listesi

Switch_1	Switch_2	Switch_3	Renk
0	0	0	BEYAZ
0	0	1	MAVİ
0	1	0	YEŐİL
0	1	1	CYAN
1	0	0	KIRMIZI
1	0	1	MAGENTA
1	1	0	SARI
1	1	1	SIYAH

5.3. Şekil Temelli Görüntü Oluşum Tekniğinin Uygulanması

Ekran üzerinde temel bir fon üzerinde bir dikdörtgen şekli oluşturulmuştur. Sadece dikdörtgenin kapsadığı alandaki piksellere farklı renk değeri atanmıştır.

Görüntü oluşturma devresi içerisinde sadece dikdörtgen alanının içerisinde kalan piksel değerlerine kırmızı, diğer piksellere ise siyah rengi atanmıştır. Dikdörtgen basit bir şekil olması sebebiyle şekil temelli görüntü oluşum tekniğine uygun bir örnektir. Karmaşık şekillerin oluşumu ileriki uygulamalarda incelenmiştir.

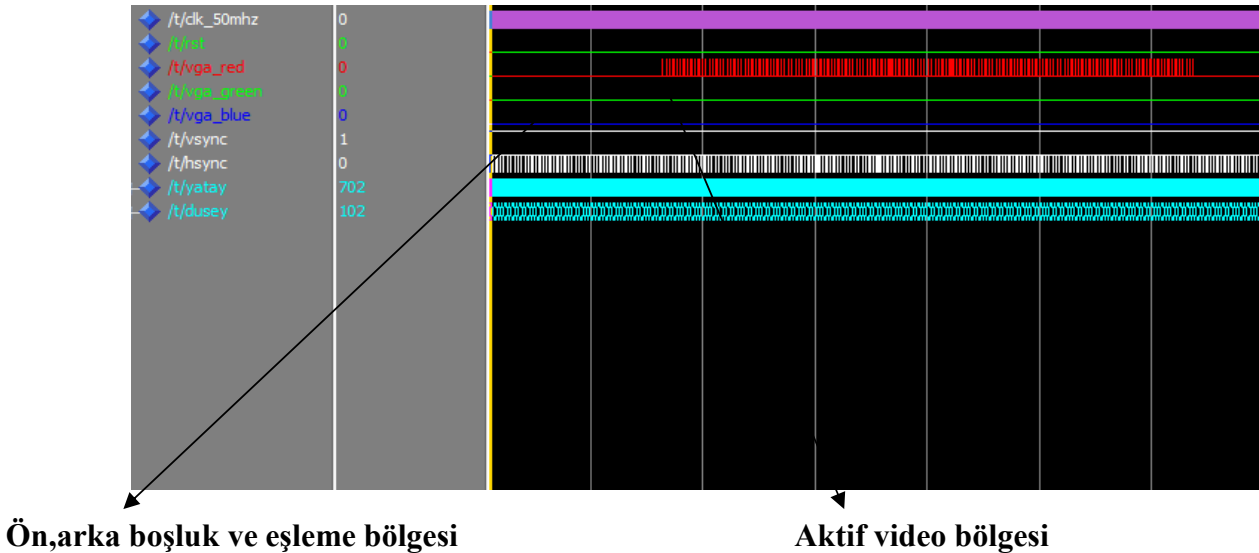


Şekil 5.4 VGA şekil temelli görüntü oluşum tekniğinin uygulaması

VGA temelli sistemlerin simülasyonu bu örnek için modelsim programında gerçekleştirilmiştir. Şekil 5.5’de simülasyon sonuçları yer almaktadır.

Simülasyon sonucu detaylı olarak incelendiğinde oluşturulan dikdörtgen şeklin yatayda 100. piksel ile 200. piksel; düşeyde ise 150. piksel ile 300. piksel arasında çizdirildiği görülmektedir.

Bu durumda oluşturulan dikdörtgen yatayda 100 piksel, düşeyde 150 piksel boyutundadır.



Şekil 5.5 VGA şekil temelli görüntü oluşum tekniği simülasyonu

5.4. Kart Üzerinde Bulunan Birimlerden Gelen Bilgiye Göre Ekrandaki Şeklin Hareketi

Oluşturulan kare şeklin kullanıcı kontrollü hareketi sağlanmıştır.



Şekil 5.6 Kaydırmalı anahtar ile hareketli şekil uygulaması blok diyagramı

Spartan 3E kit üzerinde bulunan 4 kaydırmalı anahtar yardımıyla sağa, sola, yukarı ve aşağı olmak üzere dört yönde kare şekli hareket ettirilmiştir. Her bir tuşa basılığında kare 25 birim piksel sağa, sola, yukarı ya da aşağı ilerlemektedir.

5.5. Ekran Üzerinde Karakter Oluşturma Uygulaması

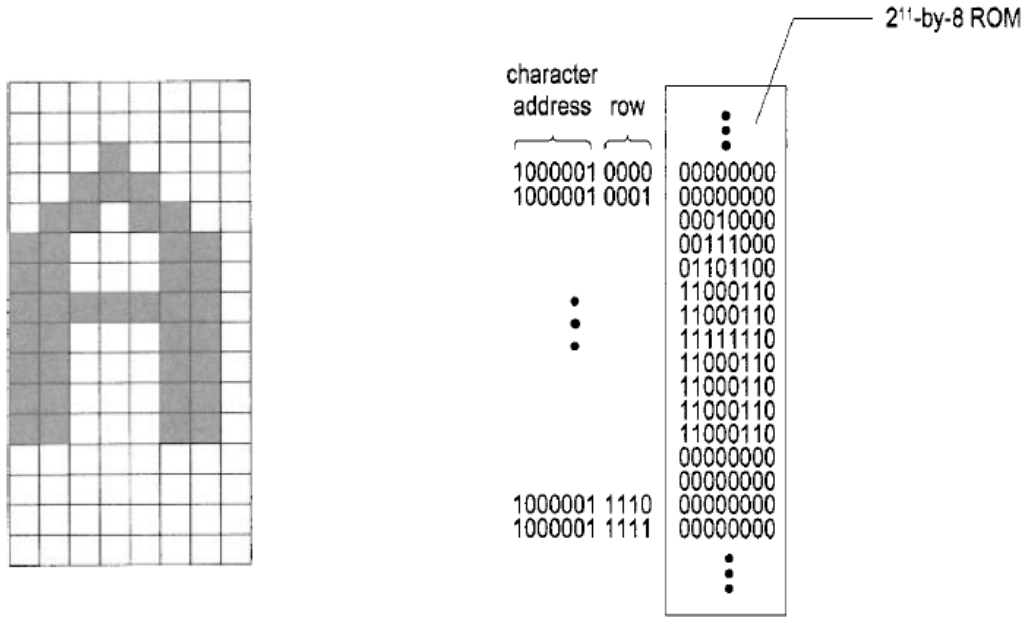
Ekran üzerine karakter yazma işlemi, piksellerin gruplanarak bir display birimi haline getirilmesiyle görüntü oluşumu tekniğiyle gerçekleştirilmektedir. VGA ile görüntü oluşturma tekniklerinde bahsedildiği gibi bu teknikte hafıza alanı kullanılmaktadır. Karakter yazma işleminde, hafıza alanının içerisinde ASCII karakter tablosunda yer alan karakterler bulunmaktadır.

Bu hafıza alanında IBM standartına uygun olarak her bir karakter için 16 Byte'lık bir kısım ayırmıştır. Bu aynı zamanda 8 sütun ve 16 satır pikselinin bir karakteri ekran üzerine yazmak üzere kullanılacağı anlamına gelir; yani bir karakteri ekranda görmek için 8 satır ve 16 sütun pikseli kullanılmaktadır. Bu durumda; ekran yatay ekseninde 640, dikey ekseninde 480 pikselden oluştuğuna göre bir satırda 60 tane, bir sütunda ise 40 tane karakter yazılabilmektedir.

Hafıza alanına karakterlerin yazılması ise ASCII tablosuna uygun olarak yapılmıştır. Örneğin 'A' karakterinin ASCII karşılığı 41H'dir. ROM içerisinde 'A' karakterinin yazılmaya başlandığı satır adresi; '10000010000' değeri, bitirildiği satır adresi ise '10000011111' değeridir. Adresin 10. biti ile 4. biti arasındaki sayı değeri 41 H'dir. Kalan 4 bit ise 16 satırın tamamlanmasını sağlamaktadır. Şekil 5.7'de 'A' karakterinin paterni ve ROM içeriği gösterilmiştir.

ROM adresinin en çok ağırlıklı 7 biti 41H olarak seçilir ve en az ağırlıklı 4 biti ise her bir tarama süresince bir artar ve ROM içerisindeki 'A' karakterine ait her bir satırdaki değerler VGA portu ile ilgili satırdaki piksellere gönderilir ve tarama sonlandığında ekranda karakter oluşur.

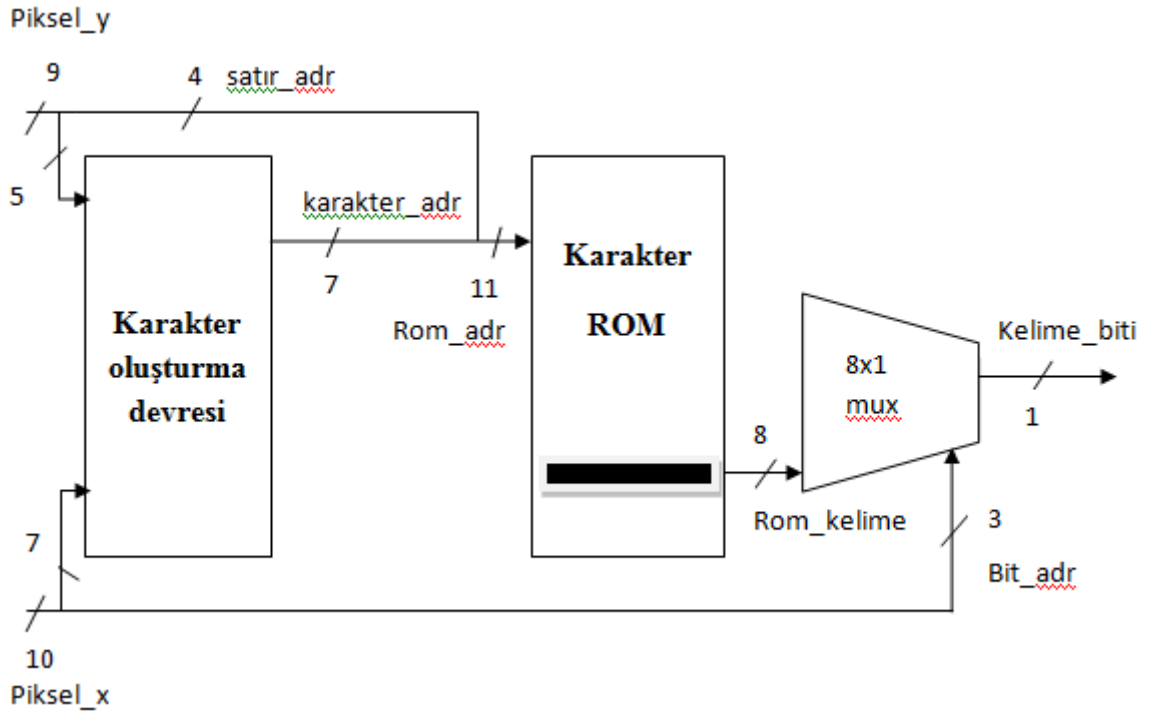
Bu teknik için FPGA üzerinde uygulama; monitör ekranı üzerine "DOGUM GUNUNUZ KUTLU OLSUN" yazdırılarak gerçekleştirilmiştir. Yazdırılan karakter dizisinin ekran üzerindeki konumu zamana bağlı olarak değişmektedir. Şekil 5.8'de sistemin blok diyagramı verilmiştir.



a) Piksel paterni

b)ROM içeriği

Şekil 5.7 A karakterinin paterni [9]



Şekil 5.8 Karakter oluşturma uygulaması blok diyagramı

Karakter oluşturma devresi ile ekran üzerinde oluşturulmak istenilen karakterler ve ekran üzerindeki konumları belirlenir. Daha önceden de belirtildiği gibi bir karakterin oluşturulabilmesi için 16 satır gereklidir. Bu nedenle piksel_y değerinin son 4 biti rom içerisindeki 16 adresin tamamının okunması için kullanılacaktır. Bu değer satur_adr değişkenini oluşturur. Oluşturulmak istenilen karakter belirlendikten sonra karakter oluşturma devresinin çıkışına bu karaktere ait ascii kodu gönderilir ve karakter_adr değişkenini oluşturur. Satur_adr ve karakter_adr değişkenleri birleşerek rom_adr değişkeninin değerini belirler. Rom_adr değeri ile karakter_rom içerisindeki ilgili karakterin paterninin 16 satırından ilgili olanı seçilir. Karakter ROM'u 2K byte'dır. Bit_adr değeri ile bir ROM kelimesinin bir biti mux yardımıyla seçilir. Seçilen Kelime_biti değeri görüntü oluşturma devresine gönderilir.

5.6. Piksellerin Gruplanarak Bir Display Birimi Haline Getirilmesiyle Görüntü Oluşumu Uygulaması

Hafıza alanı kullanılarak ekran üzerinde paralel kenar ve yuvarlak bir cisim oluşturulmuştur. Kullanılan hafıza alanı ROM 2K'dır. Bir piksel grubu 128x128 bitten oluşmaktadır. Tasarımda ekran üzerinde karakter oluşturma uygulamasında kullanılan teknik kullanılmıştır. Program 128 kelime bitinin seçimine göre düzenlenmiştir. Bu uygulamanın, ekran üzerinde karmaşık şekillerin oluşturulmak istendiği durumlarda kullanılması uygun olmaktadır.

5.7. Klavye Kontrollü VGA Uygulaması

VGA ile gerçekleştirilen oyun uygulamalarında oldukça sık kullanılmaktadır. Klavyeden gelen değerlere göre ekran üzerindeki şeklin hareketini sağlayan bir tasarım yapılmıştır.

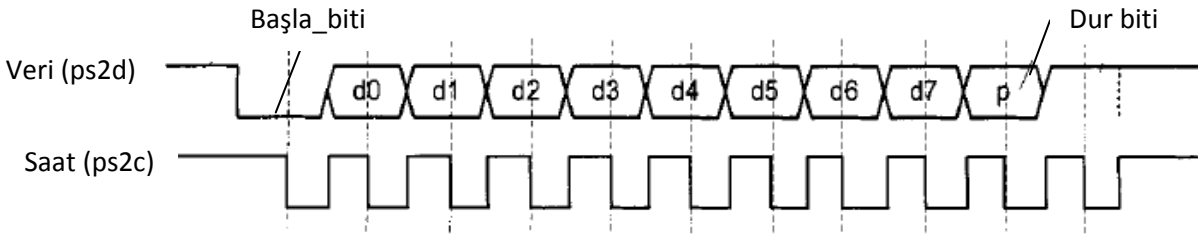
Uygulamada klavye üzerindeki yön tuşları kullanılarak oluşturulan karenin sağa sola yukarı ve aşağı hareketi sağlanmıştır. Her bir tuşa basıldığında kare şekli 10 piksel birim ilgili yöne hareket etmektedir. Şekil aktif video bölgesinden çıktığında tekrardan ekranın ortasında oluşmaktadır.

Bu uygulamanın gerçekleştirilebilmesi için öncelikle klavye arabiriminin FPGA ile haberleşme ara yüzü oluşturulmalıdır.

PS2 Klavye Arayüzü:

Spartan 3E kit üzerindeki PS2 portu, IBM'in kişisel bilgisayarlarda kullanılan personal system/2 standartına uygundur. Klavye ve fare arabirimlerini donanımınızla haberleştirmek için en sık kullanılan ara yüzdür. PS2 portunun 2 giriş pini bulunmaktadır. Bu pinlerden biri seri olarak veri aktarımını sağlamak için kullanılmaktadır; diğeri ise verinin gönderime hazır olduğunu bildiren saat işareti için kullanılmaktadır. Bu iki pinin yanı sıra PS2 portu bir güç kaynağı pinine sahiptir. Spartan 3E kit üzerinde 3.3 volt kaynak bulunmaktadır ve pek çok klavye 3.3 volt ile çalışabilmektedir. Bazı klavyeler ise sadece 5 volt ile çalışmaktadır. Bu tip klavyenin kullanılması durumunda spartan 3E uygulama kartı üzerinde bulunan J2 pininin anahtarlanması yoluyla 5 Volt elde edilebilmektedir.

PS/2 ile veri paket halinde gönderilir. Her bir pakette 11 bit bulunmaktadır. 11 bitlik paket bir başlangıç biti, 8 bit veri, bir parity biti ve bir dur bitinden oluşmaktadır. Veri, saat işaretinin negatif kenarında okunmalıdır. Verinin en düşük ağırlıklı biti ilk olarak gönderilmektedir. Şekil 5.9'da 11 bitlik paketin gönderilmesi gösterilmektedir. FPGA, PS2 clock işaretinin negatif kenarlarını algılayıp, PS2 datayı yazmaca kaydeder. Sonra parite bitini kontrol eder. PS2 klavyenin çalışma frekansı 10kHz - 16kHz arasındadır. Bu çok düşük çalışma frekansından dolayı 2 klavye pininin de filtrelenmesi gerekmektedir. Veri işareti, saat işaretinin düşen kenarının öncesinde ve sonrasında en az 5 µs sabit kalmaktadır.

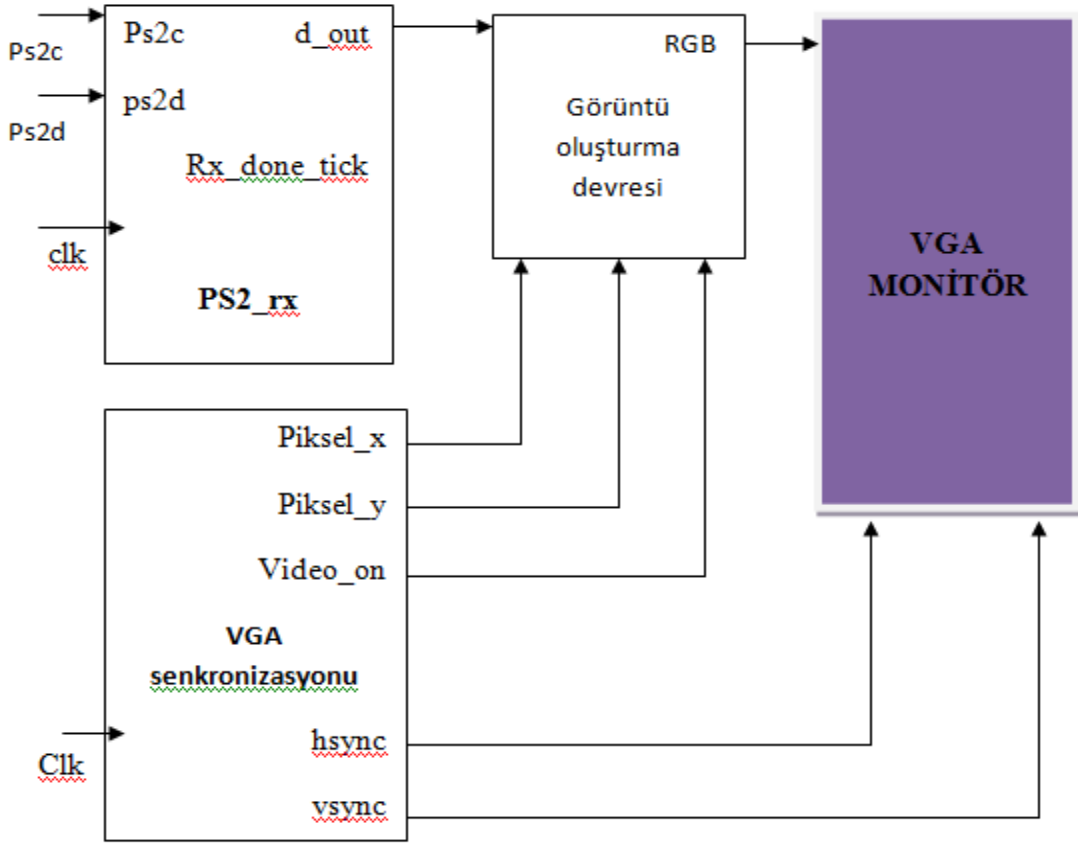


Şekil 5.9 PS2 portunun zamanlama diyagramı

8 bit veri klavyeden basılan tuşun kodunu göstermektedir. Şekil 5.10'da klavye kodları gösterilmektedir.

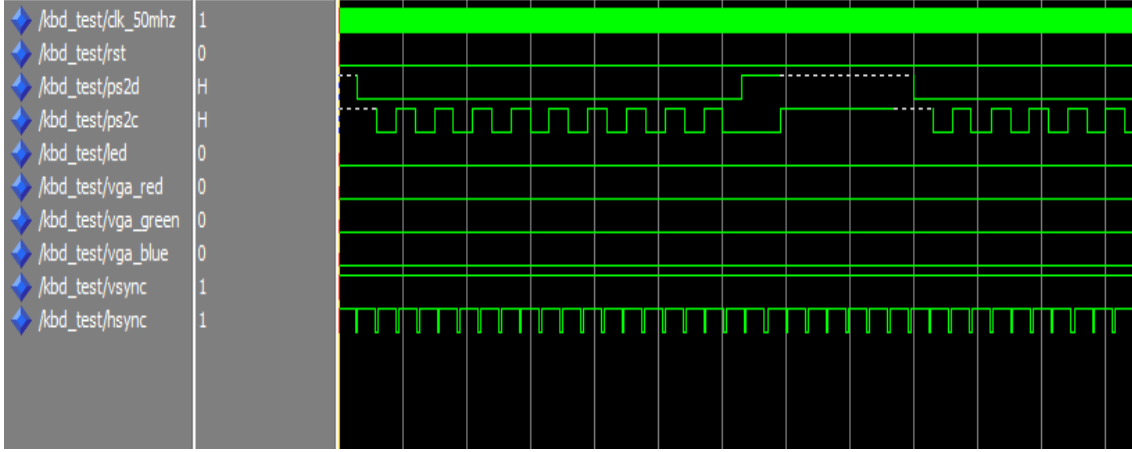
ESC 76	F1 05	F2 06	F3 04	F4 0C	F5 03	F6 0B	F7 83	F8 0A	F9 01	F10 09	F11 78	F12 07	↑ E0 75	
~ 0E	1! 16	2@ 1E	3# 26	4\$ 25	5% 2E	6^ 36	7& 3D	8* 3E	9(46	0) 45	-_ 4E	=+ 55	Back Space ← 66	→ E0 74
TAB 0D	Q 15	W 1D	E 24	R 2D	T 2C	Y 35	U 3C	I 43	O 44	P 4D	[{ 54]} 5B	\\ 5D	← E0 6B
Caps Lock 58	A 1C	S 1B	D 23	F 2B	G 34	H 33	J 3B	K 42	L 4B	;; 4C	'" 52	Enter ↵ 5A	↓ E0 72	
Shift ↑ 12	Z 1A	X 22	C 21	V 2A	B 32	N 31	M 3A	,< 41	>. 49	/? 4A	Shift ↵ 59			
Ctrl 14	Alt 11	Space 29										Alt E0 11	Ctrl E0 14	

Şekil 5.10 PS2 Klavye tarama kodları [10]



Şekil 5.11 Klavye arabiriminin VGA ile haberleşme uygulaması blok diyagramı

Şekil 5.12’de ise klavye arabiriminin VGA ile haberleşmesinin simülasyon sonuçları verilmektedir.



Şekil 5.12 Klavye arabiriminin VGA ile haberleşmesi simülasyonu

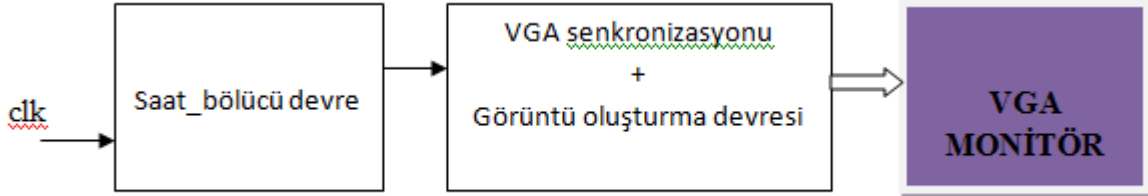
5.8. Klavye Kontrollü Ekran Karakter Yazma Uygulaması

Klavyeden basılan karakterin ekranda yazılmasını sağlayan bir program gerçekleştirilmiştir. Böylece karakter oluşturma birimi ve klavye arabirimi VGA ile birleştirilmiştir.

5.9. Animasyon Uygulaması

Ekran üzerinde oluşturulan şekillerin zamanla yer değiştirerek görüntünün hareketli olması sağlanmıştır. Ekran üzerindeki görüntünün gözle görülür bir biçimde algılanabilmesi için Spartan 3E kit üzerinde bulunan 50 Mhz saat işaretinden 1 saniyelik saat işareti elde edilmiştir ve her bir saniyede ekran üzerinde bulunan şekillerin konum değiştirmesi sağlanmıştır.

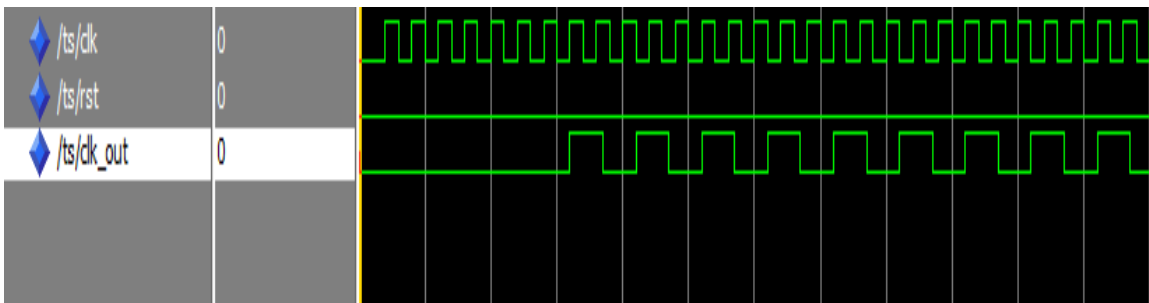
50 Mhz saat işaretinin bölünerek daha küçük frekanslı saat işareti elde edilmesi programlama yoluyla gerçekleştirilmektedir. Bunun için program içerisinde bir sayıcı tanımlanır ve 50 Mhz saat işaretinin yükselen kenarında sayıcının değeri bir artırılır. İstenilen frekans seçimine göre sayıcının bir biti yeni saat işaretini oluşturur.



Şekil 5.13 Animasyon uygulaması blok diyagramı

Örneğin; 25 Mhz saat işareti 50 Mhz sistem saatinin 2^1 'e bölünmesiyle elde edilir. Bu durumda sayıcının birinci biti ile 25Mhz saat işareti elde edilebilmektedir.

Şekil 5.14'de saat işaretini bölme işleminin simülasyon sonucu verilmektedir.



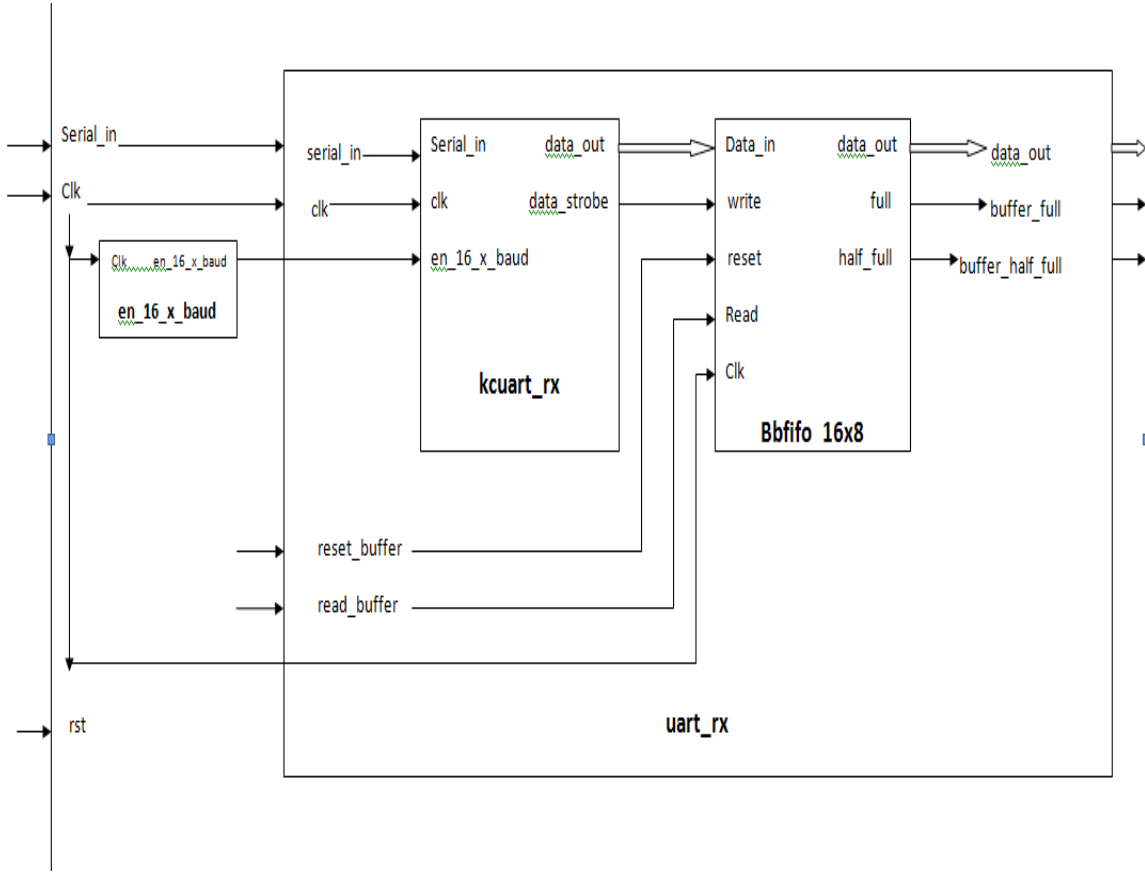
Şekil 5.14 Programlama ile saat bölücü devre simülasyonu

5.10. VGA İle Temel Görüntü Oluşum Bloklarının Seri kanal ile Birleştirilmesi

Sistemlerin ayrı ayrı tasarımı tamamlandıktan sonra incelenmesinin kolay olması ve geliştirilecek yeni uygulamalar için düzenli bir kaynak oluşturulması amacıyla tüm uygulamalar seri kanal yardımıyla bir program haline getirilmiştir. Bu tasarımın yapılabilmesi için öncelikli olarak uygulama kartının üzerinde bulunan RS-232 haberleşme ara yüzü incelenmiş ve tasarımı yapılmıştır.

RS232 Seri kanal Ara yüzü Tasarımı

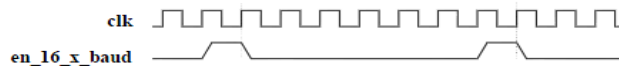
RS232 seri haberleşmede kullanılan en genel protokoldür. Birbirine yakın birimler arasındaki haberleşmeyi sağlar ve bilgiler +15V ve -15V lojik gerilim seviyeleri ile genelde 10 bitlik parçalar halinde gönderilir. İletimde saat bilgisi gönderilmediği için iletim asenkronudur. Veri bitlerinden önce gönderilen “başla” bitiyle alıcı saatini eşitler ve gönderim başlar. Veri bitlerinin gönderim sırası en düşük ağırlıklı bittten en yüksek ağırlıklı bite doğrudur. Gönderilen 8 veri bitinden sonra gönderilen “bitir” biti ile gönderim tamamlanmış olur. Başlangıç biti lojik 0, bitir biti lojik 1’dir. Gönderilen bu bitler baud olarak adlandırılır. Gerilim seviyesi olarak -15V lojik 1, +15V lojik 0 anlamındadır.



Şekil 5.15 UART_RX seri kanal blok diyagramı

Bu modüllerin kullanım amaçlarından kısaca bahsederek;

en_16_x_baud => Seri kanal baud hız ayarını yapmak için kullanılmaktadır. Oluşturulan sistemde 38400Hz Baud rate kullanılmaktadır. Çalışma mantığı; kart üzerinde bulunan 50 Mhzlik saat işaretini alarak bunu istediğiniz baud rate frekansına dönüştürme temeline dayanmaktadır. Örneğin kartın üzerinde 50 Mhzlik bir saat işareti olsun ve kullanıcı 38400Hz baud hızıyla çalışmak istesin. Bunun için $50000000 / (16 \times 38400) = 81$ olmak üzere bir sayıcı tanımlanmakta ve aynı periyot büyültme işleminde olduğu gibi saat işaretinin yükselen kenarında bir arttırılmaktadır ve 81 değerine ulaştığında en_16_x_baud '1' değerini almaktadır. Böylece gerekli baud hızı elde edilmiş olmaktadır.

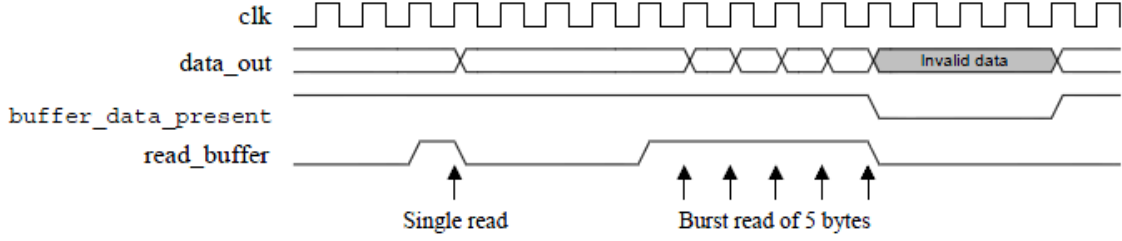


Şekil 5.16 RS-232 baud hızı [11]

uart_rx => 2 kısımdan oluşmaktadır. Kcuart_rx ve Bbfifo 16x8 modüllerini bir modül altında birleştirir.

Kuart_rx=>DTE RS232 seri girişten gelen verileri, oluşturulan baud hızıyla alarak buffer'a vermekte ve buffer'a verilerin yazılmasını sağlayan kontrol işaretini üretmektedir.

Bbifo 16x8=>Gelen seri verileri kaydederek 8 bitlik bir paket halinde kullanılmak üzere ana modüle vermektedir. Şekil 5.17'de Rx bufferın çalışma mekanizması gösterilmektedir.



Şekil 5.17 Rx buffer çalışma mekanizması [11]

Kullanılan işaretlerin amaçları:

Serial_in: Standart 8 bitlik giriş verisi olarak kullanılmaktadır. Buffer dolu değilse otomatik olarak veriler buffer'a yazılır.

Data_out: gelen 8 bit verinin paralel çıkışıdır. Buffer_data_present aktif olduğunda data_out kullanılabilir durumdadır.

Read_buffer: buffer ile verilen 8 bitlik paralel verinin okunduğunu bildirir.

Reset_buffer: 16 byte'lık buffer'ın resetlenmesini sağlayan giriştir.

En_16_x_baud: Belirlenen Baud hızını bildiren giriştir.

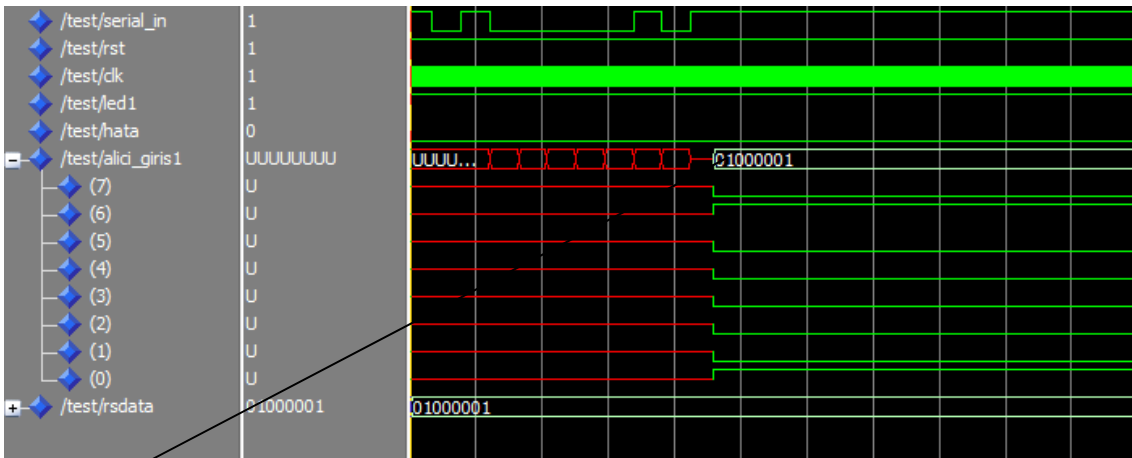
Buffer_data_present: Buffer'daki bilginin kullanıma hazır olduğunu bildirir.

Buffer_full: Buffer'ın dolduğu ve yeni veri alacak yer bulunmadığını belirten kontrol işaretidir.

Half_full: 16 byte buffer'da 8 byte'lık ya da daha fazla verinin henüz okunmadığını belirten kontrol işaretidir.

Clk: Senkronizasyonu sağlamak amacıyla kullanılan 50 Mhz'lik saat işaretidir.

Şekil 5.18'de uart seri kanal modülünün simülasyonu verilmektedir.



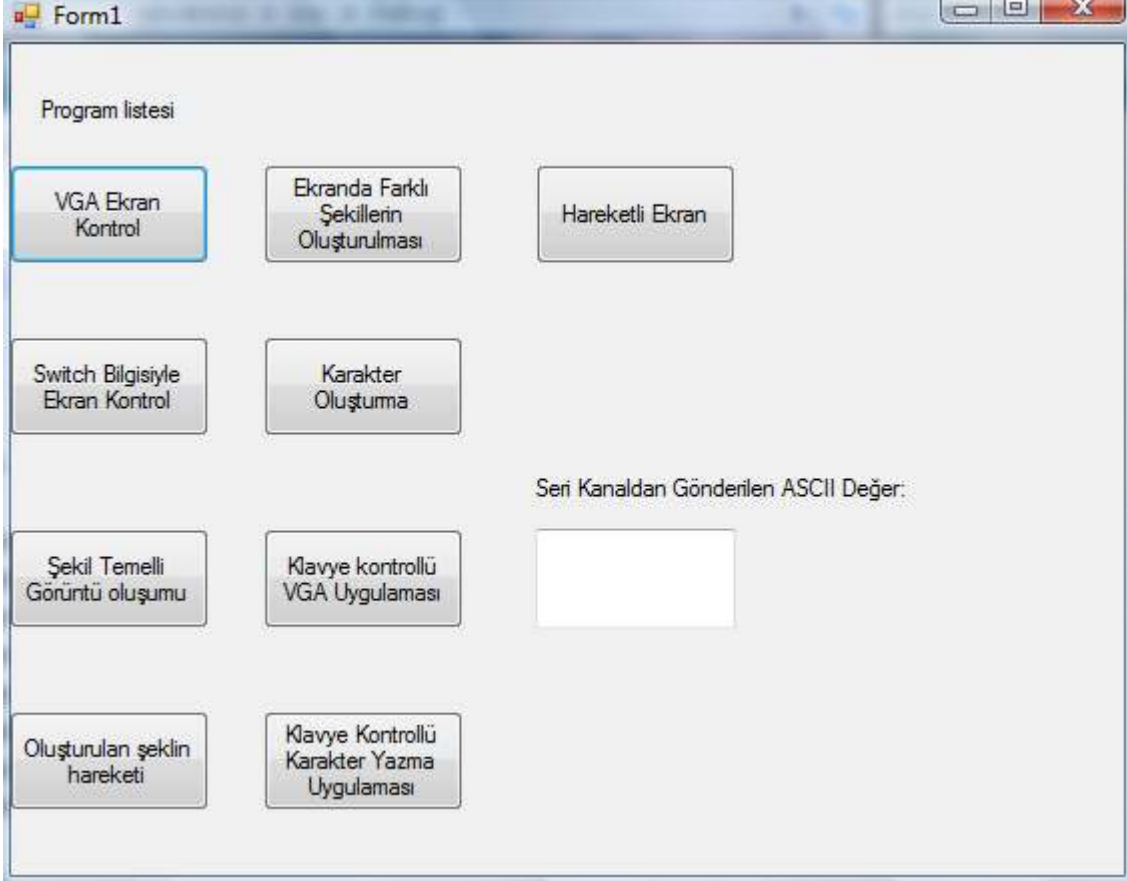
Seri kanaldan gönderilen veri 8 bitlik paralel veri olarak yazmaçta saklanır.

Şekil 5.18 UART seri kanal arabirim simülasyonu

Test işlemi için 'A' karakterinin seri kanal biriminden gönderilmesi ve alınması gerçekleştirilmiştir. 'A' değeri binary olarak 01000001 değerine karşılık gelmektedir. Simülasyon sonuçlarından görülmektedir.

Seri kanal ara yüzünün de tamamlanmasıyla temel VGA blokları bir program altında toplanmıştır.

Seri kanal tasarım ara yüzü Spartan 3E uygulama kartı üzerinde tamamlandıktan sonra istenilen programın seçilmesini sağlayan arayüz C# programlama dili kullanılarak gerçekleştirilmiştir. Şekil 5.19'da tasarlanan arayüz verilmektedir.



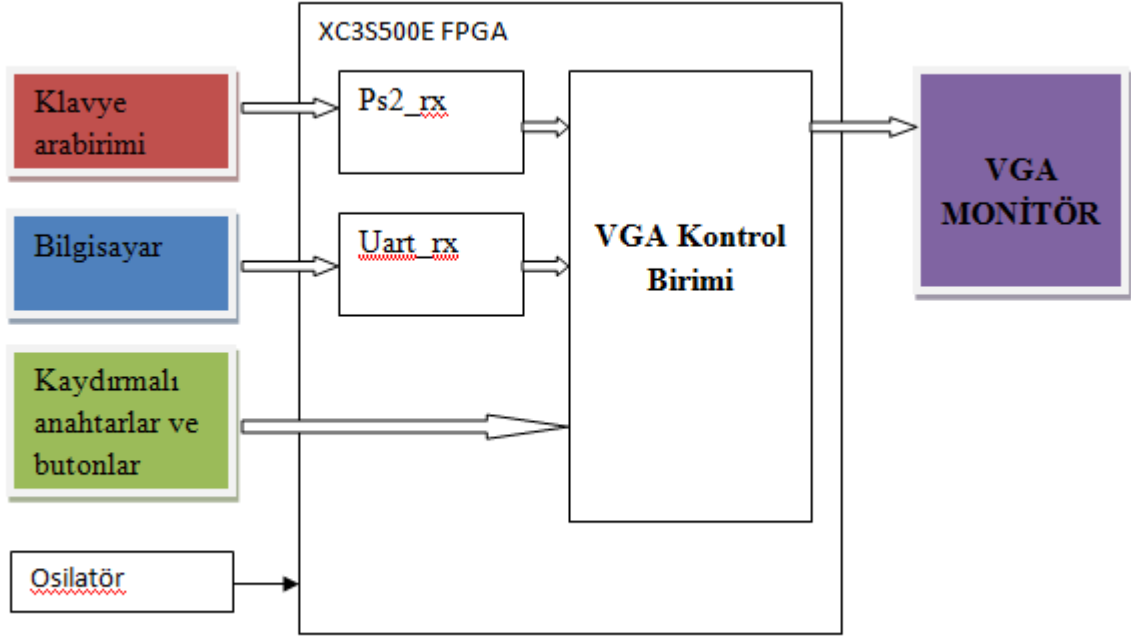
Şekil 5.19 Seri kanal kullanıcı ara yüzü

Kullanıcı görmek istediği program butonuna basarak VGA ile monitör üzerinde istediği bir programı izleyebilmektedir.

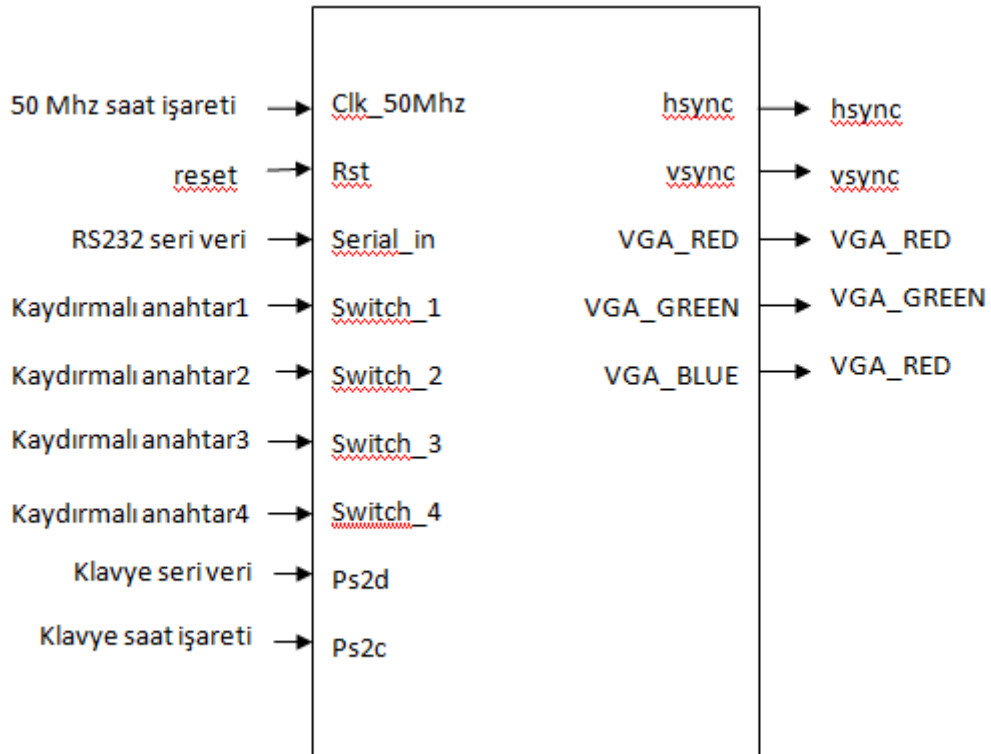
Sitemin bu şekilde tasarlanmasıyla her bir program örneğinin denenmesi için FPGA'in tekrar tekrar programlanmasına gerek kalmamış; sistemlerin incelenmesi oldukça kolaylaşmıştır.

Şekil 5.20'de sistemin ana blok diyagramı yer almaktadır. Şekil 5.21'de ise sistemin giriş çıkış pinleri verilmiştir.

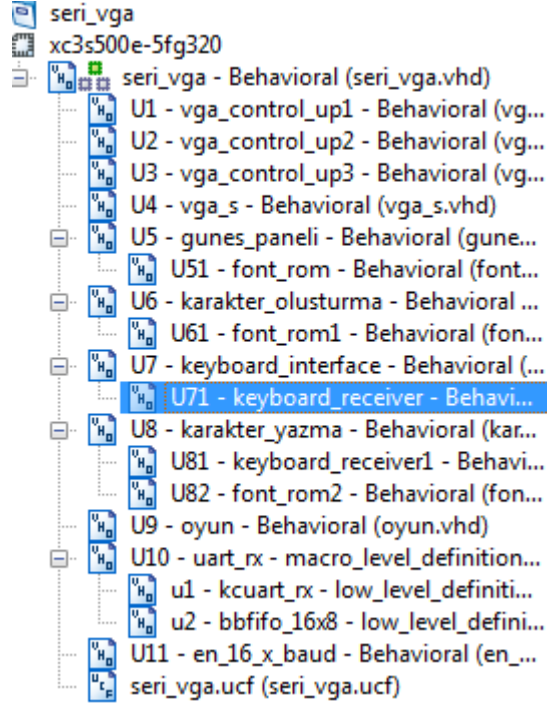
Şekil 5.22'de tasarlanan sistemin hiyerarşik yapısı gösterilmektedir.



Şekil 5.20 Birleştirilmiş sistemin blok diyagramı



Şekil 5.21 Birleştirilmiş sistemin giriş ve çıkışları



Şekil 5.22 Birleştirilmiş sistemin hiyerarşisi

Tablo 5.2 Birleştirilmiş sistemin FPGA kullanım oranları

Lojik Birim	Hazır olarak bulunan	Kullanılan	Kullanma Oranı
Yazmaç	9312	236	%2
Look-up table	9312	615	%6
Slices	4656	400	%8
Giriş-çıkış pinleri	232	14	%6
RAMB16s	10	20	%50
MUX	2	24	%8

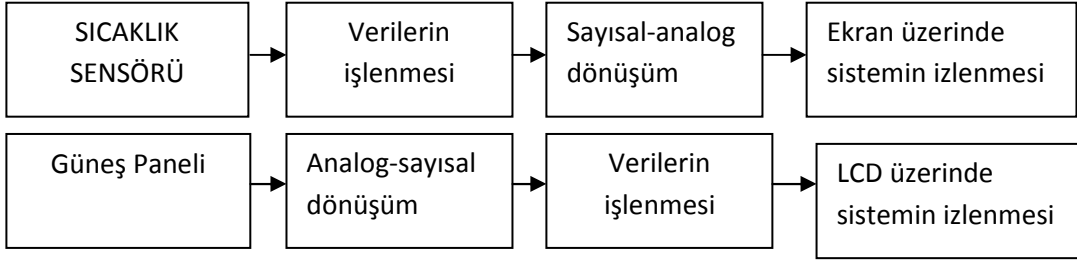
Bir sonraki bölümde VGA ile oluşturulan temel blokların kullanılmasıyla oluşturulan sıcaklık-zaman grafiği uygulaması ve analog-sayısal dönüşüm devresi tasarımı incelenmiştir.

6. SICAKLIK-ZAMAN GRAFIĞİ ve BASİT VOLTMETRE DEVRESİ TASARIMI

Projenin bu adımında sıcaklık sensörü ile sıcaklık kontrol devresi ile sensörden gelen bilgilerin zamana göre değişiminin VGA protokolü kullanılarak ekran üzerinde izlenmesi sağlanmaya çalışılmıştır. Sistem sıcaklık grafiğini çizme işlemini gerçekleştirirken aynı zamanda Spartan 3E uygulama kartı üzerinde bulunan analog-dijital dönüştürücü kullanılarak devre girişinden elde edilen gerilim değerleri yine uygulama kartı üzerinde bulunan LCD ekran üzerinden takip edilebilmektedir. Proje kapsamında LCD ekrandan bir güneş panelinden elde edilen gerilim değerleri izlenmiştir.

Bu sistemin tasarımının gerçekleştirilmesi 2 aşamadan oluşmaktadır. İlk olarak ekran üzerinde sıcaklık zaman grafiği çizdirilebilmesi için gerekli sistemler hazırlanmıştır, ikinci olarak gerilim değerlerinin okunmasını sağlayan analog-sayısal devre tamamlanmış ve LCD ekran üzerinde sistem kontrol edilmiştir. Tasarım gerçekleştirildiğinde spartan 3E uygulama kartı üzerinde bulunan iki temel görüntüleme biriminin aynı sistem içerisinde kullanımı gerçekleştirilmiştir.

Şekil 6.1'de sistem adımlarının blok diyagramı verilmektedir.



Şekil 6.1 Sistem tasarım adımları

Sistemin tasarımının iki temel aşaması olan sıcaklık zaman grafiği uygulaması ve analog-sayısal sistemin tasarımı detaylı olarak incelenmiştir.

6.1. Sıcaklık-Zaman Grafiği Tasarımı

Sıcaklık zaman grafiği uygulamasının gerçekleştirilmesi için Spartan 3E uygulama kartına ek olarak DS18B20 dijital sıcaklık sensörü kullanılmıştır.

6.1.1. DS18B20 Sıcaklık Sensörü

Sensörler, fiziksel ortam ile endüstriyel amaçlı elektrik-elektronik cihazları birbirine bağlayan bir köprü görevi görür. Bu cihazlar endüstriyel proses sürecinde kontrol, koruma, ve görüntüleme gibi çok geniş bir kullanım alanına sahiptirler.

Ortamdaki ısı değişimini algılayan cihazlara ısı veya sıcaklık sensörleri denir. Sıcaklık en sık ölçülen çevresel değerdir. Çünkü fiziksel, elektronik, kimyasal, mekanik ve biyolojik tüm sistemler sıcaklıktan etkilenir. Bu nedenle kontrol sistemlerinde sıcaklığın ölçülmesi ve belli değerlerde tutulması önemlidir [12].

Günümüzde elektronik uygulamalarında en çok kullanılan sıcaklık sensörleri; dirençsel sıcaklık sensörleri (RTD-Resistance Temperature Detector), ısı çiftleri (termokupl - thermocouple), termistörler (NTC) ve entegre devre sıcaklık sensörleri olarak sıralanabilir.

Projede, Dallas firmasının ürettiği DS18B20 programlanabilir 1-wire protokolünü kullanan dijital sensör kullanılmıştır.

DS18B20 sensör özellikleri;

- Haberleşmek için yalnızca bir port pinine ihtiyaç duyan 1-wire arayüzünü kullanır.
- Sensör 64 bit seri kod saklayabilen ROM içermektedir.
- Kullanım sırasında harici olarak herhangi bir elektronik elemana gerek yoktur.

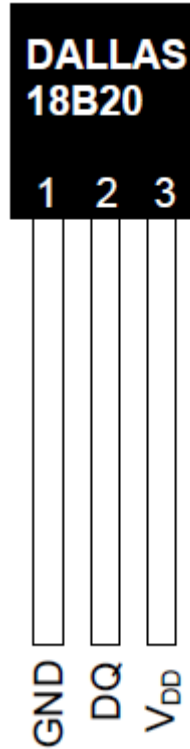
- 3V ile 5.5V arasında besleme gerilimine ihtiyaç duyar.
- -55°C ile $+125^{\circ}\text{C}$ arasında ölçüm yapar.
- Dijital olarak 9 bit ve 12 bit çıkış üretir. Kullanıcı istediği bit çözünürlüğü değerini seçebilir.
- CRC kontrolü yapar.
- Sıcaklık değerini 12 bit dijital kelimeye maksimum 750 ms'de dönüştürür.
- Termometre devrelerinde, endüstriyel uygulamalarda, termal duyarlılık gerektiren sistemlerde sıklıkla kullanılmaktadır.
- Kullanıcı tarafından kalıcı alarm değeri tanımı yapılabilir.
- 2 farklı şekilde besleme gerilimi bağlantısı gerçekleştirilebilir. Kullanıcı gerçekleştireceği uygulamaya göre uygun olan bağlantı şeklini kullanarak sistemini tasarlayabilir.

1-wire protokolü ile haberleşmeyi tek bir port pini üzerinden gerçekleştirmesi, Spartan3E kit üzerinde bulunan giriş-çıkış pinlerinden yalnızca birinin kullanılarak sıcaklık kontrolü yapılmasını sağlamıştır. Böylece kit üzerinde bulunan giriş-çıkış pinleri başka uygulamalar için rahatlıkla kullanılabilir.

Ek olarak bir analog-sayısal dönüştürücüye ihtiyaç duymaması DS18B20 sensörün en önemli avantajlarından biridir.

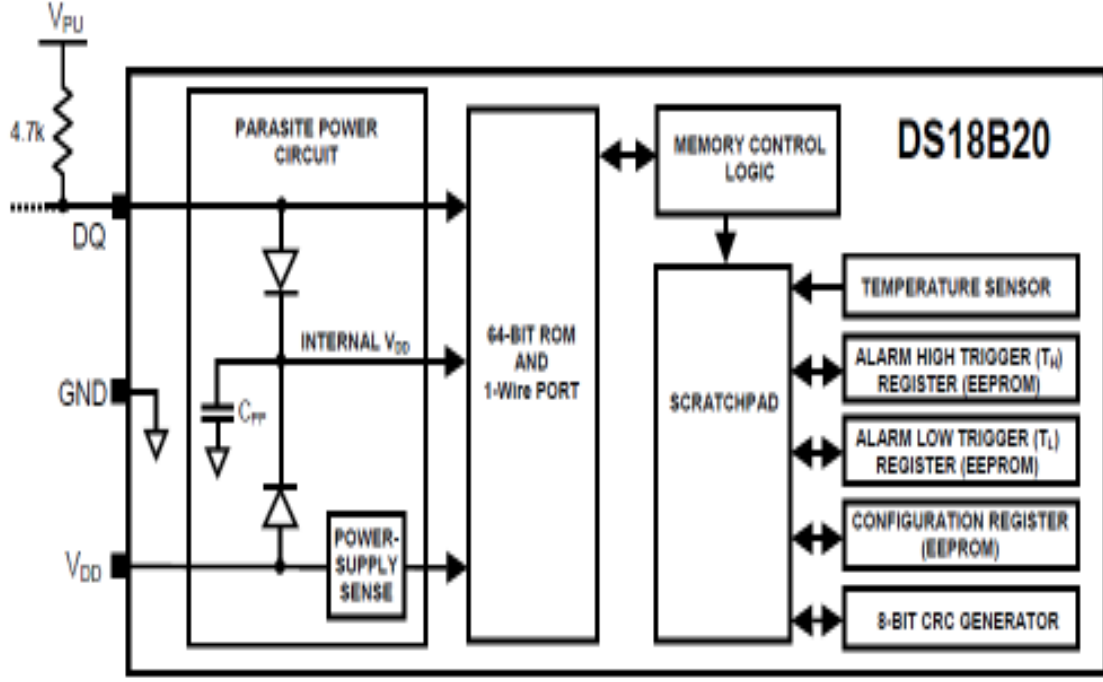
Bu iki önemli özelliği nedeniyle bu projede sıcaklık kontrolü için DS18B20 sensör kullanılmıştır.

Şekil 6.2'de sensör ve uç bağlantıları verilmiştir.



Şekil 6.2 DS18B20 sıcaklık sensörü ve uç bağlantıları [13]

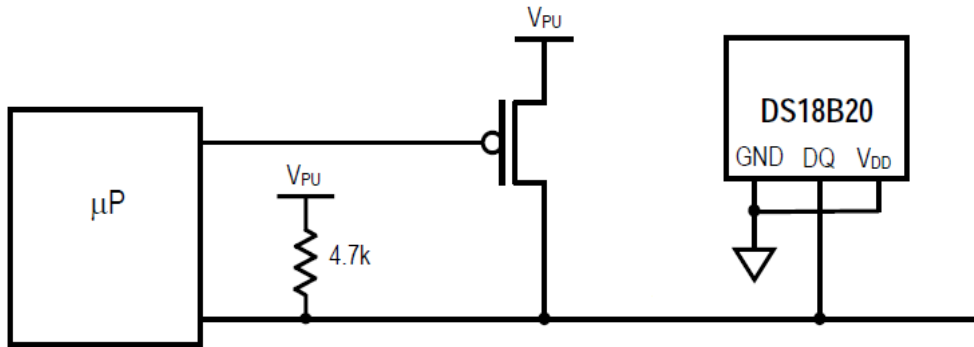
12 bit çözünürlüğü kullanıldığı durumda $0,0625^{\circ}\text{C}$ aralıklarla sıcaklık ölçümü gerçekleştirilmektedir. Bu durumda oldukça hassas bir sıcaklık ölçümü gerçekleştirilmektedir. Şekil 6.3'de sensörün blok diyagramı verilmiştir. Blok diyagramının ilk kısmında parazitik güç devresi yer almaktadır. İkinci olarak ise 64 bit ROM ve 1-wire portu gösterilmiştir. 64 bit ROM, birden fazla sıcaklık sensörünün kullanılması gerekli olan uygulamalarda tüm sensörlerin tek bir port pini üzerinden haberleşmesini sağlamak amacıyla sensörlere ait bilgileri tutar. Bu şekilde birden fazla 1-wire protokolü ile konuşan elemanın aynı bağlantı yolu üzerinden haberleşme imkanı bu elemanların en önemli avantajlarından birini oluşturmaktadır. Daha sonraki kısımlarda ise A/D ve alarm devreleri görülmektedir. Alarm devresi kullanıcı isteğine bağlı olarak kullanılabilir.



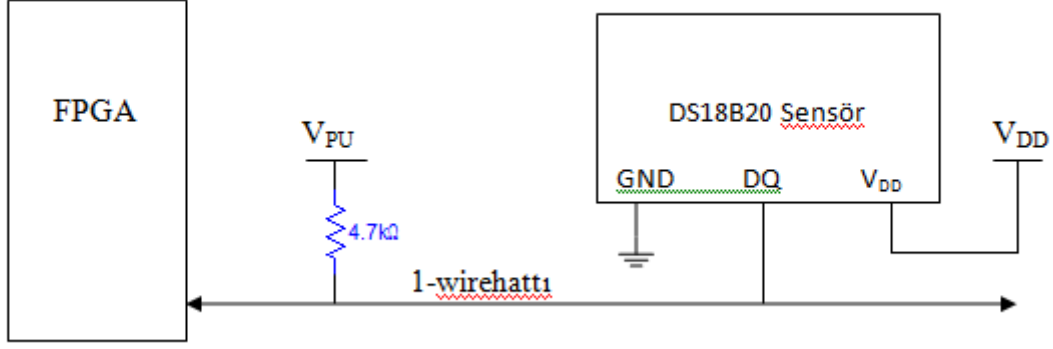
Şekil 6.3 DS18B20 blok diyagram [13]

Sensöre besleme gerilimi iki farklı şekilde uygulanabilmektedir. Parazitik güç modu olarak adlandırılan birinci tip bağlantı yapısı şekil 6.4'de gösterilmiştir. Bu bağlantı şeklinde sensör herhangi bir besleme gerilimine ihtiyaç duymamaktadır. Sensörün besleme gerilim ucu toprağa bağlanmıştır. Uzun mesafelerde ölçüm yapılması gereken uygulamalarda bu bağlantı şeklinin kullanılması uygun olmaktadır. 1-wire hattı yüksek gerilim değerinde olduğunda sensör çalışması için gerekli olan gücü hattan alır; hattın düşük gerilim seviyesinde olduğu durumda ise sensör gücünü C_{pp} kondansatöründen alır. $+100^{\circ}\text{C}$ 'den yüksek sıcaklık ölçümlerinde bu bağlantı şeklinin kullanımı kesinlikle önerilmemektedir.

İkinci tip bağlantı şeklinde ise sensör harici olarak besleme gerilimine ihtiyaç duyar. Bu bağlantı şekil 6.5'de verilmiştir. Parazitik güç modunda olduğu gibi MOSFET bir tranzistöre gerek duymaması ve sıcaklık değerinin dönüştürülmesi sırasında 1-wire hattını, diğer cihazlarla haberleşmesi için serbest bırakması bu bağlantı tipinin avantajlarıdır. DS18B20 sensörün Spartan 3E kit ile bağlanmasında bu bağlantı şekli kullanılmıştır. Harici besleme gerilimi uygulandığında 1-wire protokolüne göre, okuma işlemi sıcaklık dönüşümü tamamlandıktan sonra gerçekleştirilmelidir. Dönüşüm sırasında sensör '0' bilgisini, dönüşüm tamamlandıktan sonra ise '1' bilgisini FPGA'ye yollamaktadır.



Şekil 6.4 Parazitik güç bağlantı şeması [13]



Şekil 6.5 Harici besleme gerilimi uygulama

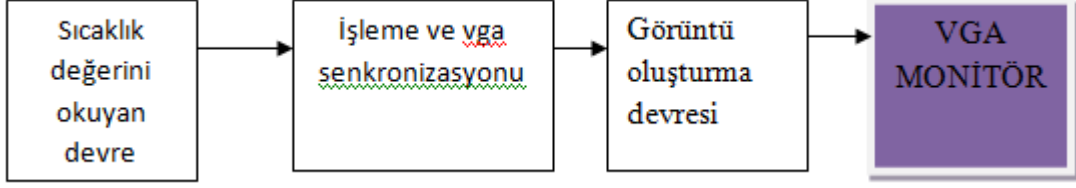
Sıcaklık kontrol devresi 12 bit çözünürlüğe göre tasarlanmıştır. Sensör dönüşüm değerlerini 16 bitlik değer olarak scratchp'de saklamaktadır. En çok ağırlıklı 4 bit değeri '0000' ise bu sıcaklığın pozitif bir değer olduğunu, '1111' ise negatif bir değer olduğunu belirtmektedir. 12 bit çözünürlüğe göre çıkışta elde edilen sayısal değerlerden bazıları tablo 6.1'de verilmektedir.

Tablo 6.1 DS18B20 sıcaklık sensörünün analog-sayısal dönüşümü

SICAKLIK(°C)	İKİLİ SİSTEMDE SICAKLIK DEĞERİ	ONALTILIK SİSTEMDE SICAKLIK DEĞERİ
+125	0000 0111 1101 0000	07D0h
+85	0000 0101 0101 0000	0550h
+25,0625	0000 0001 1001 0001	0191h
+10,125	0000 0000 1010 0010	00A2h
+0,5	0000 0000 0000 1000	0008h
0	0000 0000 0000 0000	0000h
-0,5	1111 1111 1111 1000	FFF8h
-10,125	1111 1111 0101 1110	FF5Eh
-25,0625	1111 1110 0110 1111	FE6Fh
-55	1111 1100 1001 0000	FC90h

6.1.2. Sistemin Gerçeklenmesi

Sıcaklık-zaman grafiği tasarımının gerçekleştirilebilmesi için öncelikle FPGA üzerinde sıcaklık kontrol devresi hazırlanmıştır. Kontrol devresi, sıcaklık değerinin sensör üzerinden alınmasını sağlayan, sıcaklık değerini işleyen ve VGA ekranında kontrolünü gerçekleştiren bloklardan oluşmaktadır.



Şekil 6.6 Sıcaklık kontrol devresi Basit Blok Diyagramı

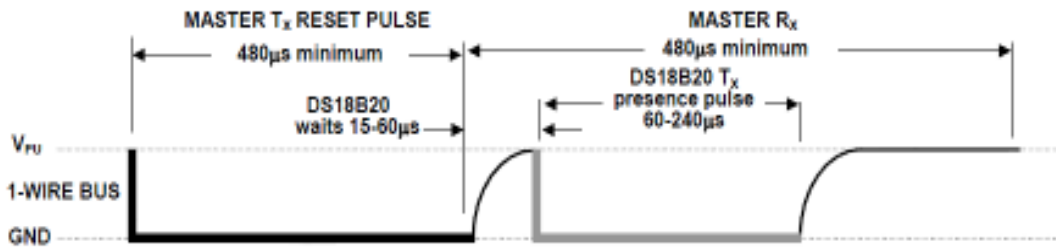
Sıcaklık devresinin alınmasını sağlayan devre bloğu DS18B20 sensörün kullandığı 1-wire prensibine göre tanımlanmıştır.

1-wire iletişim standardı Dallas semiconductor tarafından geliştirilmiş olup halen birçok cihaz tarafından kullanılmaktadır. Çok yaygın kullanılan bir sistem olarak i-button (İstanbul'da belediye tarafından kullanılan akbil) örnek olarak verilebilir. Sadece belirli bir ROM numarasına sahip olanlarıyla birlikte real time clock ya da sıcaklık ölçer, eeprom gibi sadece kendi içinde bir çok ürün yelpazesine sahiptir. Sadece i-button ile sınırlı kalmayıp her geçen gün genişleyen elektronik eleman zincirine sahiptir. Adreslenebilir röle sürücülerinden eeprom belleklere ve ADC'lere kadar yüzlerce üründe kullanılmaktadır.

1-wire standartında veri alışverişi tek bir hat üzerinden iki yönlü olarak gerçekleştirilmektedir. Genel olarak master (efendi) olarak görev yapan bir mikrodenetleyici sistem ile 1-wire standartını kullanan slave (köle) durumda bulunan cihazın kendisinden oluşmaktadır. Gerçekleştirilen projede FPGA master olarak görev yapmaktadır.

Bu tasarımın yapılabilmesi için DS18B20 sensörünün kullanım kılavuzunda bulunan zamanlama diyagramları dikkatle incelenmiş ve tasarım bu zamanlama diyagramlarına birebir olarak uygun yapılmıştır. 1-wire protokolü tamamen zamanlama üzerine kurulu bir protokoldür.

Cihaz hatta bağlandığı zaman pull up direnci ile hat devamlı yukarı 5 volt seviyesine çekilmektedir. İşlemci ile hat belirli süreler ile aşağı çekilir ve iletişim başlatılır, cihaz adreslenir. Hatta cevap verecek bir cihaz bulunuyorsa bu sefer cihaz hattı aşağı belirli aralıklarla çekerek gerekli cevapları gönderir. Burada dikkat edilmesi gereken en önemli nokta işlem basamaklarını sırasına göre yapmak ve zaman kriterlerine mutlaka uymaktır. Bütün iletişim işaretleri mutlaka gösterildiği şekilde bir reset pulse ile başlar ve hemen ardından cihazlardan gelen bir presence pulse (öncü darbe) ile devam eder. Yani başlangıçta hat resetlenir ve daha sonra eğer hazır olan bir cihaz varsa o da presence pulse gönderir. Eğer hatta birden fazla cihaz varsa bütün cihazlar sırayla bu sinyali gönderirler. Reset pulse için minimum olarak hat 480 mikrosaniye düşüğe tutulmalı hat serbest bırakıldıktan sonra ise 60 mikro saniye bekleyip bu sefer cihazdan 60- 240 mikrosaniye arasında sürecek olan presence pulse beklenmelidir. İşlemin zamanlama diyagramı şekil 6.7'de yer almaktadır.



Şekil 6.7 Reset ve presence darbeleri [13]

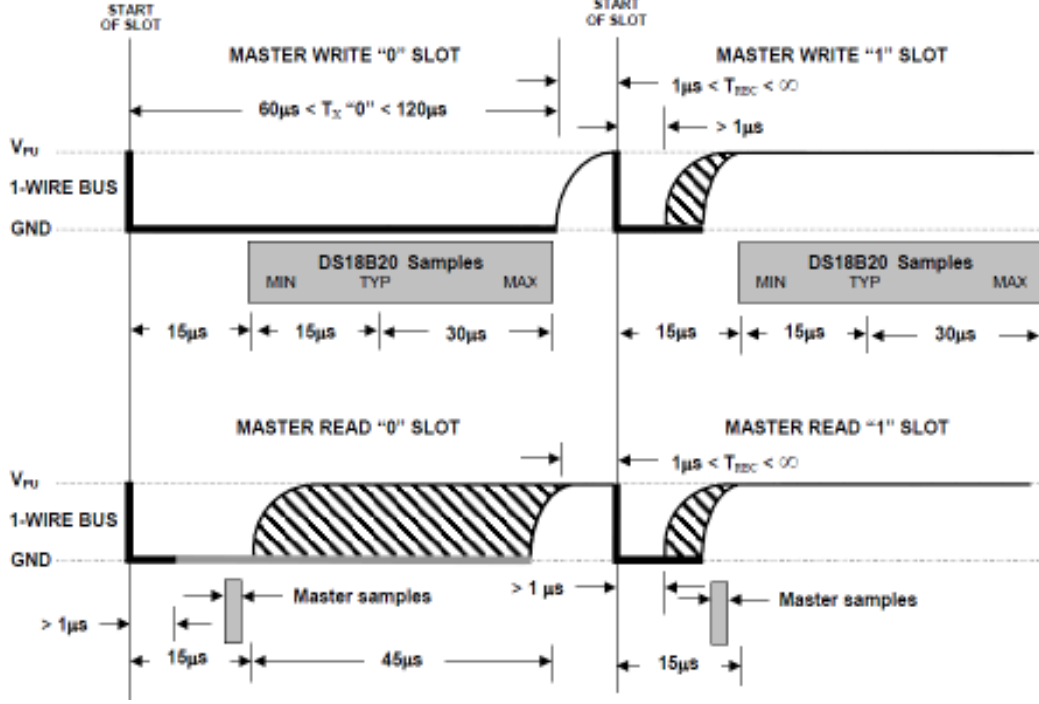
■ master hattı aşağı çekiyor.

■ sensör hattı aşağı çekiyor.

— direnç pullup

İlk adım doğru şekilde tanımlandıktan sonra iletişim için gereken verilerin doğru bir şekilde gönderilmesi sağlanmaya çalışılmıştır. Bunun için bütün iletişim bitleri halinde düşünülmelidir. '0' göndermek için hat düşüğe çekilmeli ve 60 mikro saniye o halde tutulmalı daha sonra serbest bırakılmalıdır. Bir sonraki bit için en az 1 mikro saniye hat serbest bırakılmalıdır. '1' yazmak içinse hat düşüğe çekildikten sonra 15 mikro saniye'den fazla olmadan beklenmelidir. Hattın serbest bırakılma işlemi FPGA'den hatta 'Z' değeri gönderilerek gerçekleştirilmektedir.

Okuma için de tamamen zamana dayalı rutinler tanımlanmalıdır. Dikkatlice bakarsak şekil 6.8'de siyah kalın hatlar master tarafından açık gri hatlar ise slave tarafından oluşturulur. Okuma yaparken de hat master tarafından düşüğe çekilir ve en az 1 mikro saniye bekleyip hattan veri okunur. Veri 15 mikro saniye içinde okunmalıdır. Eğer bu anda hat '0' ise slave'den yani sensörden FPGA'ye '0' verisi gönderilmiştir. Okunan veri '1' ise '1' verisi gönderilmiştir.



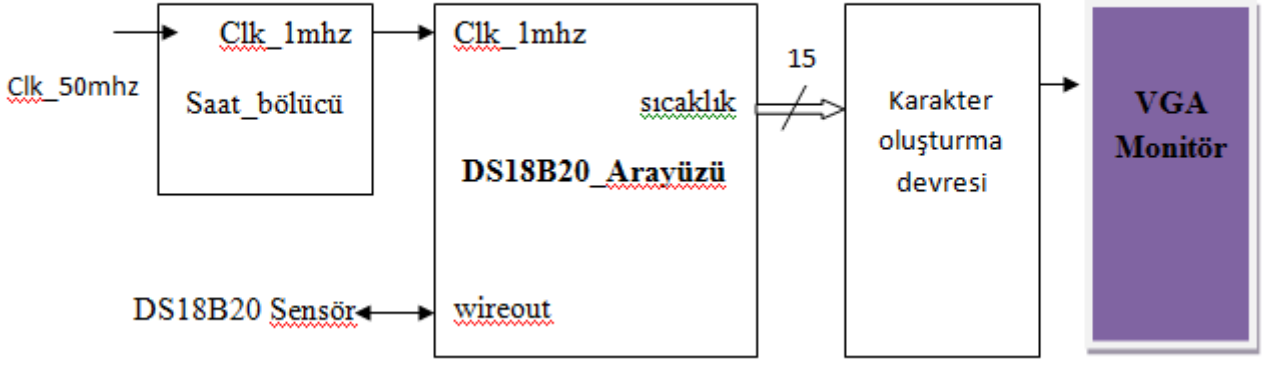
Şekil 6.8 Yazma-okuma zamanlama diyagramı [13]

■ master hattı aşağı çekiyor.

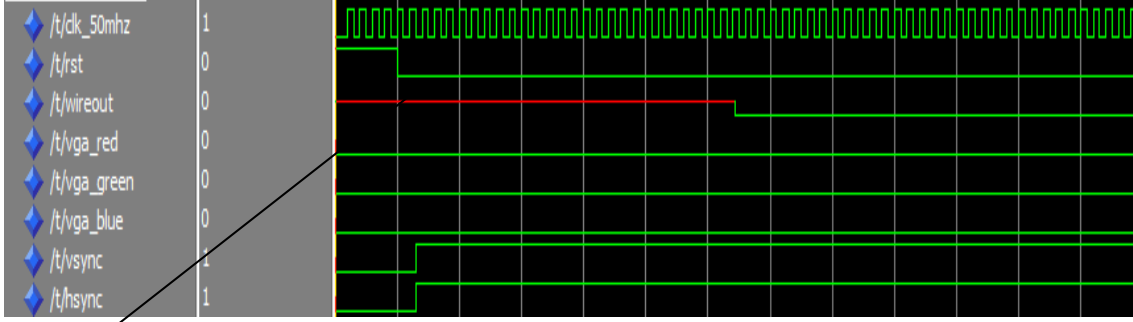
■ sensör hattı aşağı çekiyor.

— direnç pullup

Şekil 6.9'da sıcaklık kontrol devresinin tasarımını gösteren ayrıntılı blok diyagramı yer almaktadır. Saat bölücü devre ile DS18B20 sensör arabirim modülünün ihtiyacı olan 1 mhz'lik saat işareti oluşturulur. DS18B20 arabirim modülü sensörden aldığı bilgileri 15 bitlik dijital sıcaklık değeri olarak karakter oluşturma devresine gönderir. Burada look-up table oluşturularak FPGA'ye gelen sıcaklık değeri karakter_ROM devresi kullanılarak VGA ile monitör üzerine yazdırılır.



Şekil 6.10'da DS18B20 sensör devresinin simülasyonu verilmektedir. Simülasyonda sistemin haberleşmesini sağlayan wireout olarak isimlendirilen hat işareti kontrol edilmiştir.



Hat serbest durumda FPGA'den hatta 'Z' değeri gönderilir.

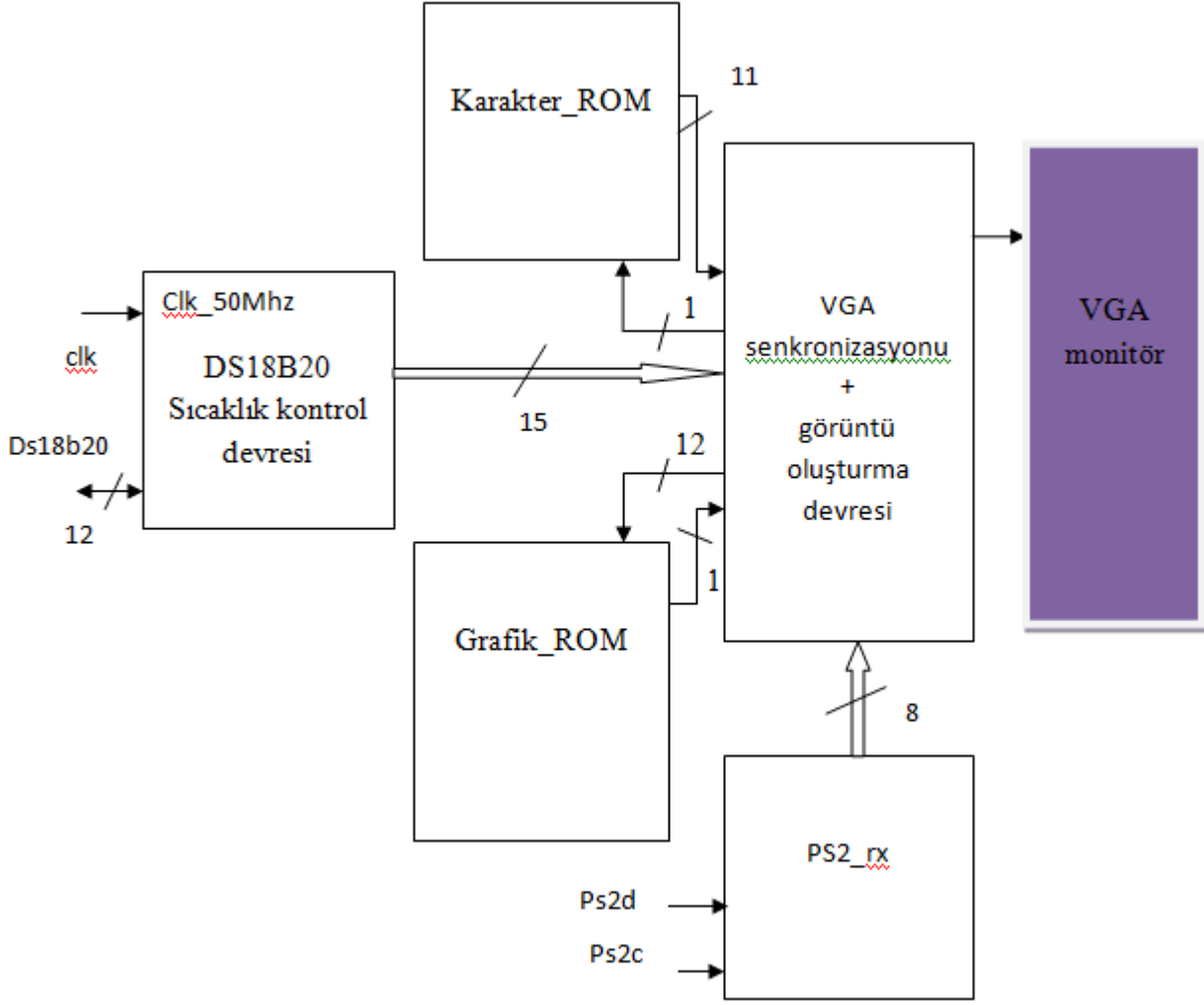
Şekil 6.10 DS18B20 sensör devresi simülasyonu

Sıcaklık kontrol devresinin tasarımı tamamlandıktan sonra sıcaklık-zaman grafiği uygulamasının gerçekleştirilmesi için yöntemler geliştirilmiştir.

Sıcaklık-zaman grafiğinin çizilmesi için ekranın yatay düzlemi zaman, dikey düzlemi ise sıcaklık değerleri için ayrılmıştır. İlk olarak sıcaklık değişiminin hangi aralıklarda ekran üzerine aktarılacağı belirlenmiş ve her bir zaman aralığında alınan sıcaklık değeri 1 piksele atanmıştır. Sonuç olarak belirli zaman aralıklarında alınan sıcaklık değeri dikey düzlemde o değere atanmış sırayı bularak ilgili zaman dilimi için iki eksenin kesiştiği o piksel değerine atama yapılır.

Bu sistemin tasarımının gerçekleştirilebilmesi için her bir zaman diliminde gelen sıcaklık değerinin FPGA içerisinde bulunan yazmaçlara kaydedilmesi gerekmektedir. FPGA'in içerisinde bulunan yazmaçların kullanımı yerine karakter oluşturma uygulamasında kullanılan karakter ROM tasarımı bu uygulama için de gerçekleştirilmiştir. ROM içerisine her bir sıcaklık değeri için atama yapılacak satır bilgisi yazılmıştır ve zaman dilimi değiştikçe ROM içeriği görüntü oluşturma devresi tarafından okunmaktadır.

Şekil 6.11'de sistemin blok diyagramı verilmektedir.



Şekil 6.11 Sıcaklık-zaman grafiği uygulaması blok diyagramı

DS18B20 sıcaklık kontrol devresiyle sensörden bilgiler alınarak VGA görüntü oluşturma devresine gönderilir. Bu devre sıcaklık zaman grafiğini ekran üzerinde çizdirme işlemini grafik_ROM devresiyle birlikte gerçekleştirir. Ekran üzerinde bir taraftan sıcaklık zaman grafiği çizilirken ekranın bir bölümünde anlık sıcaklık değeri karakter_ROM devresi yardımıyla izlenebilmektedir.

Tasarımı gerçekleştirilen sıcaklık-zaman grafiği ekran üzerinde yatay düzlemde 110 birim piksel alanı kapsamaktadır; yani bir sıcaklık zaman grafiği çizimi gerçekleştirilirken sensörden toplam 110 örnek alınarak grafik oluşturulur. Klavye arabirimi ile kontrol edilen ise bu 110 birim örneğin hangi zaman aralıklarında VGA ile ekran üzerine aktarılacağıdır. Klavye kontrol sistemi ile de hangi zaman aralıklarında sensörden örnek değerlerin alınacağı ve buna bağlı olarak sıcaklık zaman grafiğinin çizdirilme süresi kontrol edilmiştir. Kullanıcı klavye üzerinden A, B, C, D tuşlarından birine bastığında Tablo 6.2’de gösterilen zaman aralıklarında grafik çizdirilir. Buna bağlı olarak sistem duyarlılığı da klavye ile kontrol edilebilmektedir.

Tablo 6.2 Sıcaklık-zaman grafiği çizdirme süreleri ve duyarlılık hesabı

Klavye Tuşu	Alınan toplam örnek	Çizdirme Süresi	Duyarlılık
A	100	67 sn	0,609 sn
B	110	150 sn	1,366 sn
C	110	300 sn	2,727 sn
D	110	600 sn	5,455 sn

Örnek değerlerin alınacağı zaman aralık değerleri saat bölücü devre kısmında anlatılan yöntemle hesaplanmıştır.

Saat bölücü devrenin tasarımında 30 bitlik bir sayıcı kullanılmıştır. Saat işaretinin yükselen kenarında sayıcı değeri bir artırılmış ve saat işaretleri elde edilmiştir.

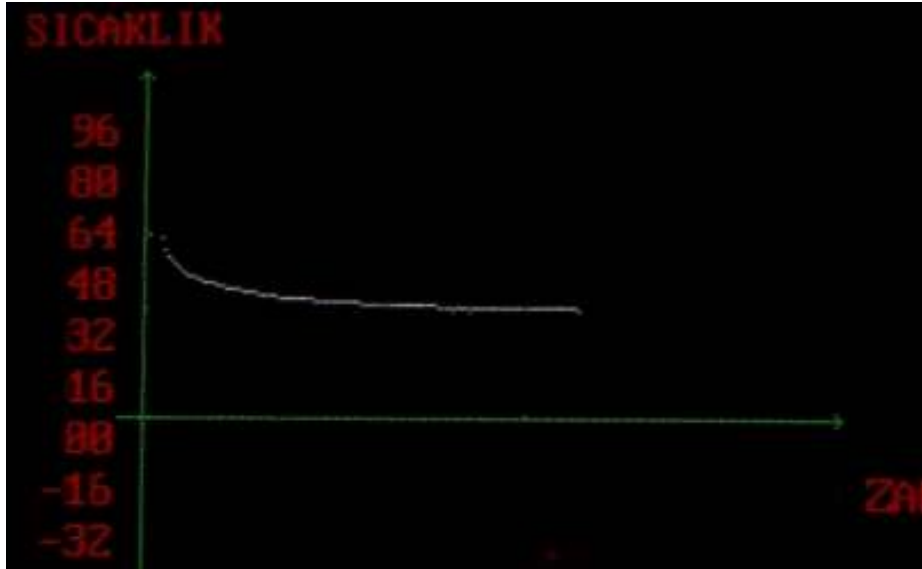
$50 \text{ Mhz}/(2^{25}) = 1,49 \text{ Hz}$ → A tuşuna basıldığında saat bölücü devre ile oluşturulan yeni saat işaretinin frekansı

$50 \text{ Mhz}/(2^{26}) = 0,745 \text{ Hz}$ → B tuşuna basıldığında saat bölücü devre ile oluşturulan yeni saat işaretinin frekansı

$50 \text{ Mhz}/(2^{27}) = 0,372 \text{ Hz}$ → C tuşuna basıldığında saat bölücü devre ile oluşturulan yeni saat işaretinin frekansı

$50 \text{ Mhz}/(2^{28}) = 0,186 \text{ Hz}$ → D tuşuna basıldığında saat bölücü devre ile oluşturulan yeni saat işaretinin frekansı

Şekil 6.12’de bir sistemin soğuma eğrisinin gerçekleştirilen sistem ile çizimi gösterilmektedir.



Şekil 6.12 Bir sistemin soğuma eğrisinin gerçekleştirilen sistem ile çizimi

Bu grafik sistemlerin belirli bir zaman aralığında sistemlerin soğuma ya da ısınma eğrilerinin çizdirilmesinde kullanılabilir.

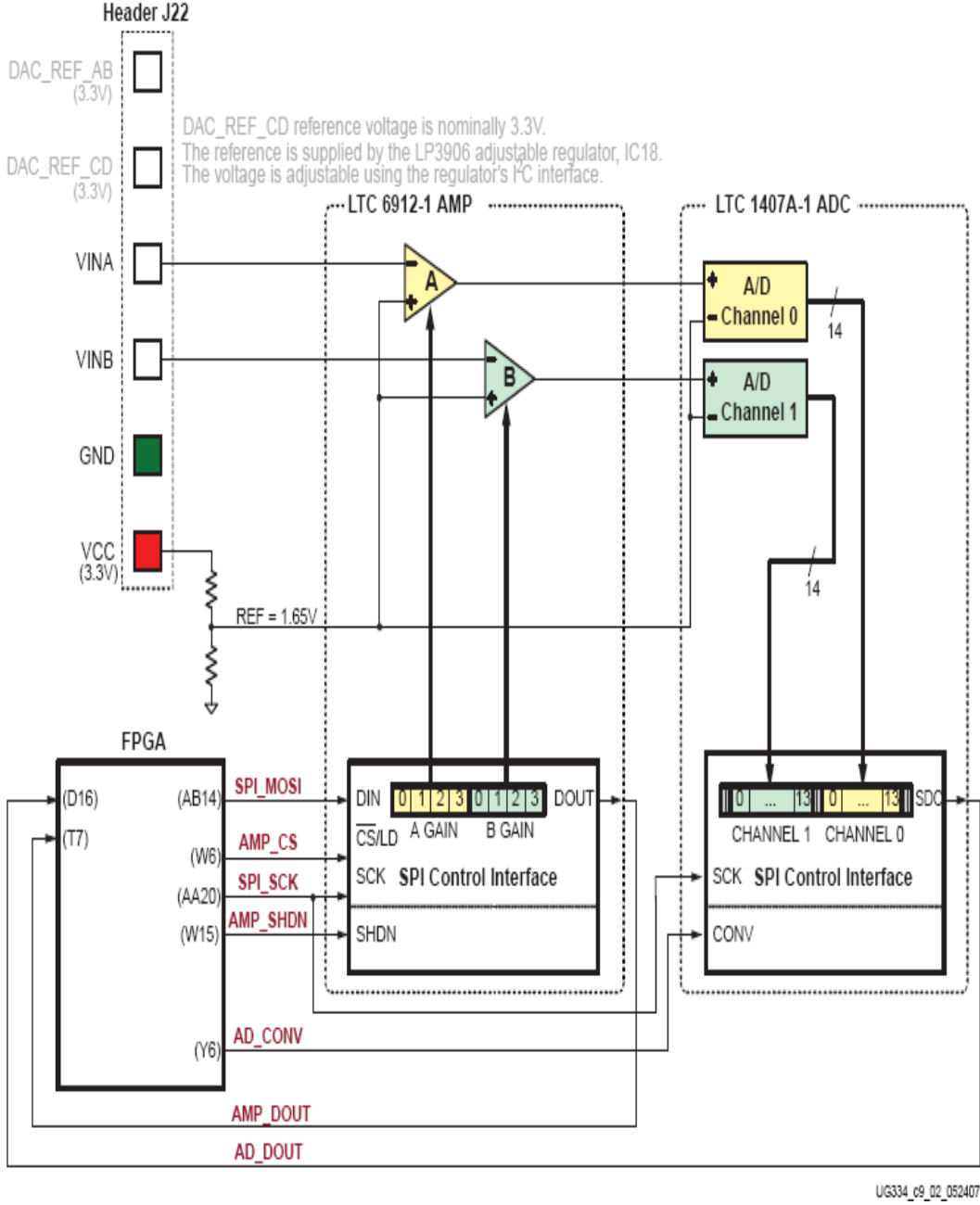
Grafik kullanılırken ölçüm yapmak istenilen sistemin sıcaklık değişim duyarlılığına bağlı olarak grafik süresinin hesaplanması önerilir; aksi takdirde grafiğiniz tam doğru şekilde çizilmeyebilir.

6.2. Basit Voltmetre Devresi Tasarımı

Projenin bu kısmı için Spartan 3E üzerinde uygulama kartı üzerinde bulunan ADC ve LCD sistemleri incelenmiş ve bu iki sistem FPGA içerisinde oluşturulan 8-bit mikrodenetleyicili sistem ile birleştirilmiştir. Picoblaze olarak adlandırılan bu sistem Xilinx firmasının FPGA'lerine özgüdür.

6.2.1. Spartan 3E Uygulama Kartı Üzerinde Bulunan ADC Yapısı

Spartan 3E uygulama kartı üzerinde analog-sayısal dönüşümü sağlayan yapı lineer teknoloji ile çalışan 2 kanallı LTC1407A-1 ADC ve 1 kanallı LTC6912-1 kuvvetlendiriciden oluşmaktadır. Uygulama kartı üzerindeki sistemin blok diyagramı şekil 6.13’de yer almaktadır.



Şekil 6.13 Spartan 3E ADC fonksiyonel blok diyagram [14]

Analog-sayısal dönüşüm devresi girişten aldığı gerilim değerlerini 14 bitlik sayısal değere dönüştürür. Sayısal değer; $D[13:0] = \text{Kazanç} \times (V_{\text{giriş}} - 1.65V) / (1.25V) \times 8192$ eşitliği ile hesaplanmaktadır.

Kazanç \rightarrow kuvvetlendirici devresinin kazancı (kullanıcı tarafından belirlenebilir.)

$V_{\text{giriş}}$ \rightarrow analog-sayısal devrenin giriş gerilimi

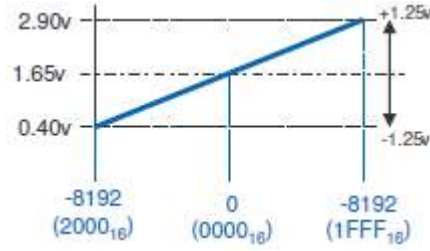
8192 \rightarrow ADC bit çözünürlüğü $= 2^{14}$

LTC1407A-1 ADC'in çalışma aralığı -1.25V ile +1.25V arasındadır. Kazancın -1 olarak seçildiği durum için uygulama kartının analog girişine verilecek maksimum analog giriş gerilim aralığı 0.4V ile 2.9V arasında olmaktadır. Bu kısıtlı çalışma aralığı uygulama kartı üzerinde gerçekleştirilen sistemlerin en büyük dezavantajlarından birini oluşturmaktadır. Tablo 6.3'de kuvvetlendirici kazanç değerine bağlı olarak analog-sayısal dönüşüm devresinin girişine verilebilecek gerilim değerlerinin maksimum ve minimum değerleri verilmiştir.

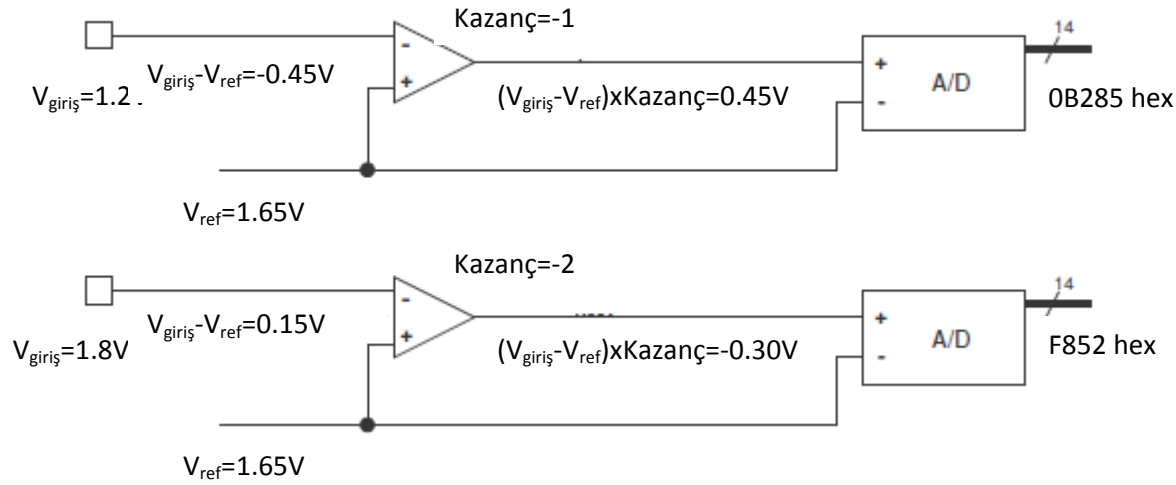
Tablo 6.3 Kuvvetlendirici programlanabilir kazanç ayarları

Kazanç	Maksimum Giriş Gerilimi	Minimum Giriş Gerilimi
0		
-1	2,9	0,4
-2	2,275	1,025
-5	1,9	1,4
-10	1,775	1,525
-20	1,5875	1,7125
-50	1,625	1,675
-100	1,6375	1,6625

Şekil 6.14'de analog-sayısal dönüşümün grafik gösterimi yer almaktadır.

**Şekil 6.14** Uygulama kartı üzerinde analog-sayısal çevrim grafiği

Şekil 6.15'de kart üzerinde gerçekleştirilen çevrimlerin aşamalarını gösteren 2 örnek yer almaktadır. İlk örnekte sisteme referans geriliminden küçük bir gerilim değeri verilmiş ve kuvvetlendirici kazancı -1 olarak alınarak sistemin çalışması incelenmiştir. İkinci örnekte ise sisteme referans geriliminden büyük bir gerilim değeri verilmiş ve kuvvetlendirici kazancı -2 olarak alınarak sistem çalıştırılmıştır.

**Şekil 6.15** Uygulama kartı üzerinde analog-sayısal dönüşüm örnekleri

Uygulama kartı üzerinde bulunan ADC ve kuvvetlendirici birimlerinin FPGA ile haberleşmesinde SPI protokolü kullanılmaktadır. Serial Peripheral Interface olarak tanımlanan bu protokol sistemlerin birbirleri ile senkron ve seri

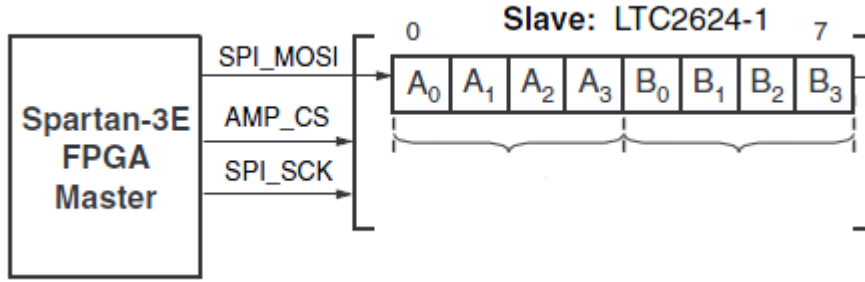
olarak haberleşmelerini sağlar. Sistemler master (efendi)/slave (köle) modda çalışır. Uygulama kartı üzerinde FPGA master (efendi), kuvvetlendirici ve ADC ise slave (köle) durumunda çalışmaktadır.

Tablo 6.4’de kuvvetlendirici biriminin FPGA ile SPI üzerinden haberleşmesi sırasında kullanılan işaretler ve kullanım amaçları yer almaktadır.

Tablo 6.4 Kuvvetlendirici SPI işaretleri

İşaret	Yön	Tanım
SPI_MOSI	FPGA→KUVV.	8 bit programlanabilir gerilim kazancı değeri
AMP_CS	FPGA→KUVV.	Kuvvetlendiricinin çalışmasını aktif eden işaret
SPI_SCK	FPGA→KUVV.	Saat işareti
AMP_SHDN	FPGA→KUVV.	Reset işareti

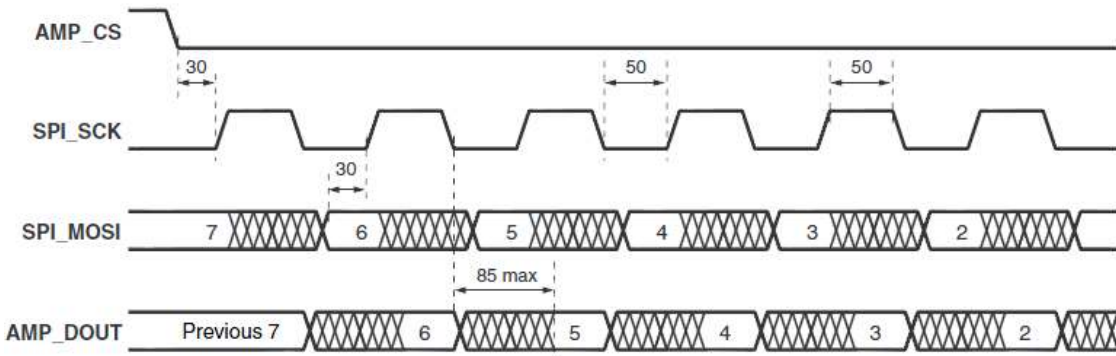
Şekil 6.16’da SPI ara yüzünün kuvvetlendirici sistemiyle kullanımı gösterilmiştir. 8 bitlik kuvvetlendirici kazanç değerinin ilk 4 biti ADC’nin B kanalı için son 4 biti ise A kanalının kazanç ifadesi için ayrılmıştır. B₃ olarak ifade edilen bit ilk olarak gönderilir.



Şekil 6.16 Kuvvetlendirici sistemi SPI ara yüzü

Şekil 6.17’de ise kuvvetlendirici sistemi için SPI zamanlama diyagramları verilmiştir. Şekilde görülen AMP_DOUT işareti tasarımları yapılan sistemlerde kullanılmamıştır; bu nedenle dikkate alınmamıştır. Birçok sistem gerçekleştirilirken bu işaretin dikkate alınmaması uygulama kartının kullanım kılavuzunda önerilmiştir.

Tasarım zamanlama diyagramına uygun olarak gerçekleştirilmiştir.



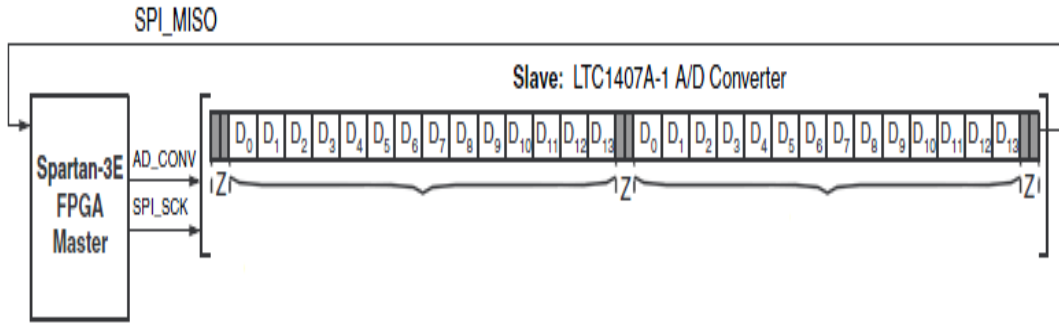
Şekil 6.17 Kuvvetlendirici sistemin FPGA ile SPI üzerinden haberleşmesi [14]

Tablo 6.5’de ADC biriminin FPGA ile SPI üzerinden haberleşmesi sırasında kullanılan işaretler ve kullanım amaçları yer almaktadır.

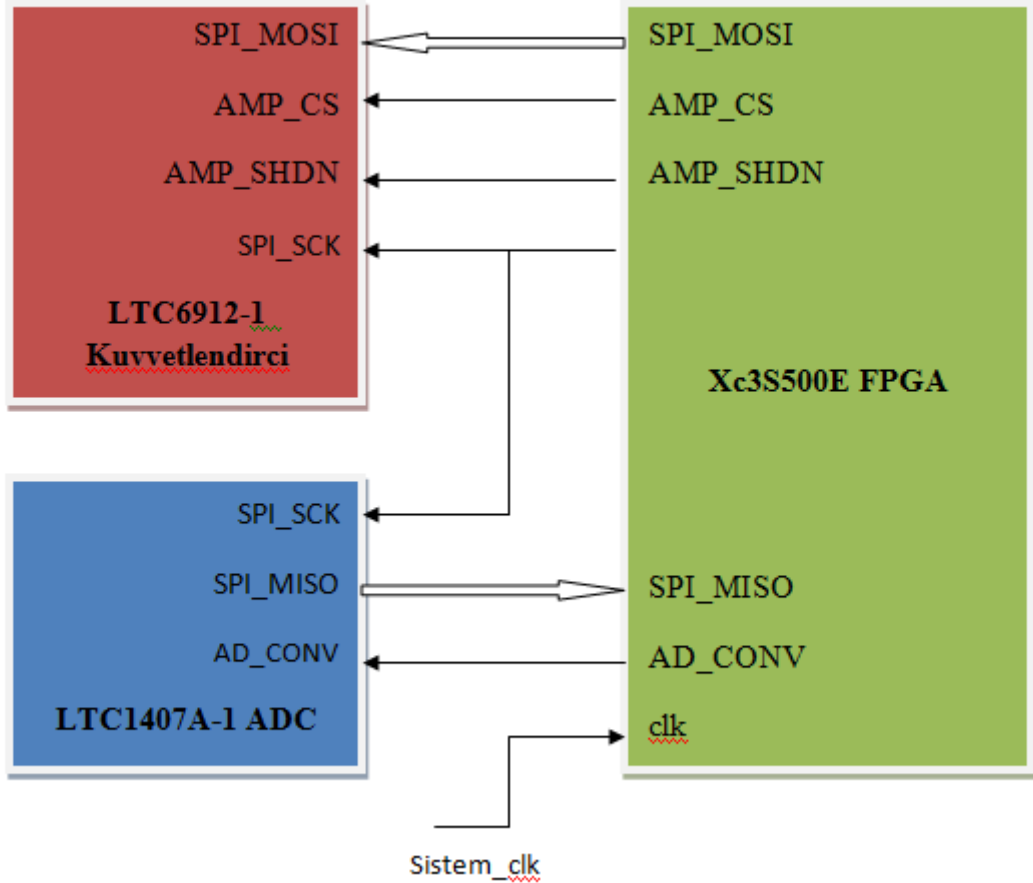
Tablo 6.5 ADC SPI işaretleri

İşaret	Yön	Tanım
SPI_SCK	FPGA→ADC	Saat işareti
AD_CONV	FPGA→ADC	Reset işareti
SPI_MISO	FPGA←ADC	14 bit sayısal değeri FPGA'ye gönderen işaret

Şekil 6.18'de SPI ara yüzünün ADC sistemiyle kullanımı gösterilmiştir.



Şekil 6.18 ADC sistemi SPI ara yüzü



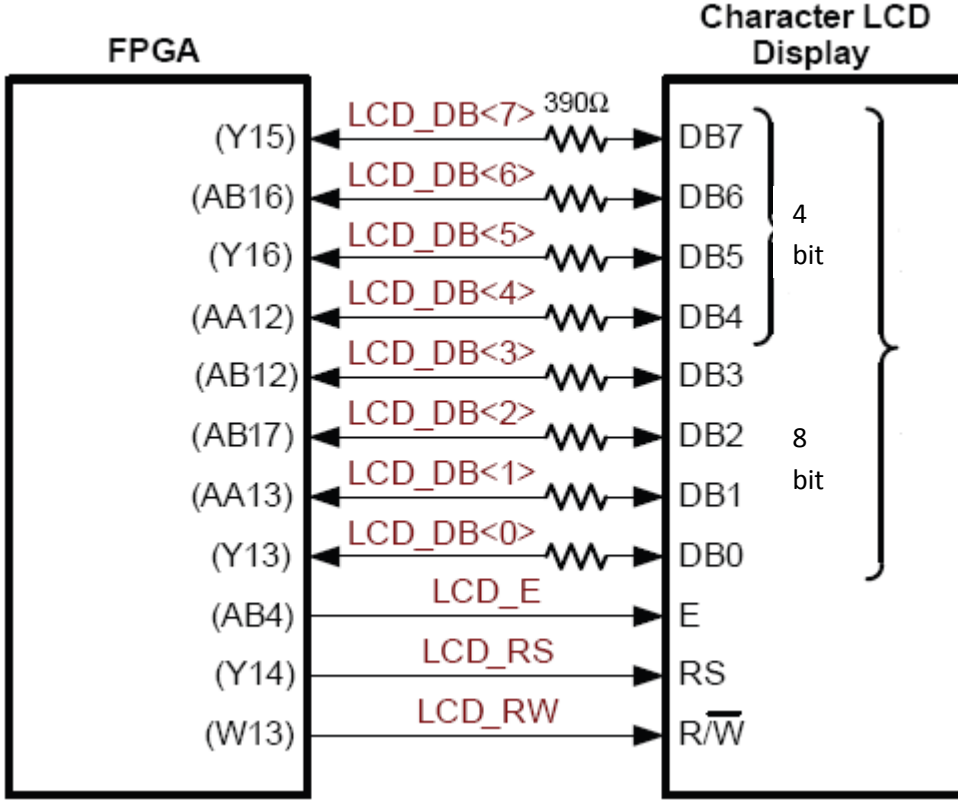
Şekil 6.19 Analog-sayısal dönüşüm devresinin FPGA ile haberleşmesi

Son olarak uygulama kartı üzerindeki dönüşüm devresi kullanılırken dikkat edilmesi gereken nokta kart üzerinde SPI protokolünü kullanan diğer sistemlerin devre dışı bırakılması gerekliliğidir. Bu sistemler devre dışı bırakılmaz ise sisteminiz doğru bir şekilde çalışmayabilir.

6.2.2. Spartan 3E Uygulama Kartı Üzerinde Bulunan Karakter LCD

Spartan 3E kit üzerinde 2 satır 16 karakter LCD bulunmaktadır. Şekil 6.20’de görüldüğü gibi FPGA LCD’yi 8 bit ya da 4 bit ile kontrol edebilmektedir. 8 bit ile kontrol gerçekleştirildiğinde FPGA ile LCD arasındaki iletişim iki yönlü olmaktadır. Böylelikle FPGA hem LCD’ye veri aktarımı yapabilir hem de LCD’den veri alımı gerçekleştirebilir. Gerçekleştirilen analog gerilim ölçüm devresi uygulamasında LCD 4 bit ile kontrol edilmektedir.

LCD 50 Mhz sistem saat işaretiyle çalışmaktadır.



Şekil 6.20 FPGA- LCD bağlantısı

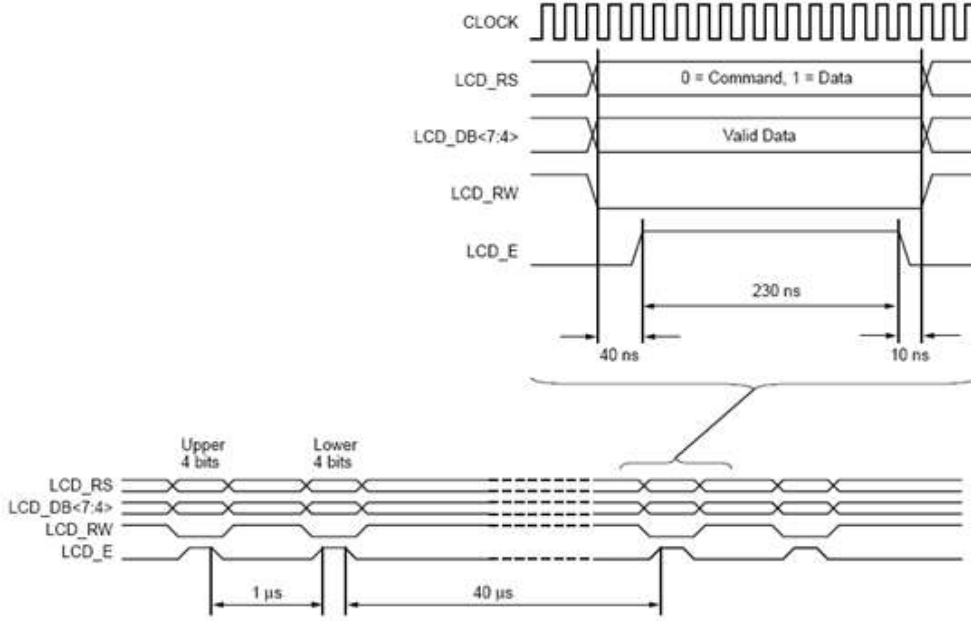
LCD_E → LCD ekranın kullanılacağını belirten seçim ucu

LCD_RS → ‘0’ olduğunda komut yazmacı, ‘1’ olduğunda ise veri okuma/yazma kontrolü olarak kullanılır.

LCD_RW → ‘0’ olduğunda okuma, ‘1’ olduğunda yazma işlemi gerçekleştirilir.

LCD’ye karakter yazma işleminin gerçekleştirilebilmesi için LCD ekrana yazılacak verinin hangi konumda bulunacağı belirlenmelidir. Konum bilgisi DDRAM içerisine kaydedilir. LCD ekrana yazdırılacak karakter sayısı 80’dir. Bu durumda her bir satıra 40 karakter yazdırılabilmektedir.

Şekil 6.21’de 4 bit LCD kontrol sisteminin zamanlama diyagramı gösterilmektedir.



Şekil 6.21 4 bit LCD kontrolü [15]

6.2.3. Basit Voltmetre Devresinin Picoblaze İle Birleştirilmesi

Sistemin Picoblaze ile gerçekleştirilmesiyle uygulama kartı üzerinde bulunan FPGA'in yalnızca 200 lojik hücre birimi kullanılmıştır. Picoblaze ile tasarlanan sistemler FPGA üzerinde oldukça az yer kaplar ve kompleks uygulamaların birlikte geliştirilmesine olanak sağlar. Bu nedenle ADC ve LCD devresi, picoblaze ile tasarlanarak sıcaklık zaman grafiği sistemi ile birleştirilmiştir.

Xilinx Xc3S500E FPGA üzerinde tasarlanan mikrodenetleyici özellikleri;

8 bit data data genişliği

Taşıma ve sıfır bayrağı ile birlikte 8 bit ALU

16 adet 8 bit yazmaç

64 byte veri hafıza alanı

18-bit komut genişliği

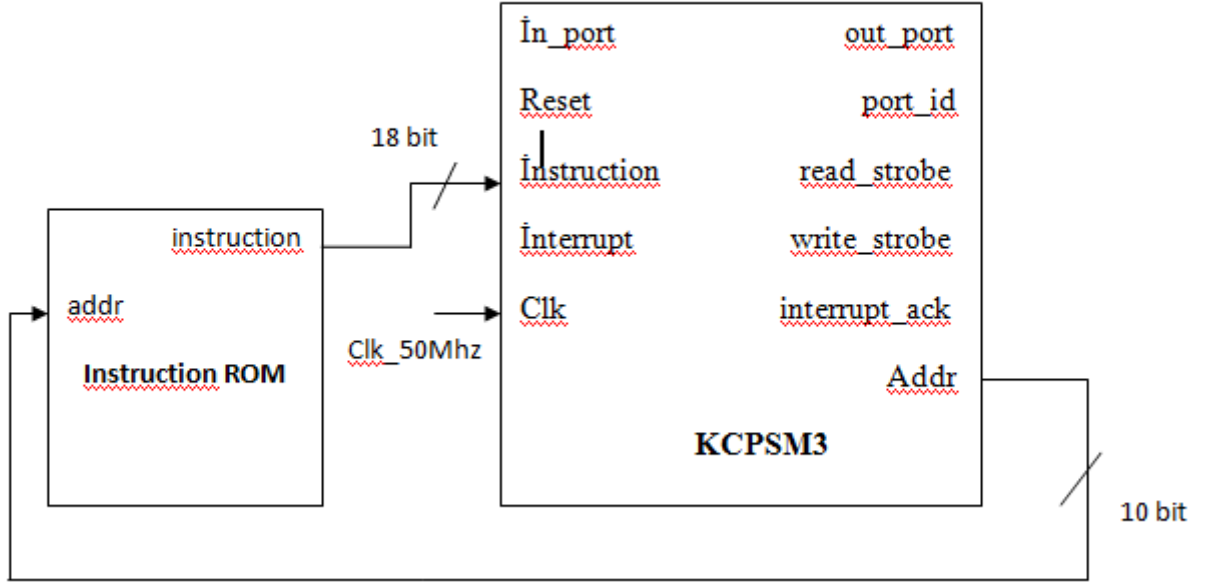
10 bit komut adresi

256 giriş, 256 çıkış portu

Her bir komut 2 saat darbesinde gerçekleştirilir.

Kesme işlemi 5 saat darbesinde gerçekleştirilir.

Şekil 6.22'de FPGA üzerinde gerçekleştirilen picoblaze sistemin tasarım blokları yer almaktadır.



Şekil 6.22 Picoblaze tasarım blokları

KCPSM3 bloğu picoblaze işlemci bloğudur. Instruction ROM ise komut setinin yer aldığı bloktur.

Picoblaze işlemci bloğu giriş ve çıkış değişkenleri;

Clk: sistem saat işareti

Reset: reset işareti

Address: komut bloğunun adres değeridir.

Instruction: ROM içerisinde alınmış 18 bitlik komut değeri

Port_id: giriş ya da çıkış portunun adresi

In_port: giriş ara birimlerinden alınan data

Read_strobe: giriş işaretinin sistem tarafından okunmasını sağlayan işaret

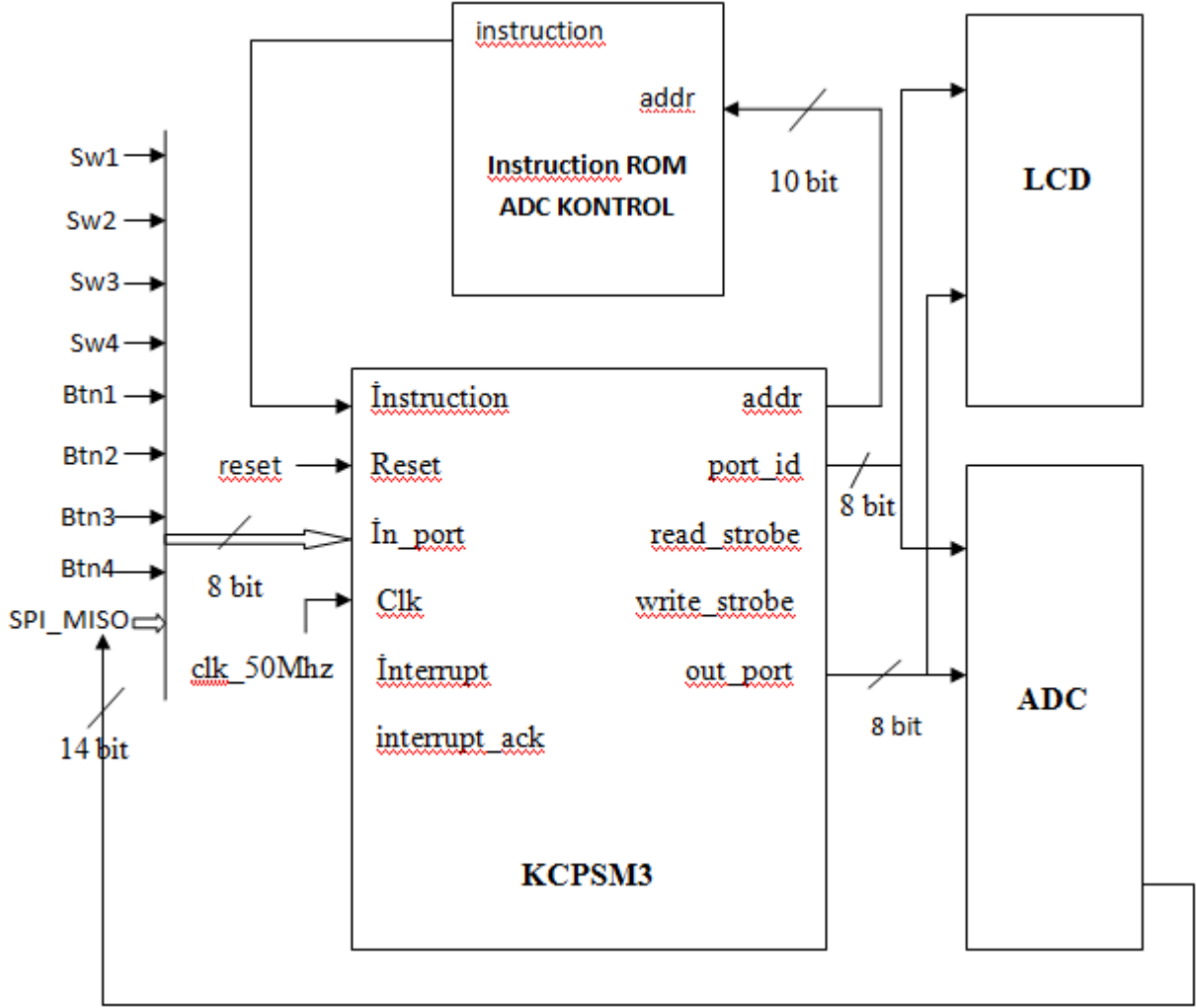
Out_port: çıkış ara birimlerine gönderilen data

Write_strobe: çıkış işaretinin sistem tarafından gönderilmesini sağlayan işaret

Interrupt: işlemci kesme işareti

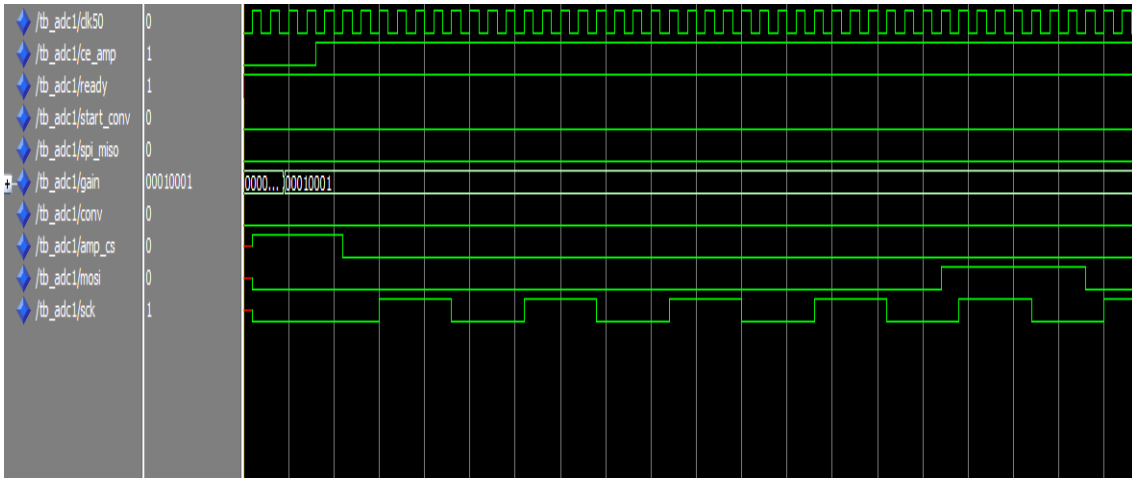
Interrupt_ack: kesme isteğini bildirir.

Analog-Sayısal devrenin tasarımının LCD ile birlikte gerçekleştirilebilmesi için Picoblaze sistem bloğu içerisinde bulunan `instruction_ROM` içerisindeki komut seti ADC devresinin SPI ara yüzüne göre düzenlenmiştir. Şekil 6.23'de gerçekleştirilen picoblaze sistemin blok diyagramı verilmektedir.



Şekil 6.23 Basit voltmetre devresinin picoblaze ile tasarımı

Sw1, sw2, sw3 ve sw4 uygulama kartı üzerinde bulunan kaydırmalı anahtarları temsil etmektedir. Btn1, Btn2, Btn3, Btn4 ise yine uygulama kartı üzerinde bulunan butonları kontrol etmektedir. Uygulama kartı üzerindeki butonlar kullanılarak kuvvetlendirici kazancı değiştirilebilmektedir.



Şekil 6.24 ADC sistemi simülasyonu

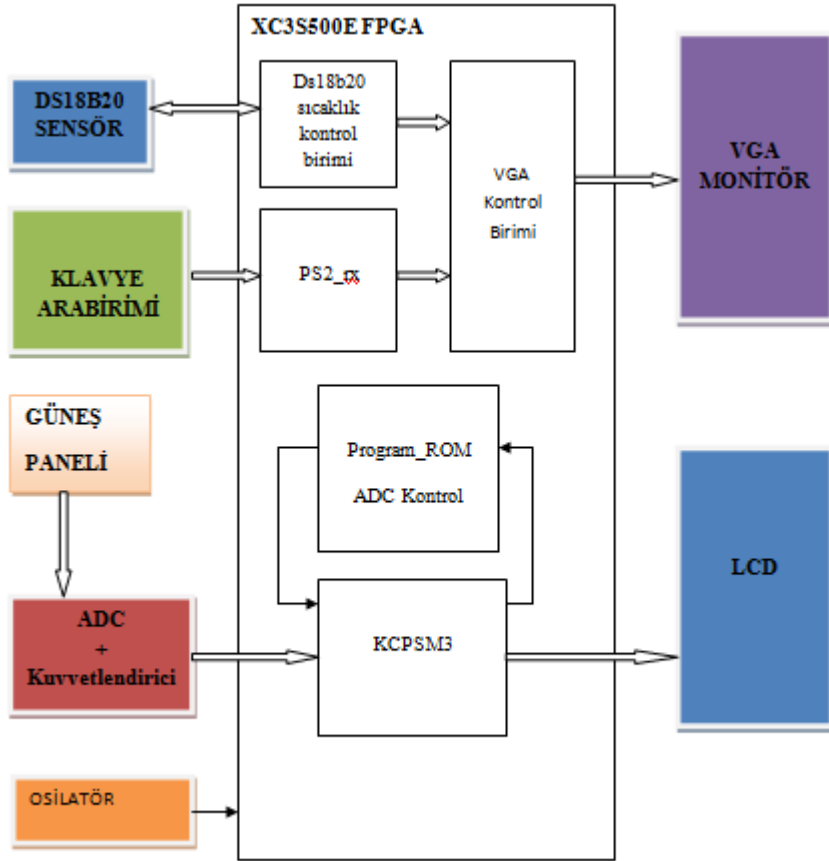
Program çalıştırıldığında LCD Ekran üzerinden kuvvetlendirici kazancı, giriş gerilimi, ADC'nin girişine gelen gerilim değeri ve çıkışta elde edilen sayısal değer onaltılık sayı formatında takip edilebilir.

Sistemin çalışmasına ait LCD görüntüsü farklı kuvvetlendirici kazançları için şekil 6.25'de gösterilmektedir.

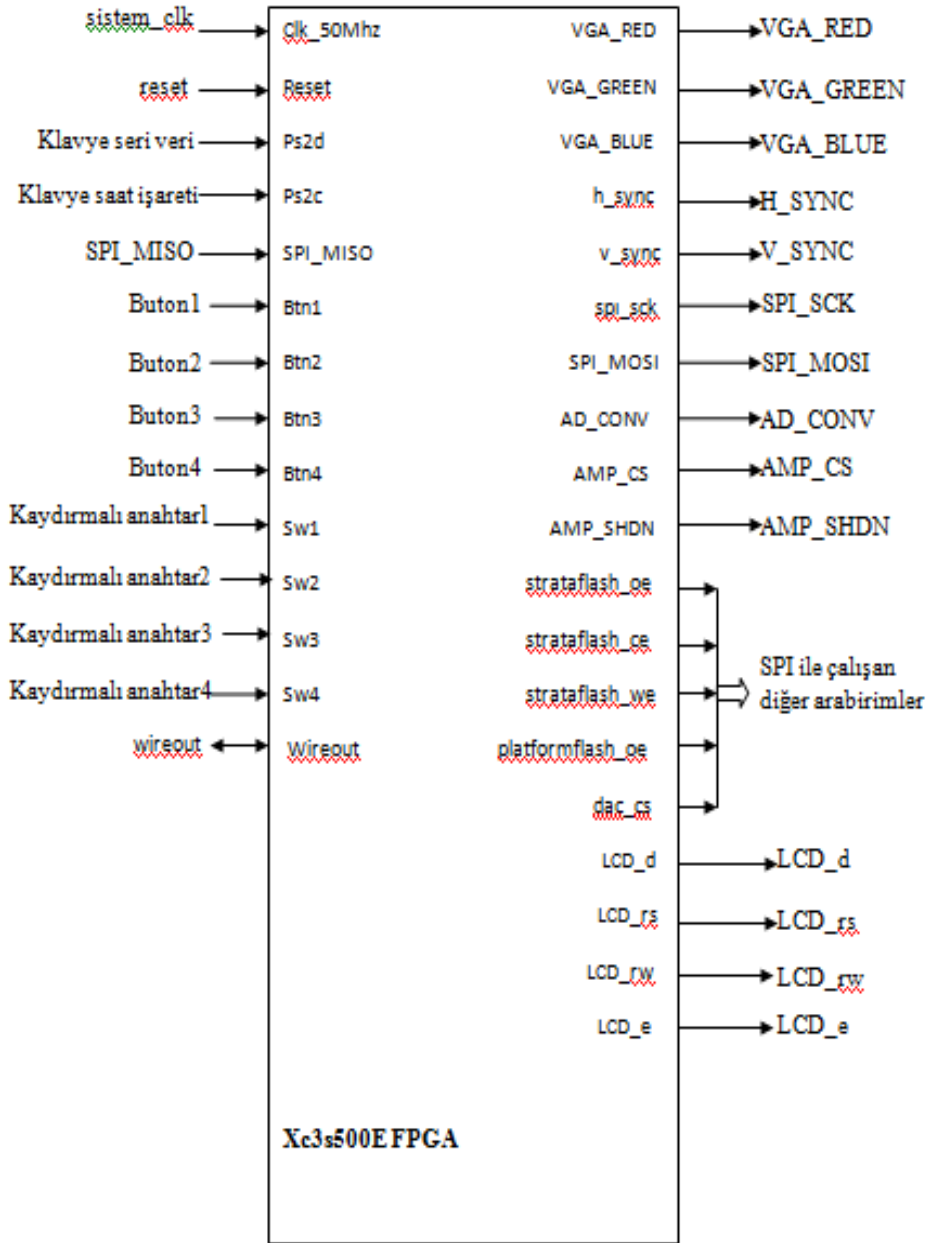


Şekil 6.25 Basit voltmetre devresi LCD gösterimi

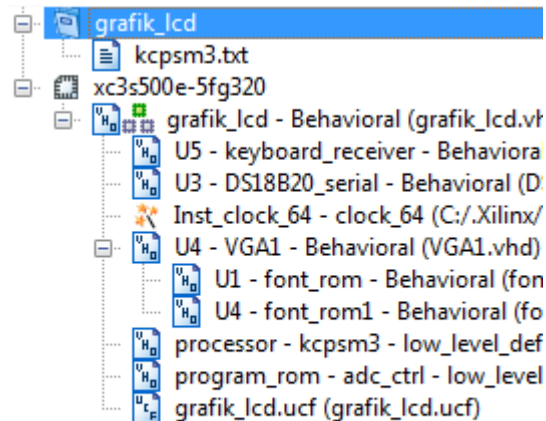
Sıcaklık zaman grafiği uygulaması ve basit voltmetre devresi tasarımı tamamlandıktan sonra bu iki sistem birleştirilmiştir. Tamamlanan sistemin blok diyagramı şekil 6.26'da verilmektedir.



Şekil 6.26 Tüm sistemin blok diyagramı



Şekil 6.27 Sistem giriş çıkış pinleri



Şekil 6.28 Sistem hiyerarşisi

Tablo 6.6 Birleştirilmiş sistemin FPGA kullanım oranları

Lojik Birim	Hazır olarak bulunan	Kullanılan	Kullanma Oranı
Yazmaç	9312	1171	%12
Look-up table	9312	2836	%30
Slices	4656	2021	%43
Giriş-çıkış pinleri	232	36	%15
RAMB16s	3	20	%20
MUX	8	24	%33
DCM	1	4	%25

Sistem Özellikleri;

Tasarım Xilinx Spartan3E uygulama kartı ve ek olarak DS18B20 sıcaklık sensörü kullanılarak gerçekleştirilmiştir ve 50 Mhz saat işaretiyle çalışmaktadır.

Sıcaklık-zaman grafiği VGA ile monitör ekranında çizdirilmektedir. 110 birim örnek alınarak oluşturulur ve grafik 0°C ile 96 °C arasında çizim yapar.

Grafik klavye kontrollüdür. Çizdirme süresi klavye arabirimine bağlı olarak kullanıcı tarafından değiştirilebilir. Klavyenin hangi tuşu kullanılarak sürelerin belirleneceği bilgisi sistem çalıştırıldığında monitör üzerinden edinilmektedir. Böylece kullanıcı herhangi bir dökümana ihtiyaç duymadan sistemi kullanabilir.

Uygulamanın sağlıklı olarak kullanılabilmesi için grafiği çizdirilecek sistemin sıcaklık değişim duyarlılığının önceden kontrol edilmesi önerilir.

Sıcaklık-zaman grafiği VGA monitör üzerinde çizdirilirken sistem aynı zamanda analog-sayısal dönüşüm devresine gelen gerilim değerlerini de LCD ekrana aktarmaktadır. Örnek bir uygulama olması açısından analog-sayısal dönüşüm devresinin girişine bir güneş paneli bağlanmış ve güneş panelinden elde edilen gerilim değerleri LCD ekran üzerinden takip edilmiştir. Kullanıcı istediği herhangi bir birimin gerilim değerini bu sistemi kullanarak ölçebilir.

Analog-sayısal dönüşüm devresinin çalışma aralığı 0,4V ile 2,9V arasındadır. Bu kısıtlı çalışma aralığı sistemimizin dezavantajıdır.

7. SONUÇLAR

Bu çalışmada gerçekleştirilen sistem, iki ana kısımdan oluşmaktadır. İlk olarak temel görüntü oluşturma blokları tasarlanarak VGA ile FPGA üzerinde gerçekleştirilecek ileri uygulamaların tasarımında kaynak olarak kullanılacak bir sistem oluşturulmuştur. İkinci olarak ise bu bloklar kullanılarak sıcaklık-zaman grafiği ve VGA kontrollü sisteme ek olarak gerilim değerini ölçen devre tasarlanmıştır.

Temel bloklar MS visual kullanılarak bilgisayar üzerinden kontrol edilebilmektedir. Kullanıcı incelemek istediği programa MS visual ile hazırlanan ara yüz üzerinden seçerek kolaylıkla ulaşabilir.

Sıcaklık-zaman grafiği ise temel blokların tasarımında olduğu gibi kullanıcı kontrollü olarak hazırlanmıştır. Kullanıcı, grafiğinin duyarlılığını ve süresini klavye arabirimi ile kontrol edebilir.

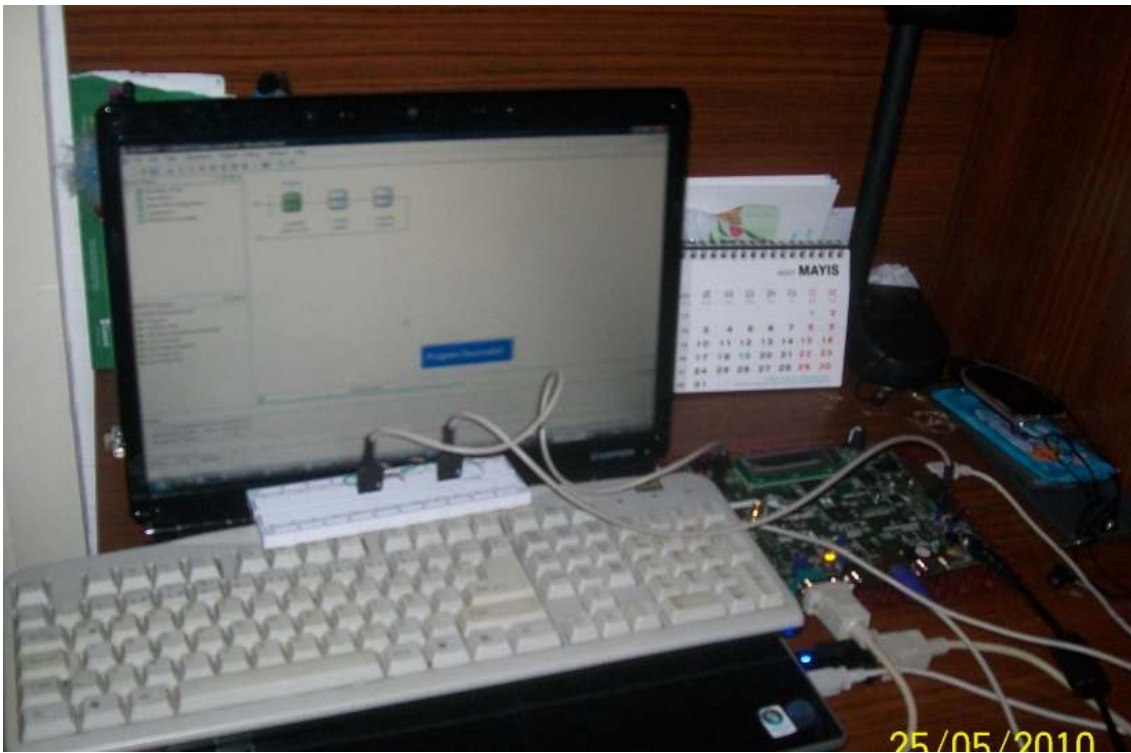
Projede gerçekleştirilmesi planlanan güneş paneli kontrol sistemi uygulama kartı üzerinde bulunan analog-sayısal devrenin çok kısıtlı bir çalışma aralığı bulunduğundan dolayı tasarlanamamıştır. Monitör üzerinde konum bilgisine göre güneş panelinden elde edilen gücün grafik olarak gösteriminin nasıl olacağı bir sıcaklık-zaman grafiği ile gösterilmeye çalışılmıştır. Bu nedenle sıcaklık-zaman grafiğine ek olarak sabit durumda bulunan gerilim değerlerini ölçen bir devre tasarlanmıştır.

KAYNAKLAR

- [1] Elektrotekno, (2009), FPGA üzerinde tetris uygulaması,
<http://www.elektrotekno.com/about51298.html>.
- [2] Wikimedia Foundation, Inc, (2010), FPGA,
<http://tr.wikipedia.org/wiki/FPGA>.
- [3] Xilinx Corporation, (2009), Spartan 3E FPGA Family Datasheet,
www.xilinx.com/support/documentation/data_sheets/ds312.pdf.
- [4] Wikimedia Foundation, Inc, (2010), Video Graphics Array,
http://en.wikipedia.org/wiki/Video_Graphics_Array.
- [5] Wikimedia Foundation, Inc, (2010), CRT Monitör,
http://tr.wikipedia.org/wiki/Bilgisayar_monit%C3%B6r%C3%BC.
- [6] Ickes, Nathan, (2004) "VGA Video", Introduction to Digital Systems,
<http://web.mit.edu/6.111/www/s2004/NEWKIT/vga.shtml>.
- [7] Xilinx LTD., (2008), Spartan 3E FPGA Starter Kit Board User Guide, VGA Display Port,
www.xilinx.com/support/documentation/boards_and.../ug230.pdf.
- [8] Chu, P., (2008), FPGA Prototyping by VHDL Examples, JOHN WILEY & SONS, INC. PUBLICATION, Canada.
- [9] Springerlink, (2007), Rapid Prototyping of digital systems, VGA Video Signal Generation,
<http://www.springerlink.com/content/g0t2kv4883128124/>.
- [10] Xilinx LTD., (2008), Spartan 3E FPGA Starter Kit Board User Guide, PS2 Mouse/Keyboard Port,
www.xilinx.com/support/documentation/boards_and.../ug230.pdf.
- [11] Chapman, K., (2003), UART transmitter and receiver macros, Xilinx LTD.
- [12] Gürdal, O., (2000), Algılayıcılar ve Dönüştürücüler, Nobel Yayın Dağıtım.
- [13] Maxim Dallas Semiconductor Corporation, (2008), DS18B20 Programmable Resolution, 1-Wire Digital Thermometer,
datasheets.maxim-ic.com/en/ds/DS18B20.pdf.
- [14] Chapman, K., (2006), Amplifier and A/D Converter Control for Spartan-3E Starter Kit, Xilinx LTD.
- [15] Aye Mu, K., (2009), "Design a single channel voltmeter using FPGA", Final Year Project, Sim University.

EK 1 SİSTEMİN UYGULAMA GELİŞTİRME KARTI ÜZERİNDE GERÇEKLENMESİ

Klavye Tusu	Zaman(s)
A	67
B	158
C	300
D	600



EK 2 ISE PROJECT NAVIGATOR GENEL GÖRÜNÜM

The screenshot displays the Xilinx ISE Project Navigator interface. The main window is titled "grafik_ical Project Status (05/19/2010 - 21:46:24)". The interface is divided into several panes:

- Design Overview:** A tree view showing the project hierarchy, including "Sources for Implementation", "Hierarchy", "Processes", "Design Summary/Reports", "User Constraints", and "Design Properties".
- Device Utilization Summary:** A table showing the utilization of logic resources on the target device.
- Console:** A text area at the bottom showing the status of the design process.

grafik_ical Project Status (05/19/2010 - 21:46:24)

Property	Value	Implementation Status	Details
Project File:	grafik_ical.as	Programming File Generated	
Module Name:	grafik_ical	No Errors	
Target Device:	xc3s500e-3fg320	398 Warnings (0 new)	View Warnings (0 new)
Product Version:	ISE 11.1	All Signals Completely Routed	All Signals Completely Routed
Design Goal:	Balanced	All Constraints Met	All Constraints Met
Design Strategy:	Xilinx Default (unlocked)	Final Timing Score: 0 (Setup: 0, Hold: 0)	Timing Report

Device Utilization Summary

Logic Utilization	Used	Available	Utilization	Note(s)
Total Number Slice Registers	1,171	9,312	12%	
Number used as Flip Flops	1,128			
Number used as Latches	43			
Number of 4 input LUTs	2,936	9,312	30%	
Number of occupied Slices	2,021	4,656	43%	
Number of Slices containing only related logic	2,021	2,021	100%	
Number of Slices containing unrelated logic	0	2,021	0%	
Total Number of 4 input LUTs	2,929	9,312	31%	
Number used as logic	2,760			
Number used as a route-thru	93			
Number used for Dual Port RAMs	36			

Console:

```
Started : *Floorplan Area/IO/Logic (PlanAhead) *.
Preparing PlanAhead launch script...
```

ÖZGEÇMİŞ

Ad-Soyad: Melike ATAY

Doğum Tarihi: 28.07.1988

Doğum Yeri: İstanbul

Orta Öğrenim: Nişantaşı Nuri Akın Yabancı Dil Ağırlıklı Lisesi

Staj Yapılan Yerler: Global-Bilgi IVR Yönetimi

Aselsan A.Ş. SST Test Mühendisliği

İletişim Bilgileri:

GSM: 0(535) 4730625

e-mail: melike.atay@gmail.com