

PİPELINE İŞLEMCİLERDE SEGMENT KONTROLU İLE PERFORMANSIN OPTİMİZE EDİLMESİ

Aşkın Demirkol

Sakarya Üniversitesi Mühendislik Fakültesi Bilgisayar Mühendisliği Bölümü

Esentepe – SAKARYA

E-Mail : askindemirkol@hotmail.com

Özet

Gelişen bilgisayar teknolojisi, donanım açısından klasik çözümleri yetersiz kılmaktadır. Basit proseslerin işlenmesi için konvansiyonel yaklaşımlar yeterli olurken, özellik gerektiren bilimsel çalışmalarda işlenecek bilginin hacmi ve karmaşıklığı göz önüne alındığında, daha özel çözümlere ihtiyaç duyulmaktadır. Yarı paralel özelliğindeki pipeline işlemciler, çok maliyetli tam paralel sistemler kadar olmasa da, söz konusu ihtiyaçları karşılamak açısından en azından PC'lere göre daha yüksek performans göstermektedir. Pipeline sistemler tek işlemcili olmasına karşın yarı paralel niteliği ile ön plana çıkarken, sabit süreli olarak dizayn edilen segment yapısıyla da, zaafiyet oluşturmaktadır. Daha kısa süreli segment işlemleri için, söz konusu durum performansı da olumsuz etkilemektedir. Çalışmamızda bu olumsuz durum geliştirilen özgün bir yöntemle optimize edilmeye çalışılmıştır. Matematiksel disiplinin içinde gerçekleştirilen hesaplamalar sonucu tasarlanan segment kontrolörünün, gecikmeleri en aza indirgeyebileceği ve sistemin performansına pozitif katkı sağlayabileceği ortaya çıkmıştır.

Anahtar Kelimeler : paralel işlemci, pipeline işlemci, segment, kütük, segment kontrolörü

1.GİRİŞ

Mikroelektronik alanındaki gelişmeler teknolojik gelişiminin yanı sıra, günlük ve bilimsel alandaki problem türlerinde yaşanan çeşitlilik ve karmaşıklık birlikte evrimini sürdürmüştür. Zamanla yaşanan sorunların mevcut makinelerle çözümündeki zorluk, bu alanda daha gelişmiş tipteki makinelerin gerekliliğini zorunlu kılmıştır. Geliştirilmiş makinelerle

bilgisayarın yeteneği, işlem kapasitesi olarak daha üst seviyelere çıkarılırken, beraberinde performansıda artırılmıştır (Kant,1992). Bilimsel çalışmalarla bazı özel uygulamalarda, klasik işlemcilere sahip makinelerin yetersizli görüldükten sonra, daha özel işlemcilere olan talep zamanla artmıştır. Bunun üzerine çok sayıda karmaşık yapıdaki verinin ve durumların incelenmesine yönelik makineler tasarlanmaya başlanmıştır (Mano,1993)

Bu amaçla yarı paralel ve tam paralel çalışan sistemlerin daha etkin oldukları ve yüksek performans sağladıkları görülmüştür. Bunların içinde yarı paralel özellikteki pipeline ve tam paralel yapıdaki çoklu işlemciler daha ön plana çıkmışlardır (Gelenbe,1989)

Güçlü donanım özelliğiyle çalışmamızın materyali olarak ele alınan pipeline işlemciler, geliştirilen özgün tasarımın katkısıyla birlikte incelenmiştir.

Pipeline işlemci sayıca tek işlemci sınıfında olmasına rağmen, yarı paralel çalışma özelliğiyle klasik işlemcilerden daha güçlü bir mimariye sahiptirler. Bu üstünlüğünün yanında işlemciyi oluşturan, segmentler arasında veri aktarımında yaşanan gecikmelerin, sistemin önemli handikaplarından biri olduğu görüldü (Stone,1987) .

Çalışmamızda daha ziyade matematik pipeline özelliğindeki işlemciler ele alınmıştır(Stallings,1990). Böyle bir mimaride

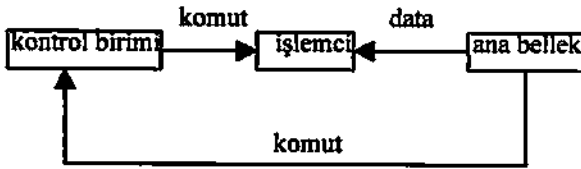
segmentler arası gecikmeler, geliştirilen özgün bir tasarımla minimuma indirgenmesiyle, performansın artırılmasını amaçlamıştır. Ayrıntıları aşağıda ele alınmıştır.

2. PIPELINE İŞLEMCİLER

Pipeline işlemciler vektör işlemcilerle beraber tek komut tek data (SISD) prensibine göre çalışan tek işlemcili sistemlerdir (Almasi, 1989). Buldukları sistem ve mimarilere düşük paralelizm özelliği kazandırmaktadırlar (Marr, 1996). Performans olarak PC olarak anılan klasik işlemcilerle göre yüksek, çoklu işlemcilerle göre ise düşük performans gösterirler.

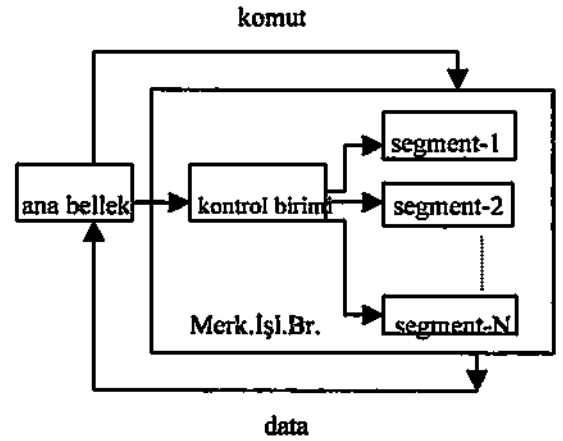
Pipeline işlemciler, daha karmaşık ve çok sayıda verinin bulunduğu bilimsel çalışmalarda matematiksel hesaplamalar için geliştirilen bir işlemci türüdür. Çalışması, bir boru hattındaki sıvının hareketiyle özdeşleştirilmiştir. Boru hattına sıvı ilk olarak verildikten sonra bu çalışma, istenilen miktardaki sıvının çıkışta elde edilmesine kadar sürer. Mantık gereği boru dolduğu zaman, ilk çıkış alınabilecektir. Boru dolu iken, yine sıvı girişinin yapılabilmesi için, çıkıştaki sıvının da sürekli olarak depo türü bir elemana pompalanması, çalışmanın gereğidir. Pipeline işlemciler, aynı prensibe göre çalıştılarından dolayı boru hattı adıyla anılmışlardır (Pollard, 1990).

Pipeline işlemciler, aşağıda verilen şekilden de görülebileceği gibi, prensip olarak tek komut tek veri tipinde çalışan klasik tipteki işlemcilerle oldukça benzerdir. Böyle bir yapı aşağıda gösterilmiştir (Tabak, 1990).



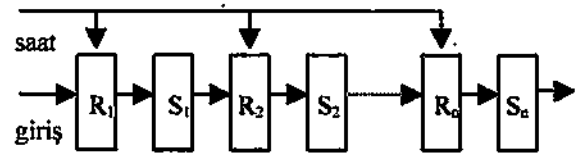
Şekil 1. Pipeline İşlemcilerin Çalışma Prensibi

Pipeline işlemciler, PC'lerde olduğu gibi : ana bellek, kontrol birimi ve klasik işlemcilerden farklı olarak bağımsız işlem yapabilme yeteneğine sahip çok sayıda fonksiyonel birimlerden oluşmuştur. Aşağıda böyle bir yapıyı görmek mümkündür (Duncan, 1990).



Şekil 2. Pipeline İşlemcinin Genel Yapısı

Yukardaki şekildedeki görülebileceği gibi pipeline işlemcilerde segment olarak yer alan elemanlar ; toplama, çıkarma, çarpma ve bölme gibi matematiksel işlem yeteneği olan, birleşik elemanlar ve kütüklerden oluşan elemanlardır. Bu açıklamayı daha somut olarak aşağıdaki şekil üzerinde görebiliriz (Dasgupta, 1989)



Şekil 3. Pipeline İşlemcilerde Segment - Kütük Yapısı

Şekildeki R, kütük(register) gruplarını, S ise pipeline işlemcinin segmentlerini göstermektedir. Kütükler, ilk veri girişleri ile ara kademelerde işlenen verilerin bir sonraki segmente başka işlemler için aktarılmasında kullanılan kayıt elemanları olarak görev yapmaktadır. İşlemcinin karakteristiğini gösteren segmentler ise, yukarıda açıklandığı gibi : yapılması gereken değişik fonksiyonları icra etmek üzere özelleşmiş matematiksel işlem birimleridir.

İdeal bir pipeline işlemcide, segment sürelerinin eşit olduğu düşünülmemektedir. Eğer sistemde s tane segment varsa ve her bir segmentin işlem süresi t_p ise, böyle bir pipeline'ın dolması için, st_p süresi gerekecektir (Mano,1988).

Söz konusu n işin yapılması için, toplam " CP " tane saat darbe sayısı gerekecektir. Bu verilere göre toplam işin (n) yapılması için gerekli süre ;

$$t_p * CP,$$

olması gerekecektir. Toplam saat darbe sayısının da ;

$$CP = s+n-1$$

olduğu bilindiğinden, pipeline sistemde toplam n işin yapılması için gerekli süre ;

$$T = t_p * CP = t_p(s+n-1)$$

olarak hesaplanmıştır (Dasgupta,1989).

Eğer bilgisayar ortamlarında performans kriterlerinden biri prosesin işleme zamanı olan Speedup ise(Quinn,1993), elde edilen pipeline işlemcinin T zamanı performans açısından önemli bir göstergedir.

3. PIPELINE İŞLEMÇİ SEGMENT KONTROLÖRÜ

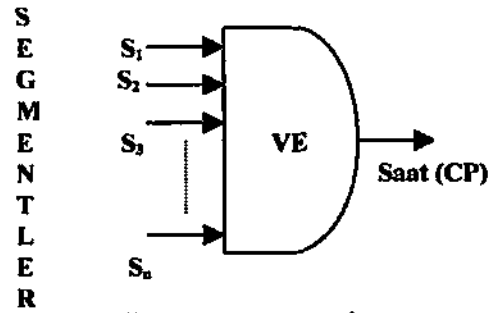
Yukarıdaki bağıntıdan $da(T)$ görülebileceği gibi performans, işlemcinin segment, iş(task) ve pipe süresine göre değişmektedir. Bizim üzerinde durmak istediğimiz pipe (t_p) süresidir.

Pipeline işlemcide pipeline'a yeni bir girişin yapılabilmesi için segmentlerde sonlanan işlemlerin ilgili kütüklere aktarılması gerekmektedir. Sonuçta segmentlerde oluşan değerler, belirli bir gecikmeyle kütüklere aktarılırlar(Stone,1987).

Pipeline işlemci mimarilerinde t_p süresi, tüm segmentler göz önüne alındığında genellikle sabit olarak düşünülmemektedir(Mano,1988). Ancak her proses için gerçekte oluşan segment süreleri, t_p süresinden daha düşük olabilmektedir. Bu durumda t_p 'den az zamanda işlemini tamamlayan segment t_p süresi kadar

beklemek zorunda kalacaktır. Özellikle işlemcideki tüm segmentlerin icra sürelerinin belirtildiği gibi az sürmesi durumunda, sistemde gereksiz bir bekleme yani gecikme olması kaçınılmaz olacaktır. Belki sonuçta saniyenin milyonda hatta milyarda bir zamanı için önemli gibi görülsede, gerçekte prosesin zaman açısından performansının olumsuz etkileneceği ortadadır.

Bu durumun önüne geçebilmek için her bir segmentteki işlemin sonuçlanmasını denetleyen özgün bir donanım düşünülmiştir.



Şekil 4. Segment Kontrolörü

Şekilden de görüldüğü gibi çok girişli bir lojik VE (AND) kapısı segment kontrolünde yeterli olmaktadır. Kapının girişi, pipeline işlemcinin segment çıkışları ile bağlantı halindedir. Hangi segmentte proses tamamlanmış ise çıkışı lojik 1, aksi takdirde 0 olarak kabul edilmiştir. Bu duruma göre VE kapısının çıkışının anlamlı(lojik 1) olabilmesi için, tüm segment çıkışlarının lojik 1 olması gerekecektir. Bunun da anlamı ; segmentlerdeki proseslerin sona ermesidir.

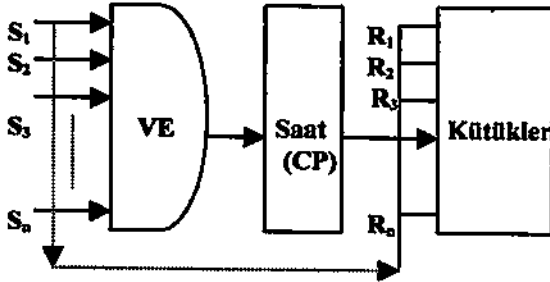
Segment kontrolörü AND kapısının çıkışının saat(CP) olduğu görülmektedir. Söz konusu saat Şekil 3 deki pipeline işlemcideki kütük(register) grubunu tetikleyecek saattir. Kontrolör(AND) çıkışının ancak lojik 1 olması durumunda, ilgili saat tetiklenecektir. Bu durumda kütük gruplarına yeni veri girişi mümkün olabilecektir.

Pipeline işlemciye yeni veri girişinin olabilmesi için segmentlerdeki proseslerin tamamlanarak, sonuçlarının ilgili kütüklere aktarılmasının gerektiğini biliyoruz. Her bir segmentin gerçek işlem süresinin farklı olduğundan, tüm segmentler adına beklenilmesi gerektiğini, yani gecikmeler olacağıda bilinmektedir. Üstelik söz

konusu gecikmenin, segmentlerin gerçek işlem sürelerinin sabit t_p süresinden küçük olması durumunda, performansı da olumsuz etkileyeceği düşünülürse, geliştirilen segment kontrolörü sistemi olumlu etkileyecektir.

Kontrolör vasıtasıyla işlerini bitiren segmentler, sabit t_p süresini beklemeden kontrolör ile lojik 1 olarak irtibat kuracaklarından, içeriklerinin ilgili kütüklere aktarılmasıyla, yeni veri girişine imkan sağlayacaktır.

Aşağıda Şekil 5 de geliştirilen segment kontrolörünün sistem kütüklerine bağlantı şeması verilmiştir.



Şekil 5. Segment Kontrolörlü Pipeline İşlemci

4.SEGMENT KONTROLÖRÜNÜN PERFORMANSA ETKİSİ

Geliştirilen segment kontrolörü eğer t_p süresine olumlu katkı yapacaksa, diğer bir deyişle düşürecekse bundan işlemcinin performansı da pozitif yönde etkilenecektir. Eğer pipeline işlemcide toplam işin yapılma süresi ;

$$T = t_p(s+n-1) \text{ ise,}$$

Tasarım gereği segment gerçek işlem zamanının t_p den düşük olması durumunda tüm segmentler göz önüne alındığında toplamda t_d kadar bir gecikmeden kazanç sağlanması söz konusu olacaktır. Buna göre ;

$$t_p > t_d \text{ olmak üzere, yeni pipe süresi :}$$

$$\text{pipe süresi} = t_p - t_d$$

kadar olacaktır. Sistemin oluşan yeni işlem süresi ise,

$$T = (t_p - t_d)(s+n-1)$$

şeklinde gerçekleşecektir.

Geliştirilen tasarımla elde edilecek $(t_p - t_d)$ zaman kazancının bağıntıdan da görüleceği gibi, işlemcinin prosesi işleme süresini düşürmesine olumlu katkısı olacaktır.

Eğer pipeline işlemcide zaman yani Speedup kriteri göz önüne alınacaksa, sonuçta uygulanacak özgün tasarımla, performansın da artması söz konusudur.

5.SONUÇ

Düşük paralelizm özelliği bulunan pipeline işlemciler tek işlemci sınıfında olmalarına rağmen, klasik PC'lere göre yüksek performansta çalışmaktadır. Ancak segmentli yapıda olmaları ve segmentler içi sabit zamanlı tasarımlarından kaynaklanan handikapları mevcuttur. Özellikle matematik pipeline işlemcilerin olduğu sistemlerde proses işlenirken oluşan segmentler arası gecikmeler, sistem performansını daha olumsuz etkilemektedir. Söz konusu olumsuz gecikmeyi matematiksel pipeline'lar için ortadan kaldırmak veya en azından düşürmek için geliştirilen segment kontrolörü, pipeline işlemcinin matematiksel prensipleri doğrultusunda düşünülmüş ve etkileri araştırılmıştır. Yöntemin, belirtilen çerçevede başarılı olduğu görülmüştür. Neticede, geliştirilen tasarım, işlemcideki segmentler arası gecikmeleri azaltabildiği gibi, performansa da olumlu katkı sağlayabilmektedir.

KAYNAKLAR

- Almasi, G.S, 1989, Highly Parallel Computing, s.311-319
- Dasgupta, S, 1989, Computer Architecture A Modern Synthesis, s.199, 203
- Duncan, R, 1990, " A Survey of Parallel Computer Architectures ", IEEE Computer, Vol :23, No :2, October, s.8-9
- Gelenbe, E, 1989, Multiprocessor Performance, s.7-9, 15, 21-24
- Kant, K, 1992, Introduction to Computer System Performance Evaluation, s.3-15
- Mano, M, M, 1988, Computer Engineering Hardware Design, s.412-414
- Mano, M, M, 1993, Computer System Architecture, s.300-315, 491
- Marr, D, T, Zucker, R, 1996, " Multiprocessor Validation of the pentium Pro ", IEEE Computer, Vol : 29, No : 11,

November, s.47-49

Pollard, L,H, 1990, Computer Design and Architecture, s.402-403, 406

Quinn, M,J, 1993, Designing Efficient Algorithms for Parallel Computers, s.13, 35

Stallings, W, 1990, Computer Organization and Architecture Principle of Structure and Function, s.480-486

Stone, H,S, 1987, High Performance Computer Architecture, s.102-104, 109, 117-118

Tabak, D. 1990, Multiprocessors, s.4-6, 61-62