

R-L YÜKLÜ TEK FAZLI MATRİS ÇEVİRİCİNİN PSPICE BENZETİMİ VE TASARIMI

Yetkin TATAR¹

Sedat SÜNTER²

Elektrik-Elektronik Mühendisliği Bölümü

Mühendislik Fakültesi, Fırat Üniversitesi, 23279, Elazığ

¹e-posta:ytatar@firat.edu.tr

²e-posta:ssunter@firat.edu.tr

Anahtar Sözcükler: Matris Çevirici, Çift Yönlü Anahtar, PSPICE Model

ABSTRACT

In this paper a model of three phase input - single phase output matrix converter feeding an R-L load has been presented using PSPICE package program. Each switching element and their snubber circuits have been also modelled to determine the switching behaviour of the devices in the converter. PSPICE model of the semiconductor devices has been provided from their manufacturer company in order to get more realistic results. As a result, there will be closer similarity between the simulation and experimental results. The simulation results obtained from the model at various operating conditions have been compared to their experimental corresponding to confirm the model.

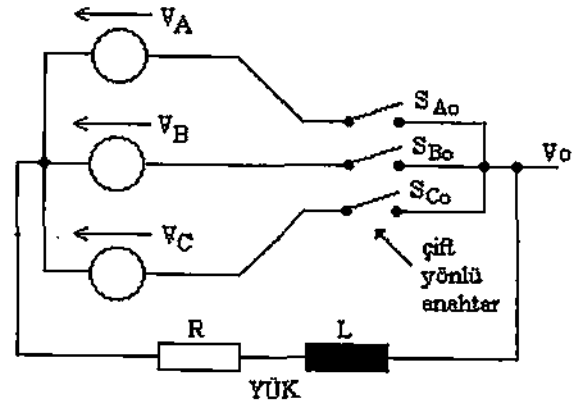
1. GİRİŞ

Matris çeviriciler direkt ac-ac çeviricilerdir ve daha yaygın olan gerilim kaynaklı eviriciler tarafından ihtiyaç duyulan dc link filtrelerine gereksinim duymaksızın frekans ve gerilim dönüşümünü yapabilirler. İlave olarak, çevirici yaklaşık olarak sinüzoidal giriş ve çıkış akımlarıyla çalışabilir. Çevirici, kontrol edilebilir güç faktörü, minimum pasif eleman bulundurma ve dört bölge çalışabilme avantajlarına sahiptir [1-3]. 3-faz giriş tek faz çıkış matris çevirici Şekil-1'de gösterildiği gibi 3 adet çift yönlü anahtara sahiptir. Çift yönlü akım akışını sağlayacak yarı iletken eleman olmadığından dolayı her bir çift yönlü anahtar tek yönlü anahtarların uygun kombinasyonlarından oluşturulmuştur. Çift yönlü akışı sağlayan üç tane konfigürasyon mevcuttur. Bu çalışmada Şekil-2'de gösterildiği gibi ters seri bağlı 2 IGBT ve her IGBT'ye paralel diyod bağlı konfigürasyon çift yönlü akım akışını sağlamak için kullanılmıştır.

Matris çeviricinin indüktif yük durumunda çalışması, giriş fazlarının kısa devre ve çıkış fazının açık devre olmalarına izin vermez. Bununla birlikte aynı anda çift yönlü anahtarların iletiminden sakınmak için yine de komütasyona giren elemanlar arasına bir gecikme koymak gerekir. İndüktif yük akımı boşluk diyodu tarafından kolayca alındığından dolayı anahtarlar arasındaki komütasyon eviricilerde kolayca sağlanabilir.

Eviricilerdeki gibi bir serbest dolaşım yolu olmadığından dolayı matris çeviricide komütasyon daima bir kontrollü elemandan diğer bir kontrollü elemana doğru oluşur. İlave olarak matris çeviricideki güç elemanlarının sayısı eviriciler ile kıyaslandığında yüksektir. Dolayısıyla matris çeviricilerinin güç devresinde kullanılacak elemanlarının seçimi çok kritiktir [4]. Bu sebepten dolayı güç devresinin tasarlanmadan önce modellenip benzetimi istenir.

Bu çalışmada kullanılan devrede 6 IGBT ve 6 diyod kullanılmıştır. Çeviricide kullanılan yarı iletkenlerin PSPICE modeli üretici firmalarından elde edilmiştir [5]. Bunun sonucu olarak kesim ve iletim esnasındaki güç elemanlarının anahtarlama davranışları da benzetimin gerçeğe daha yakın olmasını sağlamaktadır.



Şekil-1. Tek Fazlı Matris Çeviricinin Şematik Diyagramı

2. KONTROL ALGORİTMASI

Tek fazlı matris çevirici, Şekil-1'de gösterildiği gibi matris formunda yapılandırılan 3 adet çift yönlü anahtar vasıtasıyla herhangi bir giriş fazını çıkışa bağlar. Bu yüzden çıkış geriliminin dalga şekli giriş geriliminin yüksek frekansta kıyılmasıyla yeniden oluşturulur. Giriş gerilimlerinin seti;

$$\begin{bmatrix} V_A(t) \\ V_B(t) \\ V_C(t) \end{bmatrix} = V_{im} \begin{bmatrix} \cos(\omega_1 t) \\ \cos(\omega_1 t + 2\pi/3) \\ \cos(\omega_1 t + 4\pi/3) \end{bmatrix} \quad (1)$$

Venturini algoritması [1], S_{A0} , S_{B0} , S_{C0} anahtarlarının kontrolüyle sentezlenmiş çıkış gerilimi V_o ve giriş akımları I_A , I_B , I_C 'nin düşük frekans bileşenlerinin istenen çıkış ve giriş frekansında, genliğinde ve yer değiştirme faktöründe saf sinüzoidal olmasını sağlar. Çıkış fazındaki anahtarlar sırayla kapatılır. t_{A0} , t_{B0} , t_{C0} zamanları, S_{A0} , S_{B0} , S_{C0} anahtarlarının iletim zamanları ve T_s anahtarlama periyodu ise;

$$T_s = t_{A0} + t_{B0} + t_{C0} = 1/f_s$$

f_s anahtarlama frekansdır ve sabittir.

Herhangi bir belirli zamanda Şekil-1'deki $V_o(t)$ çıkış geriliminin değeri;

$$V_o(t) = V_{im} \cos(\omega_1 t) \frac{t_{A0}}{T_s} + V_{im} \cos(\omega_1 t + \frac{2\pi}{3}) \frac{t_{B0}}{T_s} + V_{im} \cos(\omega_1 t + \frac{4\pi}{3}) \frac{t_{C0}}{T_s} \quad (2)$$

Burada ω_1 giriş geriliminin frekansı (rad/s)'dir.

Sonuç çıkış gerilim dalga şekli 3-fazlı giriş geriliminin kıyılmış hali olan sürekli bir fonksiyondur. Genelde, çıkış geriliminin frekans spektrumu giriş gerilimine, frekansa ve anahtarlama stratejisine bağlıdır. Bununla birlikte, çıkış spektrumunun düşük frekans parçası, $2\pi f_s \gg \omega_1$, ω_o olmak kaydıyla her bir anahtarlama periyodunda ortalama çıkış gerilimine bağlıdır. Burada ω_o çıkış geriliminin frekansı (rad/s)'dir.

Eğer anahtar zamanları, sabit anahtarlama periyodunu koruyarak, ω_m frekansında sinüzoidal olarak sürekli modüle edilirse, $\omega_o = \omega_1 + \omega_m$ çıkış frekansında dönen değişken çıkış fazı elde edilebilir. Çıkış fazı için anahtarlama zamanları aşağıdaki şekilde hesaplanır [1];

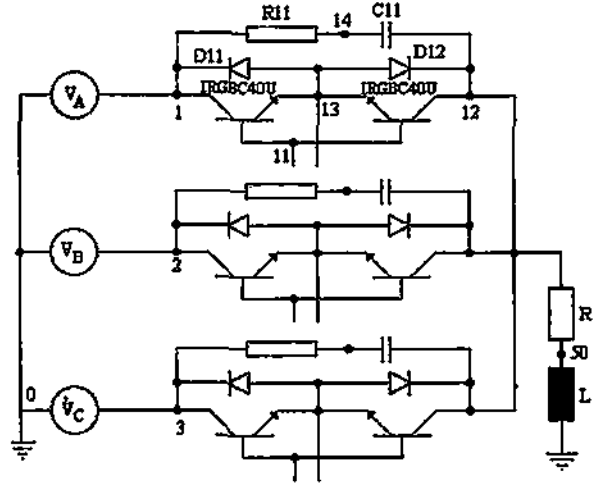
$$\begin{aligned} t_{A0} &= \frac{T_s}{3} (1 + 2q \cos(\omega_m t)) \\ t_{B0} &= \frac{T_s}{3} \left(1 + 2q \cos(\omega_m t - \frac{2\pi}{3}) \right) \\ t_{C0} &= \frac{T_s}{3} \left(1 + 2q \cos(\omega_m t - \frac{4\pi}{3}) \right) \end{aligned} \quad (3)$$

A, B, C indisleri (büyük karakter) giriş kısmını temsil ederken "o" indisi ise çıkış kısmını temsil etmektedir. Burada q giriş ile çıkış arasındaki gerilim oranıdır ve maksimum 0.5 olabilmektedir.

3. R-L YÜKLÜ MATRİS ÇEVİRİCİNİN PSPICE MODELİ

Tek fazlı matris çeviricinin pspice modeli, güç devresi ve anahtarları kontrol eden işaret üretim devresinden oluşmaktadır. Matris çeviricide kullanılan güç elemanlarının pspice modelleri üretici firmalarından

sağlanan modellerdir [5]. Pspice modelinde elemanların gerçeğe yakın modellerinin kullanılması ile matris çevirici modelinin gerçeğe yakın bir şekilde kurulması hedeflenmiştir.



Şekil-2. Çift Yönlü Anahtarlı Tek Fazlı Matris Çeviricinin Devre Yapısı

3.1. GÜÇ DEVRESİNİN PSPICE MODELİ

Şekil-2'de görülen tek fazlı matris çeviricinin her bir kolundaki çift yönlü anahtarlar 2 adet IGBT (IRGBC40U) iki adet diyod (BYT12-800), kondansatör ve dirençlerden oluşmaktadır. Matris çeviricilerde, eviricilerdeki gibi serbest dolaşım yolu yoktur. Anahtarlar arasında güvenli bir komütasyon sağlamak ve anahtarların aynı anda iletimde kalmaması için bir ölü zaman gerekmektedir. Bu ölü zaman boyunca yük akımının sürekliliğini sürdürmesi için bir snubber devresine ihtiyaç vardır. Bu devrede $R = 21 \Omega$, $C = 0.022 \mu F$ 'lık snubber değerleri kullanılmıştır [6]. Snubber devresini de kapsayan her bir çift yönlü anahtarı modelleyen pspice program parçası, Şekil-2'deki düğüm numaralamasına göre aşağıdaki gibidir.

```
X1G1 1 11 12 13 CIGBT
R11 1 14 21
C11 14 12 0.022UF
D11 13 1 DMOD11
D12 13 12 DMO11
```

```
.MODEL DMOD11 D (IS=2.2E-15 BV=1200V
+RS=0.01 TT=20N CJO=200PF)
```

Burada CIGBT ile ifade edilen alt devre ise aşağıdaki şekilde ifade edilmiştir.

```
.SUBCKT CIGBT 201 200 202 205
* TERMINAL C G E
X1GBT1 201 200 205 IRGBC40U
X1GBT2 202 200 205 IRGBC40U
.ENDS
```

IRGBC40U ile ifade edilen alt devre şeklindeki model, IGBT üreticisinden elde edilen modeldir. CIGBT ismi verilen bir çift yönlü anahtar modelinden 3 tanesi Şekil-2'deki gibi bağlanarak tek fazlı bir matris çeviricinin güç devresi pspice modeli oluşturulmuştur. Şekil-2'deki matris çeviriciyi besleyen üç fazlı kaynak gerilimi ise modelde;

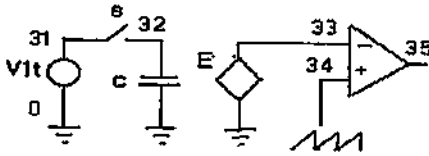
```
Van 1 0 sin(0 180 50hz 0 0 0 DEG)
Vbn 2 0 sin(0 180 50hz 0 0 -120 DEG)
Vcn 3 0 sin(0 180 50hz 0 0 -240 DEG)
```

olarak kodlanmıştır. R-L yükü ise çift yönlü anahtarların birleşme noktası ile (12 nolu düğüm) kaynağın orta noktası (0 nolu düğüm) arasına bağlanmış olup Pspice kodu ;

```
RY 12 50 2.5
LY 50 0 0.02h
```

3.2. KONTROL İŞARETLERİNİ ÜRETEEN DEVRENİN PSPICE MODELİ

Tek fazlı çevirici devresinin güç anahtarlarını kontrol eden işaretlerin darbe genişliklerinin hesabı Denklem-3 ile verilmiştir. Bu süreler göre, yariletken çift yönlü anahtarları kontrol etmek için işaret üreten devrenin pspice benzetim mantığı; Darbe süreleri ile orantılı gerilim üreten bir devre çıkışının, örnekleme işaretinin frekansıyla aynı frekanslı bir testere dişi gerilimin karşılaştırılmasından elde edilen darbe genişlik modülasyonlu işaret üreten bir devre şeklindedir. Bu devre Şekil-3'de verilmiştir.



Şekil-3. Kontrol İşareti Üreten Devre

V1t gerilimi, frekansı ω_m , tepe değeri 1 volt olan bir sinüzoidal referans gerilimidir. Buradaki s anahtarı gerilim kontrollü bir anahtar olup örnekleme periyotlu ve darbe genişliği 1µs olan bir kare dalga ile kontrol edilerek V1t referans işaretinden her örnekleme periyodunun başlangıcında bir örnek alıp tutma devresinde saklamaktadır. 32 noktasının gerilimi ile kontrol edilen bir gerilim kontrollü gerilim kaynağı devresinin çıkışı, Denklem 3.'deki t_{A0} süresi ile ilgili bir çıkış gerilimi üretmektedir. Bu işaret, örnekleme periyotlu ($T_s = 1/600$ s) bir testere dişi gerilimle karşılaştırılıp 35 nolu düğümden A fazı anahtarının kontrol girişine uygulanmaktadır. Yukarıda tarif edilen devrenin 25 Hz'lik çıkış frekansı ve $q = 0.45$ için pspice kodlaması aşağıdaki gibidir.

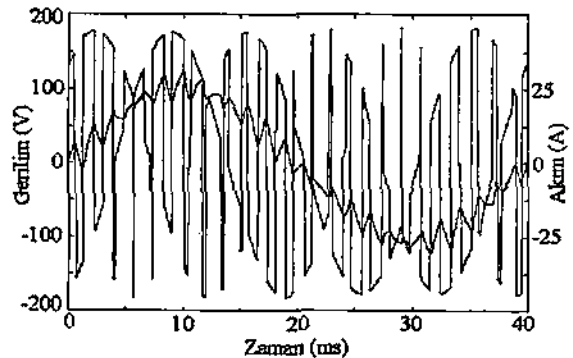
Matris çeviricinin diğer anahtarlarını kontrol eden devreler ise Şekil-3'deki devrenin benzeri olup referans gerilimleri olarak 120° şer derece faz farklı gerilimler ile beslenir.

```
V1t 31 0 Sin(0 1v 25hz 0 0 90)
Vr 15 0 PULSE(0 10 0 0 0 .1US 1.667MS)
V3 34 0 PULSE(0 5 0 1.666MS 0 .1US 1.667MS)
S 31 32 15 0 SMOD1
.MODEL SMOD1 VSWITCH ( ron=.3m Roff= + 10e+9
+ Von=1.9 Voff= 0.02 )
C1t 32 0 12 uf
E1t 33 0 Value = { 5.5*( 1+.9*V(32) ) }; Denklem 3.a
XA1t 33 34 500 600 35 UA741
*term -vi +vi +vcc -vcc vout
.SUBCKT UA741 3 2 4 5 6
```

Anahtarların kontrol girişlerine (Şekil 2'de A fazı için 11 nolu düğüm) uygulanan işaretler ilgili opampların çıkışlarıdır (Burada sadece A fazı için V(35) gerilimi). Ayrıca anahtarların komütasyonunda 500 ns'lik bir ölü zamanında göz önüne alınması gerekmektedir. Bunun için testere dişi gerilimin 500 ns'lik bir gecikmesi olmalıdır. ua741 alt devresi OPAMP üretici firmasından sağlanan alt devre modelidir.

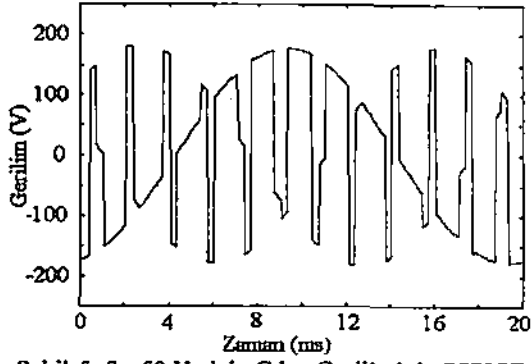
4. DENEYSEL VE BENZETİM SONUÇLARI

Şekil-2'de güç devresi verilen matris çeviricinin kontrol işaretleri Z80-186 mikroişlemcili bir deney seti ile gerçekleştirilmiş olup güç devresinde ise yukarıda bahsedilen IGBT ve güç diyodları ile birlikte her bir çift yönlü anahtar uçlarına bağlı snubber devresi kullanılmıştır. Matris çevirici, tepe değeri 180 V, 50 Hz'lik 3-fazlı bir şebekeden beslenmekte olup $R=2.5 \Omega$ ve $L=0.01$ H'lik bir yükü beslemektedir. Matris çeviricinin $q=0.45$, $f_s=600$ Hz'lik bir anahtarlama frekansı ve $f_o=25$ Hz'lik bir çıkış frekansında R-L yükünü beslemesi durumu için çıkış gerilimi ve yük akımının pspice benzetim sonuçları Şekil-4'de gösterilmiştir.

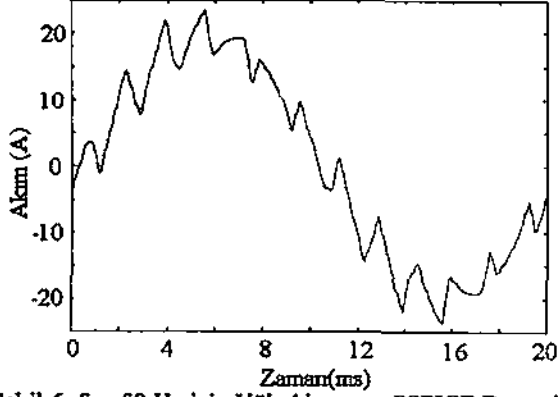


Şekil-4. $f_o= 25$ Hz için Çıkış Akım-Geriliminin PSPICE Benzetim Dalga Şekilleri

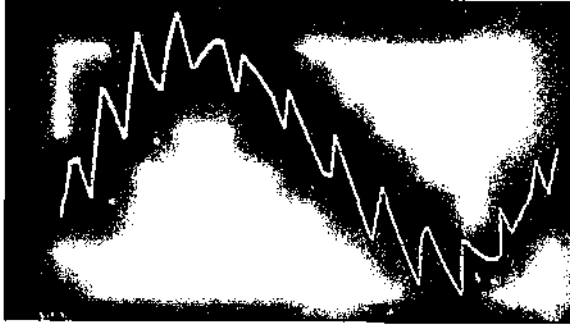
Şekil-5 ve 6 aynı çalışma şartlarında $f_o=50$ Hz için çıkış gerilimi ve yük akımının benzetim sonuçlarını göstermektedir. Şekil-7 ise aynı şartlarda $f_o=50$ Hz için yük akımının deneysel sonucunu göstermektedir. $f_o=100$ Hz için çıkış gerilimi ve yük akımının benzetim ve deneysel sonuçları Şekil-8-11 'de verilmiştir. Şekil-12'de ise $f_o= 100$ Hz ve $f_s = 6$ kHz anahtarlama frekansı için çıkış gerilimi ve yük akımının dalga şekillerinin pspice benzetimi verilmiştir. Buradaki çalışma şartları anahtarlama frekansı dışında, Şekil-8 ve 10'daki



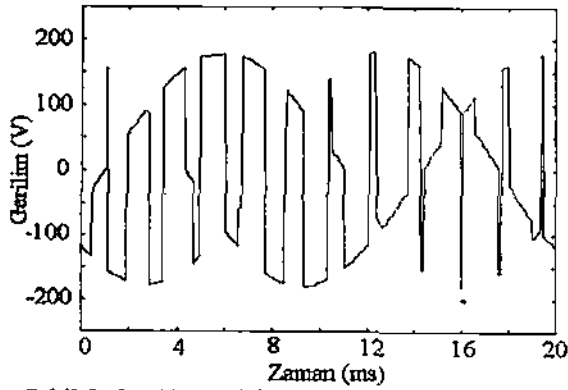
Şekil-5. $f_o=50$ Hz için Çıkış Geriliminin PSPICE Benzetim Dalga Şekli



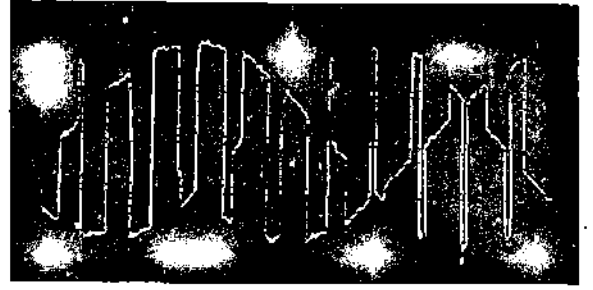
Şekil-6. $f_o=50$ Hz için Yük Akımının PSPICE Benzetim Dalga Şekli



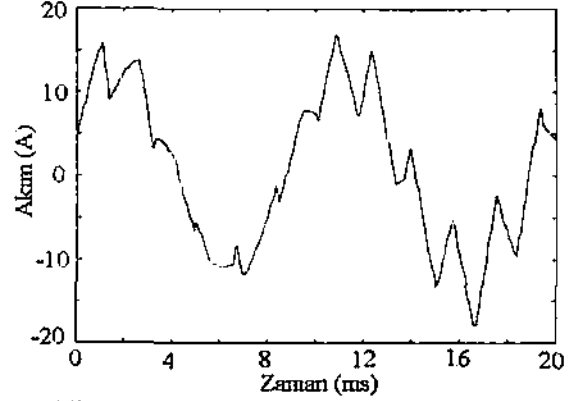
Şekil-7. $f_o=50$ Hz için Yük Akımının Deneysel Sonucu (5 A/div, 2ms/div)



Şekil-8. $f_o=100$ Hz için Çıkış Geriliminin PSPICE Benzetim Dalga Şekli



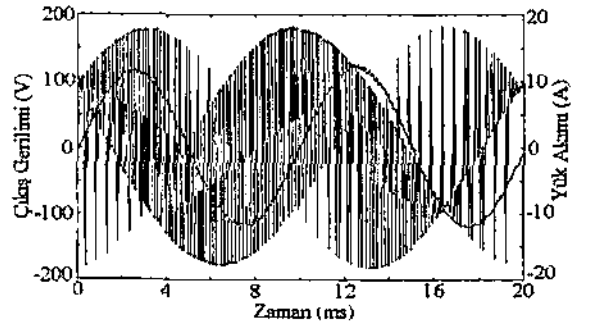
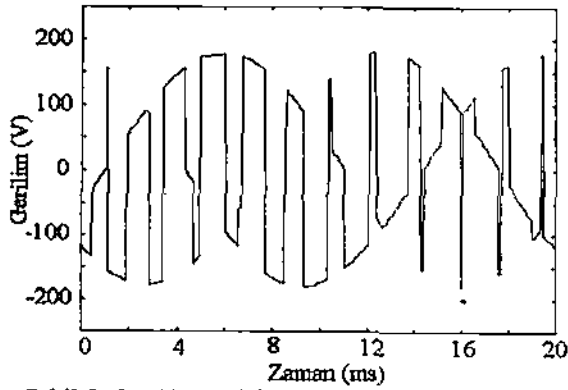
Şekil-9. $f_o=100$ Hz için Çıkış Geriliminin Deneysel Sonucu (50 V/div, 2 ms/div)



Şekil-10. $f_o=100$ Hz için Yük Akımının PSPICE Benzetim Dalga Şekli



Şekil-11. $f_o=100$ Hz için Yük Akımının Deneysel Sonucu (5 A/div, 2 ms/div)



Şekil-12. $f_o=100$ Hz ve $f_s=6$ kHz için Çıkış Gerilimi ve Yük Akımının PSPICE Benzetim Dalga Şekli

benzetim şartları ile aynıdır. Şekil 12'de , $2\pi f_s \gg \omega_b, \omega_c$ şartı sağlandığı için ($f_s = 60 f_0$) çıkış işaretleri sinüzoidal forma oldukça yaklaşmıştır. Halbuki Şekil- 8 ve 10'da bu şart sağlanmadığından ($f_s = 6 f_0$) çıkış işaretlerinde olmaması gereken harmonikler de görülmektedir.

5. SONUÇLAR

Bu çalışmada R – L yükünü besleyen tek fazlı bir matris çeviricinin pspice benzetimi ve buna dayanılarak tasarımı yapılmıştır ve değişik çalışma şartlarında denenmiştir. Matris çeviricilerin karmaşık yapılarından dolayı tasarımı güçtür ve ilk kuruluş maliyeti oldukça fazladır. Bu yüzden gerçekleştirim aşamasından önce matris çeviriciler çok iyi bir benzetime ihtiyaç duyarlar. Pspice ile yapılan benzetimde ve modelin davranışında önemli etkenlerden biri anahtarlama elemanlarının modellenmesidir. Çeviricide kullanılan anahtarlama elemanlarının üreticileri tarafından sağlanan pspice modelleri kullanılarak benzetim sonuçlarının gerçeğe yakın bir şekilde elde edilmesi sağlanmıştır.

Benzetim ve deneysel sonuçlardan da görüleceği gibi anahtarlama frekansının yüksek seçilmesi durumunda çıkış akımının dalga şekli sinüzoidal forma çok yaklaşacaktır. Denklem 2 ve 3'ten görüleceği gibi anahtarlama frekansının çok yüksek olması durumunda çıkış geriliminin sentezi tamamen sinüzoidal bir forma sahip olacaktır. Ancak anahtarlama frekansının artmasıyla zaten yapısı gereği güç devresinde fazla sayıda anahtar olan matris çeviricinin anahtarlama kayıpları artacaktır. Bu yüzden anahtarlama frekansını seçerken anahtarlama kayıplarını göz önüne alarak optimum bir seçim yapılmalıdır.

5. KAYNAKLAR

- 1- Venturini, M., A New Sine Wave in Sine Wave Out Conversion Technique Which Eliminates Reactive Elements, Proc. Powercon 7, San Diego, pp. E3-1- E3-15, 1980.
- 2- Alesina, A., Venturini, M., Solid-State Power conversion: A Fourier Analysis Approach to Generalised Transformer Synthesis, Trans. On Circuit and Systems, Vol. CAS-28, No.4, Apr , pp. 319-330. 1981.
- 3- Maytum, M.J. and Colman, D., The Implementation and Future Potential of The Venturini Converter, Proc. of Drives, Motors and Controls, pp. 108-117, 1983.
- 4- Sünter, S. and Clare, J.C., Development of A Matrix Converter Induction Motor Drive, MELECON'94, Antalya, April 12-14, pp. 833-836, 1994.
- 5- IGBT SpiceMod Library, International Rectifier, 1999.
- 6- Sünter, S., Altun, H., A Method for Calculating Semiconductor Losses in The Matrix Converter, MELECON'98, Tel-Aviv, May 18-20, pp.1260-1264,1998.