

# YÜZEN GEÇİT MOS TRANSİSTORLARDA PARAMETRİK SAÇILMA ANALİZİ

Zehan KESİLMİŞ<sup>1</sup> Mutlu AVCI<sup>2</sup> Murat AKSOY<sup>3</sup>

Elektrik-Elektronik Mühendisliği Bölümü<sup>1,3</sup>

Bilgisayar Mühendisliği Bölümü<sup>2</sup>

Mühendislik Mimarlık Fakültesi

Çukurova Üniversitesi, Balcalı, Adana

<sup>1</sup>e-posta: zkesilmis@cu.edu.tr <sup>2</sup>e-posta: mavci@cu.edu.tr <sup>3</sup>e-posta: aksoy@cu.edu.tr

*Anahtar sözcükler: Yüzen geçit MOS, kanal uzunluğu, kanal genişliği, FGMOS, parametrik saçılma*

## ABSTRACT

*In this work, parametric deviation of a process with double poly is investigated. A single Floating Gate MOS (FGMOS) transistor is taken into consideration for simulating the process error. The parametric deviation effects on the n-channel FGMOS drain current are visualized with the SPICE simulations for AMIS 0.5μ process technology.*

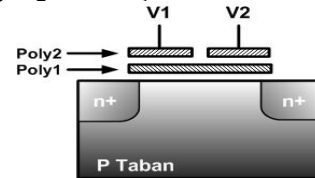
## 1.GİRİŞ

Düşük güç tüketimleri, küçük alanda gerçekleştirilebilmeleri, geçit ucundan akım çekmemeleri ve böylece entegrasyona çok uygun olmaları MOS transistörleri teknoloji standardı haline getirmiştir. Hafıza tasarımının temel elemanı olan yüzen geçit MOS (FGMOS) transistörler, analog, sayısal ve karma tüm devrelerde çift poly serimine izin veren tüm proseslerde sıklıkla kullanılmaktadır [1-7]. Birden fazla geçite sahip olmaları ve geçitlere uygulanan sinyallerin ayrı ayrı iletkenlik katsayıları ile çarpılıyor olması FGMOS'ların başlıca avantajlarıdır. Bu katsayılar Yapay Sinir Ağlarının temel elemanı olan nöronun McCulloch-Pitts modeline benzetilmiştir, bu benzetimden dolayı FGMOS transistörler nöron-MOS olarak da anılmaktadır. FGMOS transistörün yüzen geçitlerinden birisi kutuplama için kullanılırken diğerleri sinyal girişi için kullanılabilir. Bu özellik FGMOS'lara geniş kullanım alanları sağlamaktadır. Tüm devre teknolojisinde tasarlanan devre, yarıiletken üzerinde gerçekleştirirken, her pul alanı için belli sapmalar olmaktadır. Bunlardan en önemlileri transistörün; eşik gerilimi ( $V_{THN}$ ), oksit kalınlığı ( $T_{ox}$ ), aktif bölge, poly ve katkılanan alan boyutunda meydana gelen sapmalardır (saçılımlardır). Bu saçılımlar MOS transistörün akım-gerilim karakteristiğine, çalışma hızına ve bant genişliğine etki etmektedir. Bu saçılımların temel nedeni prosesin difüzyon, litografi, katkılama, aşındırma, metal serme, poly serme ve oksit serme gibi aşamalarında meydana gelen hatalardır. FGMOS transistörler çift poly içeren yapılar olduklarından poly1-poly2 arasındaki kapasitede oluşan değişim hem (standart MOS gibi) hızı etkilemekte hem de o uca uygulanan giriş işaretinin

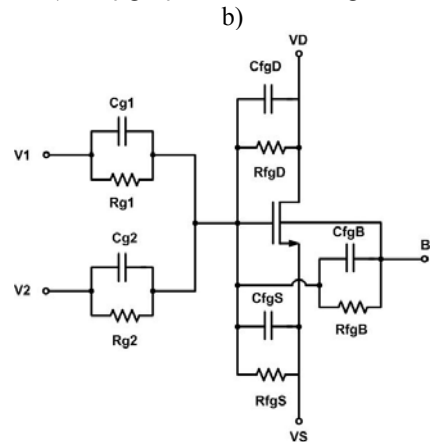
iletimini belirlemektedir. Bu çalışmada, MOSIS AMIS 0.5μ prosesi için FGMOS transistörün, eşik gerilimindeki, oksit kalınlığındaki değişimlerin, poly-1, poly-2, N- ve P-aktif ile metal genişliğindeki değerlerin ve hataların en düşük ve en yüksek değerleri verilmiş, serim parametrelerindeki saçılımların akım karakteristiğine etkileri incelenmiştir.

## 2. FLOATING GATE MOS (FGMOS)

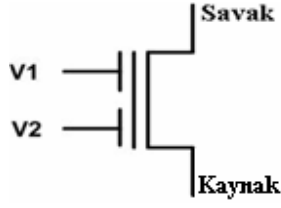
FGMOS transistörler günümüzde sayısal ve analog uygulamalarda kullanılmakta ve çift poly serimine izin veren tüm proseslerde kolaylıkla üretilmektedir. FGMOS transistörler diğer MOS transistörlerle aynı temel özelliklere sahiptirler, bunlara ek olarak da yüzen bir geçite sahiptirler. İki girişli FGMOS için kesit görünümü, yüzen geçit için kapasitif devre modeli ve sembol gösterimi verilmiş, iki girişli bir FGMOS transistörün serimi de yine Şekil- 1 de sırasıyla a, b,c ve d maddeleriyle gösterilmiştir.



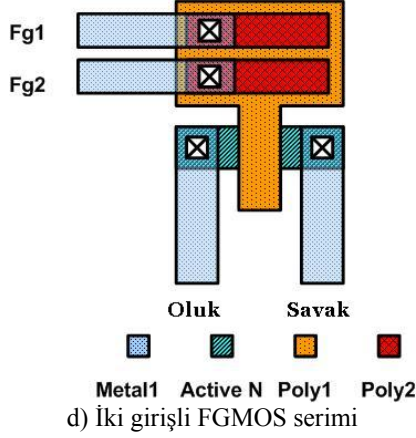
a) Üç girişli FGMOS kesit gösterimi



b) Yüzen geçit MOS benzetim modeli



c) İki girişli FGMOS devre sembolü



d) İki girişli FGMOS serimi

Şekil-1 FGMOS a) kesit gösterimi b) benzetim modeli c) devre sembolü d) katman serimi

Şekil-1a 'dan da görüldüğü gibi geçit bölgesi üzerine serilen ikinci poly tabaka geçite doğru bir kapasite oluşturmaktadır. Bu kapasitelerin toplam kapasiteye oranı (5) söz konusu girişe uygulanacak sinyalin geçite aktarılma oranını vermektedir.

$Q_{FG}$  : Yüzen geçit toplam yükü

$V_{FG}$  : Yüzen geçit gerilimi

$k_1, k_2$  : kapasitif aktarım oranları

$$V_{FG} = \frac{(Q_{FG} + C_{FGD}V_D + C_{FGS}V_S + C_{FGB}V_B + \sum_{i=1}^n C_{Gi})}{C_{Total}} \quad (1)$$

$$C_{Total} = C_{FGD} + C_{FGS} + C_{FGB} + \sum_{i=1}^n C_{Gi} \quad (2)$$

$$V_{FGS} = \frac{C_{G1}V_a + C_{G2}V_b}{C_{Total}} \quad (3)$$

$$V_{FGS} = k_1V_a + k_2V_b \quad (4)$$

$$k_1 = \frac{C_{G1}}{C_{Total}} \quad k_2 = \frac{C_{G2}}{C_{Total}} \quad (5)$$

$$I_{DS} = K_P \frac{W}{L} (V_{FGS} - V_T - \frac{V_{DS}}{2}) V_{DS} \quad (6)$$

$$I_{DS} = K_P \frac{W}{L} (V_{FGS} - V_T)^2 \quad (7)$$

FGMOS transistörlerde girişlere uygulanan tüm sinyaller ilgili kapasitif aktarım oranıyla (5) çarpılma özelliği sayısal-analog, analog-sayısal dönüştürücülerde ve çok girişli yükselteçlerde de kullanılmaktadır [3-4]. Bu özellik yapay sinir ağı uygulamalarında, nörona uygulanan sinyallerin ağırlıklarla çarpılıp toplanmasına benzetildiğinden FGMOS, nöron MOS olarak da bilinir [8].

FGMOS transistörün girişlerinden birisi kutuplama için diğerleri ise giriş için kullanılabilir. Denklem (3) deki yüzen geçit gerilimi genelde eşik gerilimini denklem (6) ve (7)'deki yok edecek şekilde seçilmektedir. Bu uygulamaya düşük voltaj tasarımlarda sıklıkla karşılaşılmaktadır. [7]

FGMOS transistörler çift poly kullanmaya izin veren tüm proseslerle imal edilebilmektedirler. Bu sayede diğer transistörlerle ve prosesin izin verdiği diğer elemanlarla (MEMS yapılar gibi) aynı yonga üzerinde imal edilebilmektedirler.

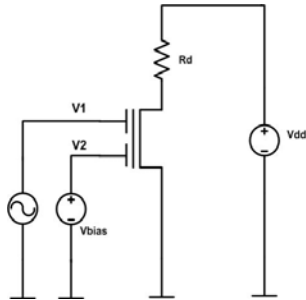
FGMOS'lar EEPROM ve Flash bellek gibi depolama elemanı olarak da kullanılmaktadırlar. Yüzen geçit bölgesinin SiO<sub>2</sub> katmanı ile çok iyi yalıtılmasından olmasından dolayı uzun süreyle yüklerin kalıcı olarak saklanmasına izin vermektedir.

FGMOS da yük saklanması genellikle sıcak taşıyıcı enjeksiyonu, boşaltılması ise Fowler-Nordheim tünellemesi ile yapılmaktadır. Sıcak taşıyıcı enjeksiyonu temel olarak iletimdeki bir FGMOS transistörün kaynak-savak arasında yer alan hareketli yüklerin geçite uygulanan yeterli bir gerilim ile SiO<sub>2</sub> içerisinden yüzen geçite ulaşması ve burada depolanması işlemidir. Uygulanacak programlama geçit gerilimi prosese bağlıdır. Birçok proses ince ve kalın SiO<sub>2</sub> olmak üzere farklı kalınlıklarda yalıtıcı tabaka sermektedir. Böylece programlama gerilimi düşürebilmektedir. Tutulan yük ise eşik gerilimini değiştirir. Bu prensibe göre analog ve sayısal bellek hücreleri geliştirilmiştir. Fakat bu yöntem eşik kesin geriliminin değerlere ayarlanması için sıklıkla tercih edilen bir yöntem değildir. Transistör, üzerinde imalattan gelen birçok etki iki FGMOS arasındaki yük farkına bağlı gerilim değişimlerinin algılanmasını baz alan analog belleklerin yerine gürültü marj avantajı sayesinde sayısal bellekleri etkin ve popüler kılmıştır. [10]

### 3. AMIS 0.5 $\mu$ PROSESİ VE PARAMETRE SAÇILIMLARI

Tümdevre üretim prosesleri, tasarlanan tümdevre seriminin sınırlı ve rasgele bir hata miktarı ile gerçekleşmesini mümkün kılmaktadır. Özellikle analog tümdevrelerde kırmık üzerinde gerçekleşen pek çok yapının tasarlanandan epeyce saptığı ve üretim sonrası testlerden geçemediği görülmektedir. Bunun temel nedenleri difüzyon, katkılama, litografi, serim ve aşındırma işlemlerinde oluşan sapmalardır. Genellikle, eşik gerilimi kaymaları, kanal uzunluğu, genişliği hataları, birim alan kapasite ve direnç farklılıkları olarak karşımıza çıkarlar. Özellikle pulların köşe parametrelerinin diğer bölgelere göre farklılık gösterdiği bilinmektedir. Bu farklılıklardan dolayı, değişken kapasitif ve rezistif birim alanlara sahip, eşik gerilim kaymaları olan transistörler üretilmektedir. MOS transistörlü tasarımlarda nominal parametrelere göre tasarlanan tümdevre, üretimde oluşacak transistör kanal uzunluğu ve genişliği sapmaları, eşik gerilimi kaymalarına göre analizlere de tabi tutulmaktadır. Üretilecek tümdevrenin başarımı ve verimi hakkında bu testlerle kestirimlerde bulunulmaya çalışılmaktadır.

Ancak FGMOS transistörler MOS standart üretim hatalarına ilaveten yalıtkan oksit tabakasının ( $\text{SiO}_2$ ) ve poly katmanlarının her ikisinin üretim hatalarından da etkilenmektedir. Dolayısıyla çok girişe sahip olmasıyla analog tümdevre tasarımında avantajlı gibi görünen FGMOS yapılar üretim hatalarına daha duyarlı olmaktadır. Tablo-1 de AMIS 0.5 $\mu$  prosesi için Poly1-Poly2 arası birim alan kapasite değerlerinin en küçük ve en büyük değerleri, poly 1, poly 2, n- ve p-aktif ile üç ayrı metal katmanının en küçük ve en büyük geometri hata değerleri verilmiştir. Bu değerler MOSIS-AMIS prosesine ait farklı üretimlerden elde edilen 65 adet farklı parametre içerisinde elde edilmiştir. Şekil-2 de yer alan FGMOS devresi, Tablo 1 de verilen hatalardan Poly 1 ve Poly 2 dekiler baz alınarak benzetime tabi tutulmuş ve Şekil-3, 4, 5 ve 6 'daki sonuçlar elde edilmiştir. Hepsinde transistör hataları ortak olacağından transistör kısmındaki hatalar ile saçaklanma kapasiteleri ihmal edilmiştir. Böylece yüzen geçit kısmında oluşacak üretim hatalarının genel karakteristiğe etkisi daha net elde edilmiştir.



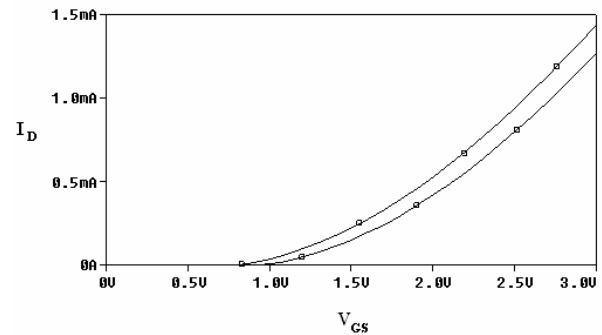
Şekil-2. Uygulama devresi

Tablo-1. AMIS 0.5 $\mu$  prosesi için bazı parametrelerin (en küçük ve en büyük) değerleri ve geometri hataları

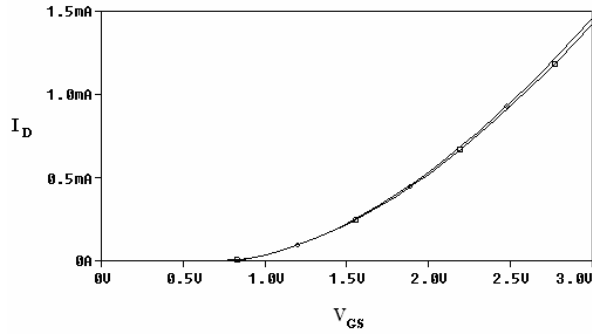
	En küçük	En büyük
N ACT	-0.20 $\mu\text{m}$	-0.25 $\mu\text{m}$
P ACT	-0.20 $\mu\text{m}$	-0.25 $\mu\text{m}$
POLY1	-0.11 $\mu\text{m}$	-0.17 $\mu\text{m}$
POLY2	-0.04 $\mu\text{m}$	-0.26 $\mu\text{m}$
METAL1	0.03 $\mu\text{m}$	0.12 $\mu\text{m}$
METAL2	0 $\mu\text{m}$	-0.13 $\mu\text{m}$
METAL3	-0.09 $\mu\text{m}$	0.11 $\mu\text{m}$
CPOLY1-POLY2	813 aF/ $\mu\text{m}^2$	969 aF/ $\mu\text{m}^2$
Tox	138 $\text{\AA}$	145 $\text{\AA}$
V <sub>THP</sub>	-0.8558 V	-1.0231 V
V <sub>THN</sub>	0.5868 V	0.7477 V

### 4. FGMOS PARAMETRİK SAÇILMA ANALİZİ

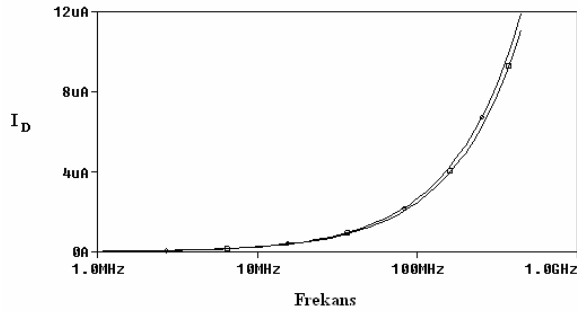
Tablo-1 de yer alan parametre sapmalarının FGMOS akım gerilim karakteristiğine etkilerini analiz için sırasıyla, DC, AC ve transient analizler yapılmış ve sonuçları verilmiştir. Bu analizler sırasında Şekil-1b'deki model kullanılmıştır. DC analizler eşik gerilimi değişimi, minimum ve maksimum kanal uzunluğu ve genişliği bir n-kanal FGMOS geçit-kaynak gerilimine göre savak akımı grafiği üzerinde görselleştirilmiştir. Şekil- 3, 4, 5, 6 sırasıyla eşik gerilimi kaymasının savak akımına etkisini ve kanal uzunluğu ve genişliği sapmalarının savak akımına etkisini göstermektedir.



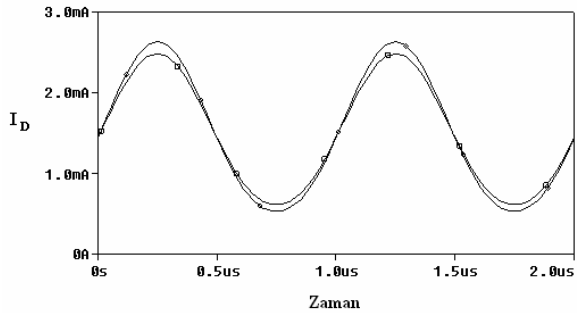
Şekil-3. Eşik gerilimi kayması DC süpürme analizi



Şekil-4. Kanal uzunluğu ve genişliği saçılması DC analizi



Şekil-5. Poly1-Poly2 arası kapasite saçılması AC analizi



Şekil-6. Poly1-Poly2 arası kapasite saçılması zaman analizi

## 5. SONUÇLAR

Bu çalışmada standart MOS parametre saçılımına ek olarak, FGMOS tasarımında önemli yeri olan poly1-poly2 arası alan başına düşen kapasite değişiminin transistor karakteristiğine olan etkisi incelenmiştir. Böylece bir FGMOS transistor üretimi sırasında oluşacak temel parametrik saçılımlar dikkate alınmış, üretim sonrası her bir transistorun performansının önceden tahmin edilmesi için tasarımcılara, parametrik saçılma analizi AMIS 0.5 $\mu$  prosesi üzerinde gerçekleştirilmiştir. Kullanılan FGMOS tümdevresi iki girişli seçilmiş, kullanılan model ile parametrik saçılımın özellikle analog tümdevre performansına etki edeceği görülmüştür.

Bu hataların pek çoğunun oldukça küçük olmasına

rağmen, oluşan toplam hatanın her durumda bir transistor için bile % 0.3'ten büyük olması, istenen fonksiyonu gerçekleyecek devrede daha büyük hataların oluşmasına neden olacaktır. Bu nedenle fonksiyon gerçekleyen FGMOS analog tümdevreler tasarlamak yerine 8-bitlik sayısal tümdevreler bile daha yüksek performans verecektir. Ancak küçük alan kullanımının çok önemli olduğu analog yapılar için FGMOS fonksiyon blokları tercih edilebilir.

## KAYNAKLAR

[1] Hamid Reza Mehrvarz, Chee, "A Novel Multi-Input Floating-Gate MOS Four-Quadrant Analog Multiplier" IEEE Journal of Solid-State Circuits, , Vol. 31, Iss. 8, pp. 1123-1131, 1996.

[2] Tadashi Shibata, Tadaihiro Ohmi, "A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations" IEEE Transactions on Electron Devices, Vol. 39, Iss. 6, pp. 1444-1455, 1992.

[3] Liming Yin, S. H. K. Embabi, Edgar Sanchez-Sinencio, "A Floating-Gate MOSFET D/A Converter" Proceedings of 1997 IEEE International Symposium on Circuits and Systems, ISCAS '97., Vol.1, pp. 409-412, 1997.

[4] Kewei Yang, Andreas G. Andreou, "Multiple Input Floating-Gate MOS Differential Amplifiers and Applications for Analog Computation", Proceedings of the 36th Midwest Symposium on Circuits and Systems., Vol.2, pp. 1212-1216, 1993.

[5] Vlassis, S., Siskos, S., "Analogue squarer and multiplier based on floating-gate MOS transistors", Electronics Letters, Vol. 34, Iss. 9, pp 825-826, 1998.

[6] J. Ramirez-Angulo, R. G. Carvajal, J. Tombs, A. Torralba, "Low-Voltage CMOS Op-Amp with Rail-to-Rail Input and Output Signal Swing for Continuous-Time Signal Processing Using Multiple-Input Floating-Gate Transistors" IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol 48, Iss. 1, pp. 111-116, 2001.

[7] J. Ram' rez-Angulo, S.C. Choi, and G. Gonzhlez-Altamirano "Low-Voltage Circuits Building Blocks Using Multiple-Input Floating-Gate Transistors" IEEE Transactions on Circuits and Systems I, Vol. 42, Iss. 11, pp. 971-974, 1995.

[8] T. Shibata and T. Ohmi, "A functional MOS transistor featuring gate level weighted sum and threshold operations," IEEE Trans. ElectronDevices, Vol. 39, no. 6, pp. 1444-1455, 1992.

[9] Paul Hasler, "Floating-Gate Devices, Circuits, and Systems" 9th International Database Engineering & Application Symposium, 2005.

[10] Avinoam Kolodyn, Sidney T. K. Nieh, Boaz Eitan, Joseph Shappir, "Analysis and Modeling of Floating-Gate EEPROM Cells" IEEE Transactions on Electron Devices, Vol. 33, Iss. 6, pp. 835-844, 1986.