

Sayısal Süzgeç Tasarımında APKD Kullanılması

Using FPGA in the Digital Filter Design

Sabri Bicakcı¹, Bahadır Çetinkaya¹, Nurhan Karaboğa¹

¹Elektrik ve Elektronik Mühendisliği Bölümü, Erciyes Üniversitesi, Kayseri
1030225197@erciyes.edu.tr, cetinkaya@erciyes.edu.tr, nurhan_k@erciyes.edu.tr

Özetçe

Doğrusal zamanla değişmeyen sistemler dürtü cevaplarına göre sınıflandırılabilirler. Eğer dürtü cevabı sınırlı süreli ise, sistem sınırlı dürtü cevablı (FIR) sistem olarak adlandırılır. Bir FIR süzgeç çıkışı şimdiki ve geçmişteki giriş değerlerinin ağırlıklı toplamından oluşan bir süzgeç olarak tanımlanabilir. Bir çok elektronik cihazda sayısal süzgeçler kullanılmaktadır. Sayısal süzgeçler, simülasyonlarla gerçekleştirilebilirler fakat asıl önemli olan süzgeçlerin donanımsal olarak da gerçekleştirilebilmesidir. Literatürde sayısal süzgeç tasarımında APKD'lerin kullanılmasıyla ilgili birçok çalışma vardır. Bu çalışmada düşük güç tüketimine ve iyi bir performansa sahip olan APKD (Field Programmable Array Logic-Alan Programlanabilir Kapı Dizisi)'lerin sayısal süzgeçlerin donanım olarak gerçekleştirilmesinde kullanılması tanıtılacaktır daha sonra da bu konuyla ilgili çalışmalar özetlenecektir.

Abstract

Linear Time Invariant systems can be classified based on the impulse response sequence. If the impulse response sequence has a finite duration, the system is called a finite impulse response (FIR) system. A FIR filter can be defined as a filter whose output is determined by the weighted sum of past and present input values. Digital filters are being used in most of the electronic systems. Digital filters can be realized with simulations but the important thing is that hardware implementation of these filters. In the literature, there are a lot of studies based on the use of FPGA in the design of digital filters. In this study, the use of FPGA's with low power assumption and good performance in the hardware implementation of digital filters is introduced and then corresponding studies are summarized.

1. Giriş

Bir çok elektronik cihazda kullanılan temel elemanlardan birisi sayısal süzgeçlerdir. Sayısal süzgeçlerin donanımsal olarak gerçekleştirilmesinde farklı yaklaşımlar mevcuttur, bunlar APKD, mikro denetleyici, opamplar vb. dir. Bu çalışmada APKD kullanılarak sayısal süzgeç tasarımı incelenmiştir. APKD ile gerçekleştirilen tasarımlarda güç tüketimlerinin düşük ve performanslarının yüksek olduğu gözlemlenmiştir.

Sayısal süzgeçler iki gruba ayrılır, bunlar, FIR (Finite Impulse Response – Sonlu Dürtü Yanıtlı) ve IIR (Infinite Impulse Response – Sonsuz Dürtü Yanıtlı) süzgeçlerdir. Doğrusal fazlı ve daima kararlı oldukları için ve de tasarımları IIR süzgeçlere göre daha kolay olduğu için bu çalışmada FIR

süzgeçler incelenmiştir. Sayısal bir FIR süzgeç aşağıdaki transfer fonksiyonu ile karakterize edilir:

$$H(z) = \sum_{n=0}^N a(n) \cdot z^{-n} \quad (1)$$

Burada N süzgeç derecesi, a(n) ise süzgeç katsayılarıdır. Çalışmanın ikinci bölümünde APKD'ler hakkında bilgi verilmiştir. APKD'lerin sayısal süzgeç tasarımında nasıl kullanıldığı anlatılarak son bölümde konuyla ilgili literatür çalışmaları verilmiştir.

2. Alan Programlanabilir Kapı Dizisi (APKD)

Programlanabilir mantıksal elemanlar bağımsız olarak oluşturulabilen mantıksal kapılar, kaydediciler ve bunları birbirine bağlayan programlanabilir bağlantılardan oluşmaktadır.

Bu elemanların ilki PAL (Programmable Array Logic – Programlanabilir Dizi Lojik)'dir. 1975 yılında Monolithic Memories Inc. (MMI) tarafından geliştirilmiştir [1]. PAL'lerde, Boolean fonksiyonları, De Morgan kuralları kullanılarak çarpımların toplamı yada toplamların çarpımı şeklinde gerçekleştirilebilir. PAL yapısında girişlerin kendisi ve terslenmiş halleri AND kapılarına girmekte ve bu kapıların çıkışları da OR kapılarına uygulanmaktadır. Bu yapılar kullanılarak fonksiyon gerçekleştirilmektedir. Yalnız OR kapıları sabittir, sadece AND kapıları programlanabilir.

Diğer bir elemanda PLA (Programmable Logic Array – Programlanabilir Mantıksal Dizi)'dir. Bu elemanın PAL'lerden farkı ise çıkıştaki OR kapılarının da programlanabilir olması ve böylece daha büyük fonksiyonların gerçekleştirilebilmesidir. Bu yapılarda programlama işlemi bağlantı hatlarının koparılması yada bağlı kalması sağlanarak gerçekleştirilmektedir.

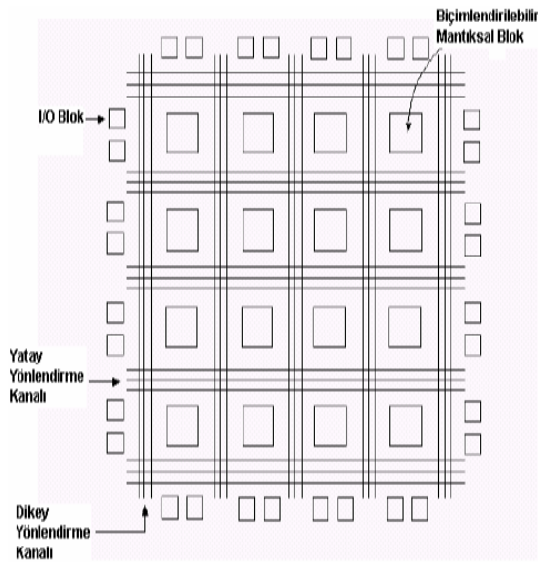
Daha karmaşık fonksiyonların gerçekleştirilebilmesi için PAL ve PLA'ların birleşiminden oluşan CPLD (Complex Programmable Logic Device – Karmaşık Programlanabilir Mantıksal Eleman)'ler geliştirilmiştir. PAL'ler bir programlayıcı ile programlanabilirken, CPLD'ler üreticinin geliştirdiği bir metotla veya bilgisayara bağlı JTAG kablo ile bir sistem yardımıyla programlanabilir. CPLD'lerde yüksek performans sağlamaktadırlar.

Geliştirilen alternatif bir programlanabilir mantıksal elemanda APKD'lerdir. Bu yapıyı Xilinx firması 1984 yılında geliştirmiştir[2]. Bu eleman daha esnek bir yapıya sahiptir. APKD'nin temel parçası LUT (Look Up Table)'dir. LUT bir fonksiyon jeneratörü gibi davranmakta yada bir ROM veya RAM olarak da ayarlanabilmektedir. Birbiri ile hızlı mantıksal bağlantısı olan hücreler içerdikleri için APKD'ler aritmetik fonksiyonları ve daha ileri DSP (Digital Signal

Processing – Sayısal İşaret İşleme) uygulamaları için oldukça kullanışlıdır.

APKD'lerin çoğunluğu SRAM (Static Random Access Memory – Statik Rasgele Erişilebilir Hafıza) tabanlı olduğu için standart bir SRAM kadar kolay programlanabilirler. APKD'ler birçok yöntem ile biçimlendirilebilirler. Bu yöntemler şematik tasarım, HDL (Hardware Description Language – Donanım Tanımlama Dili)'ler ve daha üst seviyeli dil derleyicileridir. Her üretici firmanın bir yazılımı vardır ve bu yazılım ile hangi yöntem kullanılarak tasarım yapılmış ise o tasarımı APKD'yi programlayacak, yani APKD'ye yüklenebilecek hale dönüştürür. Şematik tasarım en kolay biçimlendirme metodudur. Yazılımda hazır bulunan elemanlar ve makrolar kullanılarak devre öncelikle şematik olarak oluşturulmaktadır.

APKD'lerin programlanması için kullanılan programlama dilleri HDL türü Verilog ve VHDL (Very High Speed Integrated Circuit Hardware Description Language - Yüksek Hızlı Tümlük Devre Donanım Tanımlama Dili)'dir. Her ikisi de sayısal devrenin yazı tabanlı tanımlanmasıdır. Ayrıca C gibi üst seviyeli dillerle de biçimlendirme yapılabilir.



Şekil 1: APKD'nin Temsili İç Yapısı

Şekil 1' de bir APKD'nin iç yapısı verilmektedir[2]. Her bir biçimlendirilebilir mantıksal blok, kendi aralarında ve her bir I/O (Input/Output – Giriş/Çıkış) blok arasında yönlendirme kanalları aracılığı ile irtibatlandırılabilir.

LUT yapıları mantıksal bloklar içinde bulunmaktadır. LUT, temel olarak hafıza birimleri ve bu hafıza birimlerinden hangisinin çıkışa aktarılacağını belirleyen bir çoğullayıcı yapıdan meydana gelmektedir.

3. APKD' nin Sayısal Süzgeç Tasarımında Kullanılması

APKD yapılarında birçok mantıksal eleman, temel hafıza birimleri ve kontrol edilebilir bağlantılı iletim yolları mevcuttur. Ayrıca sinyal işlemenin en temel fonksiyonları olan toplama, çıkarma ve gecikme fonksiyonları da kolayca gerçekleştirilebilir.

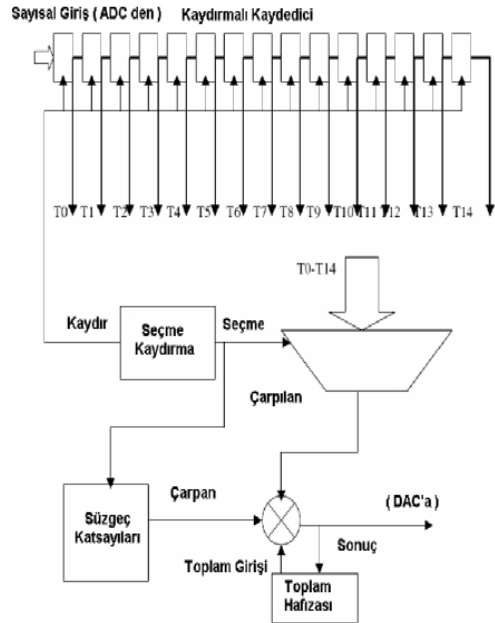
APKD ile sayısal süzgeç tasarımında, sayısal süzgecin giriş, çıkış ve katsayılarını belirleyen bitlerin sayısı arttıkça, kullanılması gereken elemanın boyutları da üstel olarak artmaktadır. Bu sorunu aşmak için, bit seri tasarım mantığı kullanılmaktadır. Böylece istenen süzgeç tek bir APKD üzerinde gerçekleştirilebilmektedir. Bu yöntemin paralel tasarıma göre tek olumsuz yönü; n-bit paralel tasarımın bir çevrimde yaptığı işi seri tasarım n çevrimde gerçekleştirmektedir. Fakat APKD'nin performansı yüksek olduğu için kullanılacak saat sinyalinin hızı artırılarak bu sorun aşılabilmektedir. Böylece maliyet daha da düşük olacaktır.

Farklı programlama dosyaları ile yeniden programlanabilir donanımların birçok avantajı vardır. Özel bir iş için tasarlanmış donanımlar yüksek performansa sahiptir fakat sistemde yapılmak istenen değişiklikleri meydana getiremezler. Yeniden programlanabilir aygıtlar hem yüksek performansa sahiptirler hem de istenilen değişiklikleri yeni bir donanıma ihtiyaç duymadan sadece programın değiştirilmesi ile gerçekleştirebilirler. Ayrıca karmaşık problemler için bu aygıtlar birlikte kullanılabilirler.

Bu donanımları kısıtlayan tek nokta ise tasarımı yapan kullanıcının yaptığı devrenin esnek olmamasıdır. Eğer devreyi ileri aşamalarda yapmak isteyeceğimiz değişiklikleri dikkate alarak gerçekleştirirsek, sistemde istediğimiz değişimleri kolayca yapabiliriz.

Maliyetleri sağladıkları özelliklere göre düşüktür. En maliyetli kısım ise programlayıcı sistemi olmaktadır.

Şekil 2'de bir FIR süzgeci gerçekleyen APKD'nin yerine getirdiği işlemleri gösteren blok şema verilmektedir. Bu yapıda kaydırmalı kaydedici, ADC (Analog to Digital Converter – Analog-Sayısal Çevirici)'den gelen sayısal veriyi seri olarak alarak kaydetmektedir. Kaydırmalı kaydedici 15 bit olarak seçildiği için bu işlemi 15 çevrim sonunda gerçekleştirmektedir. Seçme kaydırma birimi, kaydırma işlemini kontrol etmektedir.



Şekil 2: Sayısal FIR Süzgecin Blok Şeması

Kayıpma işlemleri tamamlandığında çoğullayıcı birim ve süzgeç katsayılarını belirleyen birim için gerekli olan seçme girişlerini üretmektedir. Böylece seçilen bit ile ona ayrılan katsayı çarpılır ve toplam hafızasında tutulan bir önceki çıkış değeri ile toplanarak sistem çıkışı belirlenir. Çıkış DAC (Digital to Analog Convertor – Sayısal-Analog Dönüştürücü)’a gönderilir. Süzgeç katsayılarını belirleyen birim LUT yapısı kullanılarak yada ayrıca kaydediciler ve çoğullayıcılar kullanılarak da gerçekleştirilebilir. Tasarım esnekliği için ikinci yöntemin kullanılması daha uygun olmaktadır.

4. İlgili Çalışmalar

Louzao J. ve arkadaşları araştırmalarında modülasyon ve band geçiren süzgeç işlemini yerine getiren yeniden programlanabilir süzgeç bankası donanımı geliştirme üzerinde çalışmışlar ve yeniden programlanabilir eleman olarak APKD kullanmışlardır[3].

Re M. ve arkadaşları araştırmalarında çok oranlı süzgeç bankalarının APKD ile gerçekleştirilmesinde üç farklı algoritmanın geniş kapsamlı bir karşılaştırmasını yapmışlardır. Benzetim sonuçlarına göre çok evreli yarım-band süzgeç bankasının daha verimli olduğuna karar vermişlerdir[4].

Lee H. ve arkadaşı araştırmalarında çeşitli basamak-seri DSP fonksiyonlarının APKD ile gerçekleştirilmesinde, işlem gecikmeleri ve APKD üzerinde kapladıkları alanlar üzerinde inceleme yapmışlardır. Gerçek zaman DSP fonksiyonları için APKD’ların iyi bir performans sağladıklarını görmüşlerdir[5].

Liu K.C. ve arkadaşları araştırmalarında APKD ile gerçekleştirilen PDDMF (Pipeline Digital Differential Matched Filter – Boru Hattı Sayısal Farksal Uyumlu Süzgeç) yapısı üzerinde çalışmışlardır[6].

Bates G. L. ve arkadaşı araştırmalarında eş zamanlı ve eş zamanlı olmayan Median süzgeçlerinin dört farklı yapısını incelemişlerdir. 3×3 eş zamanlı Median süzgecin en iyi yapı olduğunu göstermişlerdir[7].

Dick C. ve arkadaşı araştırmalarında dar band süzgeç gerçekleştirilmesinde APKD kullanımını incelemişlerdir. APKD’ların bu tip süzgeçler için kullanışlı olduğu sonucuna varmışlardır[8].

Delma J.G.R. ve arkadaşları araştırmalarında, gerçek zaman sayısal görüntü işleme işleminde APKD teknolojisinin kullanımını üzerinde inceleme yaparak aynı zamanda tıbbi görüntü işlemede ortaya çıkan dürtü gürültüsü problemini çözmek için Kalman süzgecinin APKD ile gerçekleştirilmesi üzerinde çalışmışlardır[9-10].

Demirsoy S.S. ve arkadaşları araştırmalarında APKD ile gerçekleştirilmiş çarpansız süzgeç algoritmalarının geçiş analizini yapmışlar ve FIR süzgeç yapılarındaki çarpım bloklarının güç tüketimini incelemişlerdir[11].

Yamada M. ve arkadaşları da çalışmalarında FIR filtrelerin APKD ile gerçekleştirilmesi üzerinde çalışarak yüksek hızlı, doğrusal fazlı bir FIR filtre oluşturmuşlardır[12].

5. SONUÇ

Bu çalışmada düşük güç tüketimine ve iyi bir performansa sahip olan APKD’ların sayısal süzgeçlerin donanım olarak gerçekleştirilmesinde kullanılması tanıtılmıştır. APKD ile tasarlanan sayısal süzgeçlerin cevap hızları oldukça yüksektir ve güç tüketimleri çok düşüktür. Ayrıca kullanılan donanım yeniden programlanabilir olduğu için süzgeçte bir değişiklik yapılmak istenirse sadece APKD programının değiştirilmesi

ile bu gerçekleştirilebilmektedir. Bu özelliklerinden dolayı günümüzde sayısal süzgeç gerçekleştirilmesinde APKD’ ler oldukça fazla kullanılmaktadırlar. Sayısal süzgeçler dışında APKD’lar askeri ve tıbbi alanlarda otomatik sistem kontrol tekniklerinde sıkça kullanılmaktadırlar.

6. Kaynakça

- [1] “Hardware Description Language.” *Wikipedia: The Free Encyclopedia*. 18 May 2004 http://en.wikipedia.org/wiki/Hardware_description_language
- [2] Xilinx Inc., “Virtex-II Pro™ Platform FPGAs: Functional Description,” DS083-2(v3.0), December 10,2003.
- [3] Louzao J, Paz S, Tejera D, Bellora G, Langwagen G; Architectural design of a programmable cell for the implementation of a filter bank on FPGA. *Microelectronics Reliability*; September 2003
- [4] R.e M, Cardarilli G. C, Re A. D, Lojacona R; FPGA Implementation of a Demux Based on a Multirate Filter Bank. *ISCAS 2000 – IEEE International Symposium on Circuits and Systems*; May 28-31, 2000, Geneva, Switzerland.
- [5] Lee H, Sobelman G. E; Performance evaluation and optimal design for FPGA-based digit-serial DSP functions. *Computers and Electrical Engineering*; January 1999.
- [6] Liu K. C, W. C. Lin and C. K. Wang; A Pipelined Digital Differential Matched Filter FPGA Implementation & VLSI Desing. *IEEE Custom Integrated Circuits Conference*, 1996.
- [7] Bates G. L, Nooshabadi S; FPGA Implementation of a Madian Filter. *IEEE TENCON – Speech and Image Technologies for Computing Telecommunications*, 1997.
- [8] Dick C, Haris F; High-Performance FPGA Filter Using Sigma-Delta Modulation Encoding. *IEEE International Conference On Acoustics, Speech, and Signal Processing*, 1999, Vol. 4, pp 2123-2126
- [9] Delma J. G. R., Reza A. M., Turney R. D.; FPGA Implementation of a Nonlinear Two Dimensional Fuzzy Filter. *IEEE International Conference On Acoustics, Speech, and Signal Processing*, 1999, Vol 4, pp 2143-2146
- [10] Delma J. G. R, Reza A. M., Turney R. D; FPGA Implementation of Adaptif Temporal Kalman Filter for Real Video Filtering. *IEEE International Conference On Acoustics, Speech, and Signal Processing*, 1999, Vol. 4, pp 2231-2234
- [11] Demirsoy, S. S., A. G. Dempster and I. Kale, "Transition analysis in multiplier-block based FIR filter structures", *IEEE International Conference on Electronic Circuits and Systems (ICECS 2000)*, Kaslik, Lebanon, December 2000.
- [12] Yamada M, Nishihara A; High-Speed FIR Digital Filter with CSD Coefficients Implemented on FPGA. *IEICE Trans. Fundamentals.*, E84-A, 8, pp.1997-2003, Aug. 2001