

HSA Tabanlı Kaos Üreteci ile Açık Kapalı Kaotik Anahtarlama Haberleşme Sisteminin FPGA Kullanılarak Gerçekleştirilmesi

Implementation of COOK Communicating System With CNN Based Chaos Generator Using FPGA

Enis Günay¹, Kenan Altun²

¹Elektrik-Elektronik Mühendisliği Bölümü, Erciyes Üniversitesi, Kayseri, Türkiye
egunay@erciyes.edu.tr

²Elektronik ve Otomasyon Bölümü, Cumhuriyet Üniversitesi, Sivas, Türkiye
kaltun@cumhuriyet.edu.tr

Özet

Bu çalışmada, Açık Kapalı Kaotik Anahtarlama (AKKA) (Chaotic On Off Keying-COOK) haberleşme sistemi, Hücresel Sinir Ağı (HSA) (Cellular Neural Network –CNN) tabanlı bir kaos üretici ile Alanda Programlanabilir Kapı Dizileri (Field Programming Gate Array-FPGA) kullanılarak gerçekleştirilmiştir. Çalışma sonucunda, sayısal kaotik haberleşme sistemi örneği olan AKKA yönteminin donanımsal bir uygulaması, Matlab Xilinx System Generator kullanılarak gerçekleştirilmiştir.

Abstract

In this study, Chaotic On-Off Keying (COOK) communication systems Cellular Neural Network (CNN) based programmable area with a chaos generator Field Programming Gate Array (FPGA) were performed using. As a result, hardware implementation of the AKKA method, a digital chaotic communication system sample, was carried out by using Matlab Xilinx System Generator.

1. Giriş

Kaos sinyal üreteçleri kaotik haberleşme sistemlerinde kullanılan en temel yapıdır. Kaotik sinyaller donanımsal açıdan sayısal ve analog tabanlı devreler olarak iki farklı şekilde gerçekleştirilebilirler. Analog devre tabanlı kaos üreteçlerindeki parametrelerin elde edilmesindeki zorluklar kaotik haberleşmede sayısal tabanlı kaos yapılarının kullanımının önünü açmıştır.

Literatürde sayısal devre tabanlı kaotik üreteçler sayısal işaret işlemciler (Digital Signal Processing-DSP), uygulamaya özel tümleşik devreler (Application Specific Integrated Circuits-ASIC) ve alanda programlanabilir kapı dizileri (Field Programming Gate Array-FPGA) gibi yapılar kullanılarak gerçekleştirilmektedir [1-3].

Bu yapılara arasında ASIC tabanlı kaotik üreteçler yüksek performanslarına karşılık ilk tasarım maliyetlerinin oldukça yüksektir ve esnek bir tasarım yapısına sahip değildirler. Nitekim

tasarlanan devre yapılarında yapılması düşünülen bir değişiklik maliyetlerin artmasına ve yaygın kullanımın kısıtlanmasına neden olmaktadır.

Sayısal işaret işlemci (DSP) çipleri, işlemleri sıralı (sequential) olarak gerçekleştirdiğinden çalışma frekansları oldukça düşüktür. Diğer taraftan kaotik sistemlerin en az iki veya üç diferansiyel denklemden oluştuğu düşünüldüğünde bu işlemlerin hesaplanması uzun zaman almaktadır.

FPGA tabanlı devre yapılarında ise FPGA çipleri paralel işlem yapabildikleri için yüksek çalışma frekansları elde edilebilmektedir. Yüksek frekanslarda çalışma ise yayılı spektrum haberleşme sistemlerinde bilgi sinyalinin arka planda gizlenmesini kolaylaştırmaktadır [4]. FPGA platformları sayısal tabanlı olmaları, düşük maliyetleri, yüksek frekansta işlem yapabilme kapasiteleri ve tekrar programlanabilme özellikleri sayesinde diğer sayısal tabanlı kaos üreteçleri arasında ön plana çıkmaktadırlar [4].

Diğer taraftan, kaotik haberleşme sistemlerinin senkronize olabileceklerini gösteren Pecora-Carroll'un 1990'da yaptıkları çalışma, kaotik işaretlerin yayılı spektrum (spread spectrum) haberleşme sistemlerinde kullanılmasının önünü açmıştır [5]. Bu çalışmayla birlikte, kaotik sistemlerin sürekli senkronize olmasına gerek duyulan analog tabanlı kaotik modülasyon ve kaotik maskeleyme sistemleri ile anlık kaotik senkronizasyon kullanan sayısal modülasyon tabanlı kaos anahtarlama haberleşme teknikleri geliştirilmiştir. Böylelikle kaos tabanlı yayılı spektrum haberleşme sistemleri, kaotik haberleşme yöntemleri arasına girmiştir. Kaos kaymalı anahtarlama (chaos shift keying - CSK) [6], açık kapalı kaotik anahtarlama (chaotic on off keying - COOK) [7], diferansiyel kaos kaydırmalı anahtarlama - DSKA (Differential Chaos Shift Keying - DCSK) [8,9], kaudratür kaos kaydırmalı anahtarlama (quadrature chaos shift keying -QCSK) [10] bu tekniklerden bazılarını göstermektedir.

Bu çalışmada kaotik haberleşme yöntemleri içerisinde basit yapısı ile dikkat çeken *açık kapalı kaotik anahtarlama-AKKA* yöntemi kullanılmıştır [7]. AKKA haberleşme sisteminde kullanılacak olan kaos üretici ise bölgesel yapıdaki *hücre (cell)*

adı verilen nöronların oluşturduğu karmaşık davranışlara sahip dinamik bir sistem olarak tanımlanan *Hücrel Sinir Ağları (HSA)* tabanlıdır [11,12]. *HSA*'nın kullanım alanları içerisinde kaotik işaret işleme ve görüntü işleme konuları sıklıkla yer almaktadır [13,14]. *HSA* kullanılarak kaotik işaretlerin yeniden modellenmesi amacıyla literatürde *Durum Kontrollü HSA (DK-HSA)* yapıları önerilmiştir [15]. Genelleştirilmiş hücre modelinin boyutsuz, doğrusal olmayan durum denklemleri aşağıdaki gibi tanımlanmaktadır.

$$\dot{x}_j = -x_j + a_j y_j + G_o + G_s + i_j \quad (1)$$

Yukarıdaki denklemde x_j durum değişkenini (*state control*), a_j sabit parametreyi, i_j eşik değerini (*threshold*) gösterirken, j ise hücre indeksini göstermektedir. G_o ve G_s diğer yapıların çıkış ve durum değişkeni parametrelerini ifade etmektedir. *HSA* yapısının çıkış fonksiyonu olan y_j denklem (2) ile tanımlanmaktadır.

$$\dot{y}_j = 1/2 (|x_j + 1| - |x_j - 1|) \quad (2)$$

DK-HSA durum denklemleri ilk olarak *Arena* tarafından *Chua Devresi*'nin modellenmesinde kullanılabileceği gösterilmiştir [15]. Müteakip çalışmalarda birçok kaotik işaret üreticini *DK-HSA* kullanarak modellemenin mümkün olacağı ortaya konulmuştur [16-18]. *DK-HSA* tabanlı kaotik üreteçler, *RC*-tabanlı olmaları bakımından diğer kaotik üreteçlere nazaran tümleştirmeye daha uygun yapıdadırlar [16-17].

Bu noktalardan yola çıkılarak hazırlanan bu çalışmada *AKKA* haberleşme sistemi, *FPGA*'da tasarım kolaylığı sağlamak üzere *Xilinx System Generator* kullanılarak yapılmıştır.

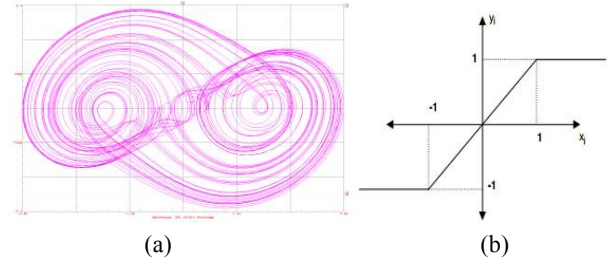
2. HSA-Tabanlı Kaos Üretici

DK-HSA'nın genelleştirilmiş denklemleri denklem (1) ve (2)'de verilmişti, buradan yola çıkılarak elde edilen kaotik sinyal üreticisine ait dinamik sistemler denklem (3)'de verilmektedir [15].

$$\begin{aligned} \dot{x}_1 &= -x_1 + c_{11}x_1 + c_{12}x_2 \\ \dot{x}_2 &= -x_2 + c_{22}x_2 + c_{23}x_3 \\ \dot{x}_3 &= -x_3 + c_{31}x_1 + c_{32}x_2 + c_{33}x_3 + c_{31}y_1 \\ \dot{y}_1 &= 1/2 (|x_1 + 1| - |x_1 - 1|) \end{aligned} \quad (3)$$

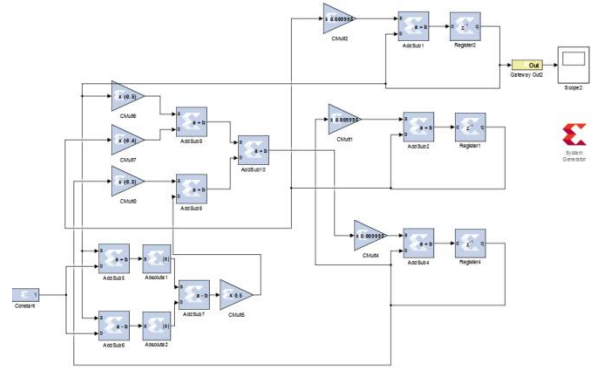
$$c_{11}=c_{12}=c_{22}=c_{23}=1, c_{31}=-0.5, c_{32}=-0.4, c_{33}=0.5, c_{31}=1$$

DK-HSA yapı kullanılarak elde edilen yeni kaotik yapıya ait kaotik işaretin X_1 - X_2 dinamikleri Şekil 1(a)'da verilirken, kaos sinyal üreticisine ait çıkış karakteristiği Şekil 1(b)'de verilmektedir. Denklem (3)'te verilen *DK-HSA* tabanlı kaos üretici kullanılarak sürekli senkronizasyon gerektiren kaotik yapı ve analog tabanlı devrelerde kaotik maskeleye de kullanılmaktadır [16].

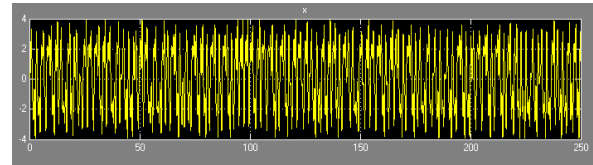


Şekil 1. *DK-HSA* tabanlı kaotik üreticinin:(a) x_1 - x_2 düzlemine ait kaotik çekişi, (b) $x(t)$ - $y(t)$ çıkış fonksiyonu.

Bu çalışmada kullanılan kaotik işaret üretici *Xilinx System Generator* kullanılarak Şekil 2'de gösterildiği gibi bilgisayar benzetimi hazırlanmıştır. Bu aşamada Denklem (3) ile elde edilen dinamik yapı oluşturularak gerçekleştirilmiştir. Benzetimi gerçekleştirilen kaotik üretece ait sonuçlar ise Şekil 3'de gösterilmektedir.



Şekil 2. *DK-HSA* tabanlı kaotik üreticinin *Xilinx System Generator* kullanılarak elde edilen devre şeması.



Şekil 3. *AKKA* haberleşmesinde kullanılan ve *FPGA* tabanlı elde edilen X_1 dinamiği çıkış işareti.

Bir sonraki bölümde *AKKA* haberleşme yöntemi anlatılacaktır.

3. Açık Kapalı Kaotik Anahtarlama *AKKA* Haberleşme Sistemi

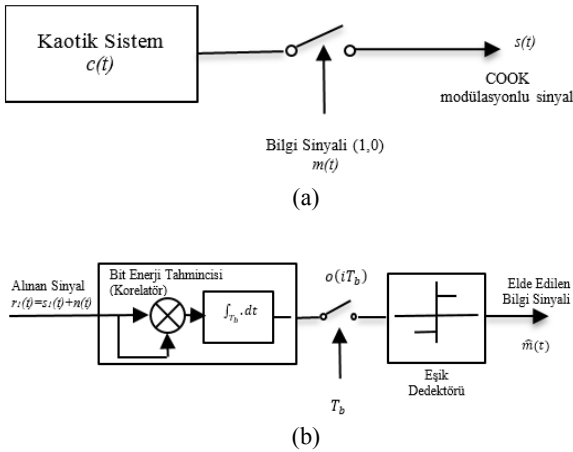
Kaos işaret üretici kullanılarak elde edilen yayılı spektrum haberleşmesinin düşük kesişim (*interception*) oranı, sinyal bozucu (*jamming*) uygulamalara karşı direnci, çoklu-erişim alanı ve koruma gibi özelliklerinden dolayı kullanım alanları araştırılmaktadır [19].

Buna ek olarak kaos tabanlı işaret üreteçleri kullanılarak gerçekleştirilen dar bantlı haberleşme sistemleri geleneksel olarak bilinen yayılı spektrum haberleşme sistemlerine göre daha

avantajlıdır. Bu üreticilerdeki kaotik devre yapılarının basitliği, ucuzluğu, kaotik sinyalin başlangıç değerlerine bağlı olarak tahmin edilememesi ve periyodik olmayan yapısı, sayısal bilgi sinyallerinin kolaylıkla saklanmasına katkı sağlamaktadır [20].

AKKA sistemi diferansiyel kaos kaymalı anahtarlama (DKKA) sisteminin sadece bir kaotik işaretini kullanan kaos tabanlı sayısal modülasyon tekniğidir. Şekil 4’de bir AKKA haberleşme sistemine ait verici ve alıcı devreleri blok olarak gösterilmektedir. Bu haberleşme sistemi ile sayısal olarak iletilmek istenen bilgi sinyali S_i geniş bir frekans bandına, kaotik bir taşıyıcı sinyal kullanılarak gönderilmektedir. AKKA sayısal modülasyon tekniğinde iletim kanalında iletilecek modüleli sinyali iletilmek bilgi sinyalinin bit değerine göre belirlenir. Bilgi sinyali anahtarlama anında “1” bilgisini içeriyorsa kaotik üreticinin ürettiği sinyal, “0” bilgisini içeriyorsa alıcıya sıfır bilgisi gönderilir.

AKKA haberleşme sisteminin verici devresinden iletilen modüleli sinyal $s(t)$ iletim kanalından alıcı devredeki demodülatöre iletilir. Demodülatör devresinde iletim kanalında modüleli sinyale eklenen gürültü ile birlikte toplanır ve kendisi ile çarpılarak integrali alınır (korelatör birimi) ve eşik dedektörüne iletilir. Korelasyon sonucu elde edilen sinyal eşik dedektörüne gelir ve burada belirlenen eşik seviyesine göre bilgi sinyali elde edilir [21,22].



Şekil 4. a) AKKA haberleşme sisteminin verici blok şeması, b) AKKA haberleşme sisteminin alıcı blok şeması.[21,22]

$$s(t) = \begin{cases} c(t), & 1 \text{ bilgisi için} \\ 0, & 0 \text{ bilgisi için} \end{cases} \quad (4)$$

AKKA haberleşme sisteminde verici devrede üretilen kaotik sinyal, anahtarlama süresince (T_b) bilgi sinyali ile korelasyonu sağlar.

$$\begin{aligned} o(iT_b) &= \int_{(i-1)T_b}^{iT_b} r^2(t) dt = \int_{(i-1)T_b}^{iT_b} [s(t) + n(t)]^2 dt \\ &= \int_{(i-1)T_b}^{iT_b} s^2(t) dt + 2 \int_{(i-1)T_b}^{iT_b} s(t) \cdot n(t) dt + \int_{(i-1)T_b}^{iT_b} n^2(t) dt \end{aligned} \quad (5)$$

Denklem (5)’te iletim hattı boyunca iletilen sinyale gürültü eklenmiş, AKKA haberleşme sistemine ait verici devre çıkışı matematiksel ifadesi görülmektedir. İletilen bu sinyal alıcı devre

girişinde kendisi ile korele edilerek denklem (6)’da da görüldüğü üzere bir eşik dedektöründen geçirilmektedir.

$$o(iT_b) = \begin{cases} \int_{(i-1)T_b}^{iT_b} c^2(t) dt, & 1 \text{ bilgisi} \\ 0, & 0 \text{ bilgisi} \end{cases} \quad (6)$$

Alıcı devrede bulunan integratör çıkışında elde edilen bilgi sinyali içerisinde bulunan her bir sembol, anahtarlama T_b süresi boyunca sıfır eşik seviyesine sahip bir dedektöre uygulanmaktadır. Dedektörde örneklenen işaret eşik seviyesinden büyükse çıkış +1 olmakta, değilse sıfır olmaktadır. Bu karar yapısı seçilen eşik değerine bağlıdır [23-25].

4. Xilinx System Generator ile AKKA Haberleşme Sisteminin FPGA Tabanlı Olarak Tasarlanması

Kaotik işaret üreticilerden devreler gerek parametre değişimi ile gerekse de farklı başlangıç şartlarıyla karakteristik özellikleri değişen devreler olması sebebiyle yeniden yapılandırılabilir sistemler arasında dikkat çeken bir yapıya sahiptir. Ancak kaotik devre yapılarının bu değişime uygun sistemlerde tasarlanarak gerçekleştirilmesi bu avantajların kullanımını gerçek kılar. Bu amaçla önceki bölümlerde de açıklandığı gibi FPGA yapıları esnek ve kolay tasarım özelliklerinden dolayı kaotik devre yapıları için uygundur [26,27].

Ayrıca FPGA yapılarını üretimden sonra bile istenen fonksiyon ve yapıya göre donanımın değiştirilmeye açık olması, bu yapıların uygulanabilirliğini artırmaktadır. Diğer taraftan FPGA yapılarının tasarımında kullanılan donanım dili VHDL yerini tasarım aşaması daha kolay olan şematik yöntemlere bırakmaktadır [28]. VHDL, çok yüksek hızlı entegre devre donanımı tanımlama dili olarak bilinen “Very High-Speed Integrated Circuit Hardware Description Language” tanımlamasının kısaltması olup, sayısal devre donanımının modellenmesinde kullanılır.

FPGA programlanmasında diğer bir yöntem ise Matlab/Simulink toolbox’da Xilinx özel bloklarla gerçekleştirilen şematik tasarımıdır [29]. Xilinx system generator matematiksel işlem blokları kullanılarak algoritma üretebilen çok kullanışlı bir araçtır. VHDL programlama diline göre kolay tasarımı, geliştirilebilmesi önemli avantajıdır.

Xilinx toolbox’lar kullanılarak Xilinx System Generator ile tasarlanan AKKA haberleşme sistemine ait blok şema Şekil 5’de verilmektedir. Bu yapı kullanılarak devrenin HDL kodları Xilinx System Generator kullanılarak elde edilebilmektedir. Bu tasarım yöntemi ile istenildiğinde şematik düzenlemelerle yeniden tasarlanan sistemde HDL kodlarla uğraşmadan kolay ve esnek değişiklik imkanı sunmaktadır. Bu da yeni modellerin ve sistemlerin hızlı tasarımına ve yeni tasarımlara ait sonuçların daha kolay karşılaştırılmasına imkan sağlamaktadır.

- [18] Günay E. "A New Autonomous Chaos Generator from State Controlled Cellular Neural Networks", *Int. J. Bifurcation & Chaos*, Vol.22, No.3, 2012.
- [19] Lau F. C. M., Tse C. K., "Chaos-Based Digital Communication Systems", Springer, 2003.
- [20] Stavroulakis, P., *Chaos applications in telecommunications*, CRC Press, pp.125-169, USA, 2006.
- [21] Tam, W.M., Lau, F.C.M. and Tse C.K., *Digital communications with chaos: multiple access techniques and performance*, Elsevier Ltd., pp.11-31, 2007.
- [22] Abdullah, H.N. and Valenzuela A.A., "Efficient chaotic communications system for wireless sensing applications", 9th International Multi-Conference on Systems, Signals and Devices (SSD), Chemnitz, pp.1-5, 2012.
- [23] Albassam, N.N. and Sumesh E.P., "Enhancing of chaotic on-off keying scheme", *Proceedings of the 8th IEEE GCC Conference and Exhibition*, Muscat, Oman, pp.1-6, 2015.
- [24] Çiçek S, Ferikoğlu A, Pehlivan İ, "A Chaotic communication system design with chaotic on-off keying (COOK) modulation method", *Signal Processing and Communications Applications Conference (SIU)*, pp.431-434, 2015.
- [25] Taoufik Saidani, Mohamed Atri, Dhaha Dia, and Rached Tourki "Using Xilinx System Generator for Real Time Hardware Co-simulation of Video Processing System" *Electronic Engineering and Computing Technology Volume 60 of the series Lecture Notes in Electrical Engineering* pp 227-236, 2010.
- [26] Wang G Y, Zhang X, Zheng Y, etc. A new modified hyperchaotic Lii system (J). *Physica A: Statistical Mechanics and its Applications*. 2006, 371 (2): 260-272.
- [27] Wang G Y, Shi X M, Qiu S S, etc. A chaotic system and its circuitry implementation (C). *Piscataway, Nj 08855-1331, United States: Institute of Electrical and Electronics Engineers Computer Society*, 2005. 1162-1164.
- [28] Liu, Zhiping, Jinhua Zhang, and Hanyu Liu. "Design of the differential chaos shift keying communication system based on DSP builder." *Computer Modelling & New Technologies* 138-143, 2014.
- [29] The MathWorks and Xilinx Plans web page: <http://www.mathworks.com/>