

DÜŞÜK DİSTORSİYONLU ANALOG ÇARPMA DEVRESİ

Rıza Can TARCAN¹ Hakan KUNTMAN²

^{1,2} Elektronik ve Haberleşme Mühendisliği Bölümü, Elektrik-Elektronik Fakültesi
İstanbul Teknik Üniversitesi, 80626, Maslak, İstanbul
Fax: +90-212-285 36 79

¹e-posta:rizacan@ehb.itu.edu.tr

²e-posta:kuntman@ehb.itu.edu.tr

Anahtar kelimeler: Devreler ve Sistemler, Analog Çarpma devreleri, Kısa Kanal Etkisi, Lineerlik

ABSTRACT

A new method has been proposed for reducing the mobility degradation effect on square-law characteristic of the MOS transistor. This method has been applied to an analog multiplier in order to get new low THD analog multiplier. The analog multiplier proposed is supplied with symmetrical voltages of $\pm 5V$. The variation range of each input is $\pm 3V$. The nonlinearity for V_x is % 0.3 and for V_y is %0.5.

1. GİRİŞ

MOS tranzistorun karesel davranışına dayanarak çalışan çarpma devrelerinin lineerliğini bozan başlıca etmenlerden biri kısa kanal etkisi sonucu mobilite azalmasıdır. Literatürde MOS tranzistorun karesel davranışına dayanarak çalışan birçok çarpma devresi [1]-[6] olmasına rağmen hiçbirinde kısa kanal etkisini azaltacak bir önlem alınmamıştır. Diğer bazı yüksek lineeritede [2] çarpma devrelerinde ise yitiren çoklu geçitli MOS tranzistorların yapılmasını olanak sağlayacak teknolojilerin kullanılması gerekmektedir. Bu çalışmada kısa kanal etkisini azaltacak bir yöntem tanımlanmış, bu yöntem bir çarpma devresine uygulanarak lineeritesi yüksek düşük distorsiyonlu yeni bir çarpma devresi elde edilmiştir. Ayrıca devrenin girişleri hem diferansiyel girişli hemde tek uçtan girişli olmaktadır. Elde edilen devrenin lineeritesi, TÜBİTAK 3 μ prosesinde, X girişi için %0.3, Y girişi için, %0.5 ve girişlerinin çalışma aralığı $\pm 3V$ 'dur. -3dB band genişliği X girişi için 11MHz, Y girişi için 10MHz'dir.

2.KISA KANAL ETKİSİNİN AZALTILMASI

Bilindiği gibi kısa kanal etkisi mobilite azalmasına neden olur ve bu SPICE Level-3 Modelinde θ ile modellenir. θ 'yu katarak tranzistorun I_D savak akımı kanal boyu modülasyonunu ihmal edilerek

$$I_D = \frac{\beta}{2} \frac{(V_{GS} - V_T)^2}{1 + \theta(V_{GS} - V_T)} \quad (1)$$

olarak yazılır. Buradan

$$V_{GS} - V_T = \frac{I_D \theta}{\beta} + \sqrt{\left(\frac{I_D \theta}{\beta}\right)^2 + \frac{2I_D}{\beta}} \quad (2)$$

bulunur. Eğer

$$\left(\frac{I_D \theta}{\beta}\right)^2 \ll \left(\frac{2I_D}{\beta}\right) \quad (3)$$

olacak şekilde düşük I_D akımlarında çalışırsak

$$V_{GS} - V_T \approx \frac{I_D \theta}{\beta} + \sqrt{\frac{2I_D}{\beta}} \quad (4)$$

yazılabilir. Eğer V_{GS} gerilimini $V_G + K.I_D$ şeklinde oluşturursak (4) bağıntısı

$$V_G + K.I_D - V_T \approx \frac{I_D \theta}{\beta} + \sqrt{\frac{2I_D}{\beta}} \quad (5)$$

şekline dönüşür.

$$K = \left(\frac{\theta}{\beta}\right) \quad (6)$$

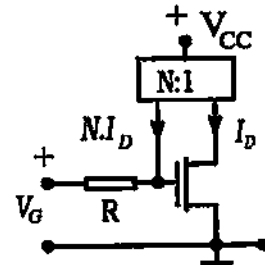
seçersek (5) bağıntısı

$$V_G - V_T \approx \sqrt{\frac{2I_D}{\beta}} \quad (7)$$

şekline dönüşür. Buda bize (3) şartı altında

$$I_D \approx \frac{\beta}{2} (V_G - V_T)^2 \quad (8)$$

olarak ideal MOS tranzistorun karakteristiğini verir. Bu fonksiyonu Şekil-1'deki gibi bir devreyle gerçekleştirebiliriz.



Şekil-1. Mobilite azalması etkisinin azaltılması
Şekil-1'de N:1 olarak gösterilen blok bir akım aynasıdır. R elemanı asıl devrede Şekil-6'daki devre ile gerçekleştirilmektedir. Burada (8) bağıntısının doğru olabilmesi için

$$N.R = K = \frac{\theta}{\beta} \quad (9)$$

olmalıdır.

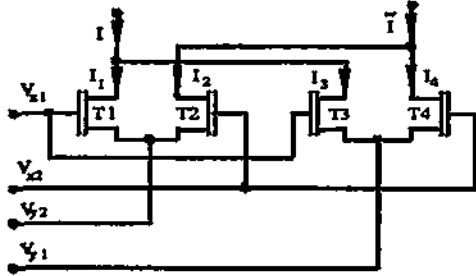
θ ihmal edilmeden ise (9) şartı altında Şekil-1 devresi

$$I_D = \frac{\beta}{\theta^2} \left[\sqrt{1 + \theta^2 (V_{GS} - V_T)^2} - 1 \right] \quad (10)$$

bağıntısını verir.

3. ÇARPMA DEVRESİNİN ÇALIŞMA İLKESİ

Önerilen çarpma devresinde Şekil-2'deki çarpma devresi [1] göz önüne alınmış, çarpma devresindeki T1, T2, T3 ve T4 tranzistorlarının yerine Şekil-1'deki devre gibi çalışan bir devre koyularak Şekil-3'deki devre elde edilmiştir. R direnci ve N katsayısı (9) şartını sağlayacak optimum değerlere getirilmiştir.



Şekil-2. Temel çarpma devresi

Şekil-2'deki devredeki her bir tranzistor için mobilite azalması etkisini katmak üzere I_1, I_2, I_3 ve I_4 için (1) denklemini kullanıp $I_0 = I_1 = I_2 = I_3 = I_4$ çıkış akımını gerekli düzeltmeler ve sadeleştirmeler yaptıktan sonra

$$\begin{aligned} V_{X1} - V_{X2} &= V_{DX}, \quad V_{Y1} - V_{Y2} = V_{DY}, \quad V_{X1} + V_{X2} = V_{CX} \\ V_{Y1} + V_{Y2} &= V_{CY} \text{ ve } a = 1 + \theta / 2 (V_{CX} - V_{CY} - 2V_T) \end{aligned} \quad (11)$$

şartları altında

$$I_0 = \frac{\beta V_{OX} V_{OY} a}{a^4 - a^2 \frac{\theta^2}{2} (V_{DX}^2 + V_{DY}^2) + \frac{\theta^4}{16} (V_{DX}^2 - V_{DY}^2)^2} \quad (12)$$

olarak buluruz. θ ihmal edilirse (12) denklemi bize

$$I_0 = I_1 = I_2 = I_3 = I_4 = B \cdot V_{DX} \cdot V_{DY} \quad (13)$$

çarpma fonksiyonunu verir. Tabii bu çalışmanın gerçekleşebilmesi için tranzistorlar için $V_{GS} - V_T > 0$ şartının V_{DX} ve V_{DY} 'nin değişim aralığı boyunca sağlanması gereklidir. Gerçekte ise θ nedeniyle harmonik distorsiyon ve intermodülasyon distorsiyonu oluşur. Şöyleki (12) formülün, θ^4 ' lü terim θ^2 yanında ihmal edilip seriye açılırsa

$$\begin{aligned} I_0 = \beta V_{OX} V_{OY} \left[1 - \frac{3\theta}{2} (V_{CX} - V_{CY} - 2V_T) \right] & \left[1 + \frac{\theta^2}{2a^2} (V_{DX}^2 + V_{DY}^2) + \right. \\ & \left. + \frac{\theta^4}{4a^4} (V_{DX}^2 + V_{DY}^2)^2 + \frac{\theta^6}{8a^6} (V_{DX}^2 + V_{DY}^2)^4 + \dots \right] \end{aligned} \quad (14)$$

bulunur. V_{CX} ve V_{CY} sabit tutulduğu farzedilirse $a = 1$ olarak sabit olur. V_{DX} sabit iken V_{DY} 'nin tek, V_{DY} sabit iken ise V_{DX} 'nin tek harmonikleri oluşur. Eğer V_{CX} veya V_{CY} sabit tutulamazsa hemen çift harmoniklerde oluşmaya başlar.

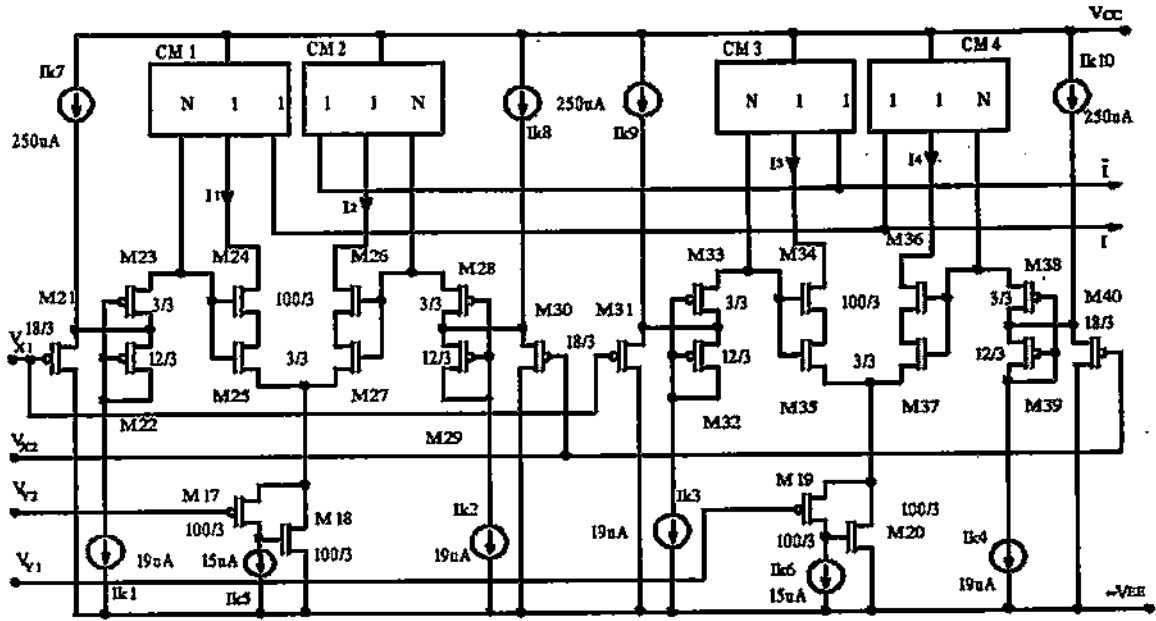
Önerilen devrede Şekil-2'deki her tranzistor için (10) bağıntısı geçerlidir. (10) bağıntısı seriye açılıp θ^4 ' den büyük terimler ihmal edildikten sonra, $I_0 = I_1 = I_2 = I_3 = I_4$ bağıntısını $b = V_{CX} - V_{CY} - 2V_T$ olmak üzere

$$\begin{aligned} I_0 = \beta V_{OX} V_{OY} \left[1 - \frac{\theta^2}{8} (V_{DX}^2 + V_{DY}^2) - \frac{3\theta^2}{8} b^2 + \right. \\ \left. \frac{\theta^4}{128} (3V_{DX}^4 + 3V_{DY}^4 + 10V_{DX}^2 V_{DY}^2 + 30b(V_{DX}^2 + V_{DY}^2) + 15b^3) \right] \end{aligned} \quad (15)$$

olarak elde ederiz. (14) ve (15) bağıntılarını karşılaştırdığımızda (14) bağıntısındaki V_{DX}^2 ve V_{DY}^2 katsayılarının $4/a^2$, V_{DX}^4 ve V_{DY}^4 katsayılarının ise $32/(3a^4)$ kere daha büyük olduğu olduğu gözükmektedir. Bunun yanında (15) bağıntısından anlaşılacağı üzere V_{CX} ve V_{CY} gerilimlerine bağlı oluşan distorsiyon Şekil-2'deki devrede daha fazladır. Çünkü (14)'de bu gerilimlerin katsayıları $3/2\theta$ iken (15)'de yaklaşık $3/2V_T\theta^2$ olduğu gözükmektedir. $\theta < 1$ olduğuna göre (15) serisinin katsayılarının (14) serisinin katsayılarına göre daha hızlı 0'a gittiğini ve harmoniklerin genliklerinin V_{DX} ve V_{DY} 'nin kuvvetlerinin genlikleriyle orantılı olduğuna göre yeni devrenin distorsiyonunun daha düşük olduğunu söyleyebiliriz.

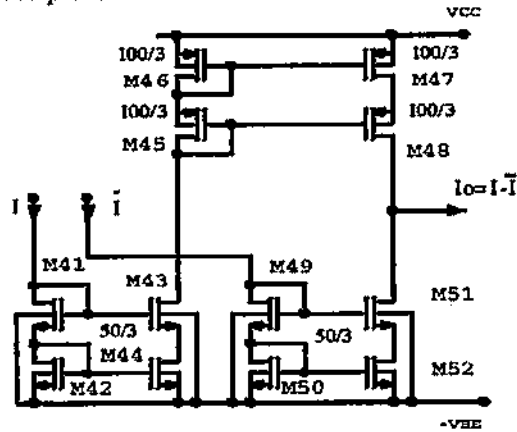
4. YÜKSEK DOĞRULUKLU ÇARPMA DEVRESİ

Çarpma devresi Şekil-3'de gözükmektedir. Çarpma devresinin V_{X1}, V_{X2}, V_{Y1} ve V_{Y2} gerilimleri Şekil-5'deki X ve Y girişleri için aktif yayıflatıcı devreleriyle oluşturulmaktadır. M17...M20 tranzistorları ise tampon devre vazifesi görmektedir. Çıkış I_0 akımı ise Şekil-4'deki I ve I akımlarının farkını alan akım aynalarından oluşan devre ile elde edilmektedir. Şekil-3'deki M25-M24, M26-M27, M34-M35 ve M36-M37 tranzistor çiftleri sırasıyla Şekil-2'deki T1, T2, T3 ve T4 tranzistorlarının yerine geçmektedir. CM1, CM2, CM3 ve CM4 ise hem Şekil-1'deki akım aynasının yerine geçmekte hemde çıkış devresi için gerekli I_1, I_2, I_3 ve I_4 akımlarını sağlamaktadır. Burada M24, M26, M34 ve M36 tranzistorlarının W/L oranları, M25, M27, M35 ve M37 tranzistorlarına göre yeterince büyük seçilerek M25, M27, M35 ve M37 tranzistorlarının doyuma sınırında çalışması sağlanmıştır. Bu durumda M25, M27, M35 ve M37 tranzistorlarının geçitlerinden ve savaklarından sürülmeleri durumunda V_{DS} gerilimleri yaklaşık $V_{GS} - V_T$ 'de kalması sağlanacağından aynı V_{GS} gerilimleri için aynı I_D akımı elde edilir. Böylece kanal boyu modülasyonunun V_{DX} veya V_{DY} girişleri için çalışmada oluşturacağı dengesizlik ortadan kalkmış olur.



Şekil-3. Yüksek doğruluklu çarpma devresi

Şekil-3'deki M22-M23, M28-M29, M32-M33 ve M38-M39 transistörleri ve bunlarla ilgili olan Ik1, Ik2, Ik3 ve Ik4 akım kaynaklarından oluşan devre Şekil-1'deki R direncini simüle etmektedir. Bu devrenin çalışması Bölüm-6'da anlatılacaktır. Diğer yandan M21, M30, M31, M40 transistörleri hem tampon devre görevini görmekte hemde M25, M27, M35 ve M37 transistörlerini V_{DX} ve V_{DY} gerilimlerinin değişim aralığı boyunca $V_{GS}-V_T > 0$ olacak şekilde kutuplamaktadır.

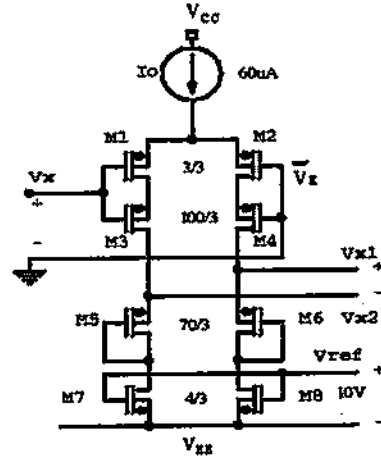


Şekil-4. Çıkış devresi

5. AKTİF ZAYIFLATICI DEVRELERİ

Şekil-3'deki çarpma devresindeki transistörler için (3) eşitsizliğinin geçerli olabilmesi için Aktif X ve Y zayıflatıcı devreleri kullanılmaktadır. Bu zayıflatıcılar $V_{X1}-V_{X2}=K(V_X - \bar{V}_X)$, $V_{Y1}-V_{Y2}=K(V_Y - \bar{V}_Y)$ olacak şekilde V_{X1} , V_{X2} , V_{Y1} , ve V_{Y2} gerilimlerini oluşturmaktadır. Her bir aktif zayıflatıcı devresi Şekil-5'teki gibidir. X aktif zayıflatıcısı görevini M1...M8

transistörleri, Y aktif zayıflatıcı görevini ise M9...M16 transistörleri yapmaktadır. Bu iki zayıflatıcı devresindeki transistörlerin işlevleri aynı olanlarının boyutları aynıdır. Sadece Y zayıflatıcı devresinin çıkışına kare alıcı transistörlerin akımlarının zayıflatıcı devreyi yüklemesini engellemek için M17...M20 transistörleri ve ilgili akım kaynaklarından oluşan tampon devre koyulmuştur.



Şekil-5. X ve Y girişleri için aktif zayıflatma devresi

M1, M2, M3 ve M4 transistörleri bir uzun kuyruklu devreyi oluşturmaktadır. M3 ve M4'lerin W/L oranları, M1 ve M2'lerine göre yeterince büyük seçilerek M1 ve M2 transistörlerinin doyuma bölgesi sınırında çalışması sağlanmaktadır. Bu durumda devrenin geçiş iletkenliğini M1 ve M2 transistörleri belirlemekte, uzun kuyruklu devrenin çıkış direnci ise M3 ve M4 sayesinde klasik uzun kuyruklu devreye göre daha büyük olmaktadır. M7 ve M8 transistörleri ise direnç bölgesinde çalışmakta olup θ 'nın zayıflatma üzerindeki nonlineer etkisini gidermek için

kullanılmaktadır. β_1 ve β_2 sırasıyla M1-M2 ve M5-M6 transistör çiftlerinin iletkenlikleri, I_1 ve I_2 ise M1 ve M2 transistörlerinin savak akımları olduğuna göre

$$\frac{I_1\theta}{\beta_1} + \sqrt{\frac{2I_1}{\beta_1}} - \left(\frac{I_2\theta}{\beta_1} + \sqrt{\frac{2I_2}{\beta_1}} \right) = V_x - \bar{V}_x = V_{OX} \quad (16)$$

yazılabilir. Diğer yandan M5, M6 transistörleriyle ve M7-M8 ile oluşturulan Rd direnci yardımıyla ise

$$\frac{I_1\theta}{\beta_2} + \sqrt{\frac{2I_1}{\beta_2}} - \left(\frac{I_2\theta}{\beta_2} + \sqrt{\frac{2I_2}{\beta_2}} \right) + Rd(I_1 - I_2) = V_{XZ} - V_{X1} \quad (17)$$

yazılabilir. Yukarıdaki (16) denklemini $\sqrt{\beta_1}$ ve (17) denklemini $\sqrt{\beta_2}$ çarpıp farkını aldıktan sonra Rd'yi uygun seçersek distorsiyona neden olan I_1 ve I_2 'li bileşenlerden bağımsız zayıflatma fonksiyonunu elde ederiz. Bunu sağlayan Rd direnci

$$Rd = \theta \left(\frac{1}{\sqrt{\beta_1\beta_2}} - \frac{1}{\beta_2} \right) \quad (18)$$

dir. Rd'nin bu değeri için

$$V_{XZ} - V_{X1} = \sqrt{\left(\frac{\beta_1}{\beta_2} \right)} V_{IX} \quad (19)$$

bulunur. Benzer şekilde aynı yoldan gidilerek Y aktif zayıflatması içinde

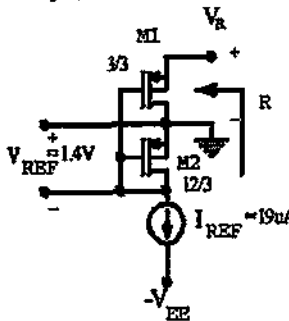
$$V_{YZ} - V_{Y1} = \sqrt{\left(\frac{\beta_1}{\beta_2} \right)} V_{IY} \quad (20)$$

bulunur. Üzerinde çalışılan devrede X ve Y zayıflatması için K zayıflatma katsayısı 0.2 seçilmiştir. Triod bölgesinde çalışan M7 ve M8 transistörlerinin β_n iletkenlikleri ise

$$\beta_n = \frac{1}{Rd(V_{ref} - V_T)} \quad (21)$$

olarak seçilmelidir.

6. DİRENÇ DEVRESİ



Şekil-6. R Direnç devresi

Direnç devresi Şekil-6'da görülmektedir. M1 transistörü direnç bölgesinde çalışmakta olup, M2 transistörü ile I_{REF} akım kaynağı yardımıyla kutuplanmaktadır. M1 transistörünün kutuplama gerilimi uygun seçilerek mobilite azalması etkisi yardımıyla direnç bölgesindeki M1 transistörünün

nonlineerliği giderilebilir. Şöyleki β_1 ve β_2 sırasıyla M1 ve M2 transistörlerinin iletkenlikleri olduğunu göz önüne alarak $V_{OFF} = V_{REF} - |V_{TP}|$ ve

$$V_{OFF} = \sqrt{\frac{2I_{REF}}{\beta_2}} \quad (22)$$

olmak üzere

$$G(V_R) = \frac{1}{R} = \frac{(V_{OFF} + V_R/2)(1 + \lambda V_R)}{1 + \theta(V_{OFF} + V_R)} \quad (23)$$

yazılabilir. (23) İletkenliği seriye açıldığında nonlineerliğe neden olan V_R 'nin kuvvetlerinden oluşan terimler oluşur. Lineerliği bozan ilk V_R teriminin katsayısını sıfırlayan V_{OFF} gerilimi

$$V_{OFF} = \frac{\theta - 2\lambda - \sqrt{4\lambda^2 - 12\lambda\theta + \theta^2}}{4\lambda\theta} \quad (24)$$

olarak bulunur. Bunun gerçekleşebilmesi için $\lambda < \theta/12$ olması gereklidir. Bu V_{OFF} gerilimi için elde edilen R direnci

$$R = \frac{4\theta^2}{\beta_1(3\theta - 2\lambda - \sqrt{4\lambda^2 - 12\lambda\theta + \theta^2})} \quad (25)$$

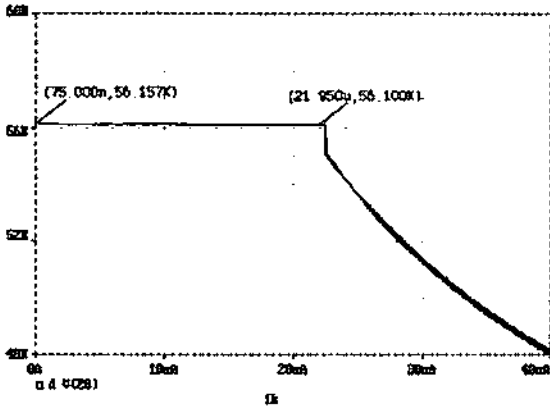
olur. Eğer λ ihmal edilirse R direnci

$$R = \frac{2\theta}{\beta_1} \quad (26)$$

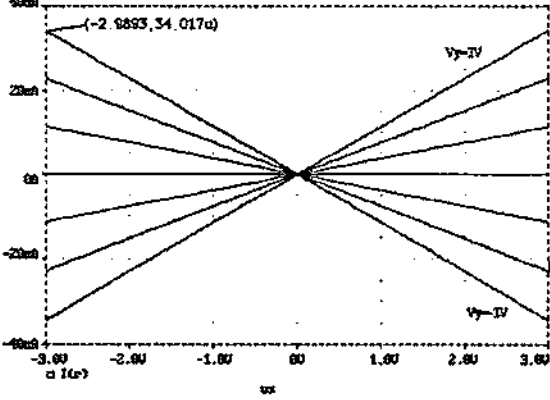
olarak elde edilir.

7. SİMULASYON SONUÇLARI

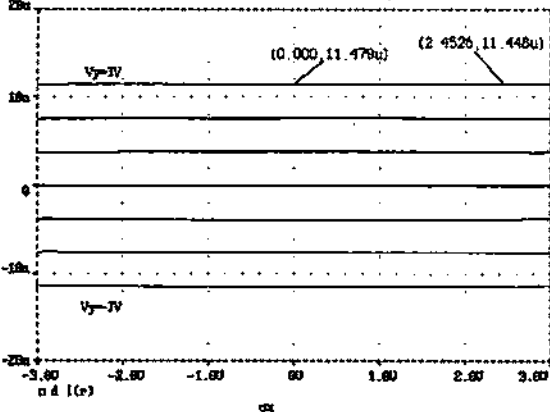
Simulasyonda TÖBİTAK 3μ prosesinin SPICE Level-3 parametreleri kullanılmıştır. Devre $\pm 5V$ ile beslenmektedir. X ve Y girişlerinin çalışma aralığı $\pm 3V$ 'dur. Zayıflatmada kullanılan Rd direnci 4900Ω ve Şekil-3'deki CM1, CM2, CM3 ve CM4 kaskod akım aynalarının N yansıtma katsayısı ise 0.08'dir. Direnç devresiyle elde edilen R direncinin değeri yaklaşık $56K \Omega$ 'dur. Şekil-7'de bu direncin hata eğrisi görülmektedir. $1.2V$ 'luk çalışma aralığında %0.1 gibi hata oluşmaktadır ki bu lineerlik hatası ve çalışma aralığı devre için yeterlidir. Şekil-8'de θ 'nın etkisi azaltıldığı durum için V_y 'nin çeşitli değerleri için çıkış akımının değişimi görülmektedir, Şekil-9'da ise bu duruma ilişkin lineerite hatası görülmektedir. $V_y = 3V$ için lineerite hatası %0.3 ve 100KHz'lik 3V genlikli bir sinyal için distorsiyon %0.15'dir. Şekil-10'da ise $N=0$ alınarak θ düzeltilmesi olmadığı durum için çıkış eğrisi görülmektedir, Şekil-11'de ise bu duruma ait lineerlik hatası görülmektedir. Görüldüğü gibi $V_y = 3V$ için hata %11 olmakta ve 100KHz'lik 3V genlikli bir sinyal için distorsiyon %2 olmaktadır. Benzer sonuçlar V_y girişi için aynı ölçüm koşullarında elde edilmiştir. Düzeltilme olduğu durumda $V_x = 3V$ için lineerite %0.5, distorsiyon ise %0.15'dir. Düzeltilme olmadığı durum için ise lineerite %6.6 ve distorsiyon %1 olmaktadır. Devrenin frekans bandı ise X girişi için 11 MHz, Y girişi için ise 10 MHz'dir.



Şekil-7. R direncinin lineerlik hatası



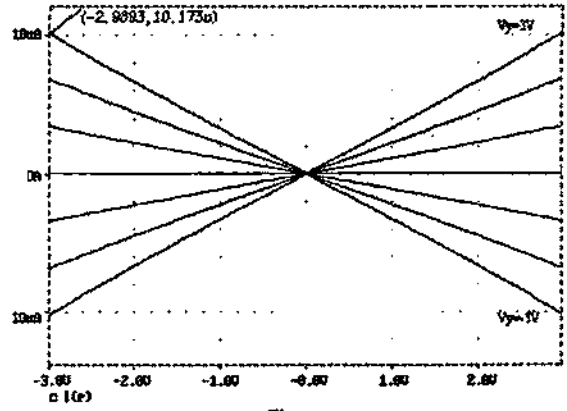
Şekil-8. $N=N_{opt}$ için I_o-V_x Eğrileri



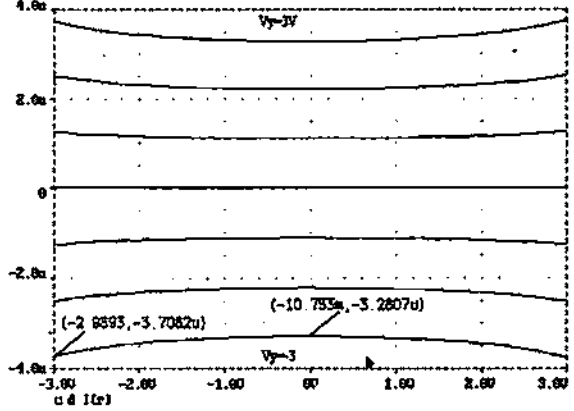
Şekil-9. $N=N_{opt}$ için lineerlik hatası

8. SONUÇ

Çarpma devrelerinin lineerliğini bozan başlıca etmenlerden biri olan kısa kanal etkisini azaltan bir yöntem tanımlanmış, bu yöntem bir çarpma devresine uygulanarak yeni bir düşük distorsiyonlu çarpma devresi elde edilmiştir. Devre $\pm 5V$ ile çalışmakta olup X ve Y girişlerinin çalışma aralığı $\pm 3V$ 'dur. X girişi için lineerlik hatası %0.3, Y girişi için ise %0.5'dir. 3dB band genişliği ise X girişi için 11MHz, Y girişi için ise 10MHz'dir. Bu arada yeni bir direnç devresi sunulmuş ve kısa kanal etkisi olumlu yönde kullanılarak yüksek lineerlikte bir direnç elde edilmiştir.



Şekil-10. $N=0$ için I_o-V_x Eğrileri



Şekil-11. $N=0$ için lineerlik hatası

KAYNAKLAR

- [1] Shen-Yuan Liu and Chen-Chieh Chang, 'Low Voltage CMOS Four Quadrant Multiplier', Electronics Letters, Voll 33, No 3, pp 207-208, 30th January 1997.
- [2] Hamid Reza Mehrvarz and Chee Yee Kwok, 'A Novel Multi-Input Floating-Gate MOS Four-Quadrant Analog Multiplier', IEEE Journal of Solid-State Circuits, Vol 31 No 8, pp 1123-1131, August 1996.
- [3] Ho-Jun Song and Choong-Ki Kim, 'An MOS Four-Quadrant Analog Multiplier Using Simple Two-Input Squaring Circuits With Source Followers', IEEE Journal of Solid-State Circuits, Voll 25, No 3, pp 841-848, June 1990.
- [4] Klaas Bult and Hans Wallinga, 'A CMOS Four-Quadrant Analog Multiplier', IEEE Journal of Solid-State Circuits, Vol sc-21, No 3, pp 430-435, June 1986.
- [5] Jesus S, Pena Finol and J. Alvin Conelly, 'A MOS Four-Quadrant Using The Quarter-Square Technique', IEEE Journal of Solid-State Circuits, Vol sc-22, No 6, pp 1064-1073, Dec 1987.
- [6] Z. Hong and H. Melchior, 'Four-Quadrant Analog Multiplier', Electronics Letters, Voll 20, No 24, pp 1015-1016, 22nd Nov 1984.