

MİKROELEKTRONİK UYGULAMALARINDA KULLANILMAYA UYGUN YENİ BİR POLİİMİD FİLM İLE MIS KAPASİTE YAPISI, ELEKTRİKSEL ÖZELLİKLERİ VE SPICE MODELİ

Ayten KUNTMAN¹

Hakan KUNTMAN²

¹Istanbul Üniversitesi, Mühendislik Fakültesi, Elektrik-Elektronik Mühendisliği Bölümü, Avcılar, 34850, İstanbul

Tel:0-212-591 19 98-1298 Faks: +90-212-591 19 97 E-Mail:akuntman@istanbul.edu.tr

²Istanbul Teknik Üniversitesi, Elektrik-Elektronik Fakültesi, Elektronik ve Hab. Müh. Bölümü 80626, Maslak, İstanbul

Tel: 0-212-285 36 47 Fax: +90-212-285 35 65 E-Mail:kuntman@ehb.itu.edu.tr

Anahtar sözcükler: Poliimid, MIS kapasite, MIS kapasite modelleri

ABSTRACT

In this work, using a new polyimide material suitable for microelectronics applications a metal-polyimide-silicon (MIS) structure was manufactured. The MIS capacitor exhibits a good voltage stability. Due to good electrical characteristics, the polyimide capacitors are suitable for realization of capacitors used to construct active circuits such as OTA-C filters, OTA-C oscillators, CCH- and FTFN-based immittance simulators. To represent the dielectric properties of the MIS capacitance a SPICE model is proposed. The accuracy of the proposed model is demonstrated by comparing the simulation results with experiments. The model proposed provides further possibilities to the IC designers and manufacturers.

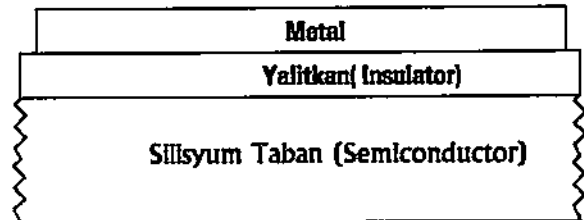
1. GİRİŞ

Polimerler mikroelektronik endüstrisinde oldukça önemli rol oynamakta, rezist olarak, aratabaka dielektriği olarak, paketleme gibi değişik aşamalarda yaygın olarak kullanılmaktadır. Özellikle poliimidler (PI), organik çözücülere ve yüksek sıcaklığa dayanıklıdır. Yüzey özellikleri ve elektriksel özellikleri de oldukça iyidir. VLSI ve ULSI uygulamalarında 0.5 µm'den daha küçük boyutlu bağlantılar için termal kararlılığı oldukça iyi olan ve düşük dielektrik sabitli dielektrik tabakalara gereksinme duyulur. Tümdevre yapı bloklarında eleman boyutlarının gittikçe küçülmesi, düşük dielektrik sabitli aratabaka dielektrik malzemelerine olan gereksinimi gittikçe artırmaktadır. Kısa bir süre önce, çok tabakalı arabaklama sistemlerinde kullanılmaya uygun poliimid malzemeler ve bunların özellikleri literatüre yansımıştır [1-4].

Daha önce yapılan çalışmalarda TÜBİTAK -Kimya bölümünde hazırlanan yeni bir poliimik asid kullanılarak TÜBİTAK-MAM YİTAL ve QUEL laboratuvarlarında silisyum taban üzerinde spin-on teknolojisi ile Metal-Poliimid-Silisyum (MIS) yapısında kapasiteler oluşturulmuş, oluşturulan MIS kapasitelerin elektriksel özellikleri araştırılmış, elde edilen sonuçlar tümdevre fabrikasyonunda yaygın olarak kullanılan dielektrik filmlerle karşılaştırılmıştır [2,3,5,6].

Bu çalışmada, kısa bir süre önce literatürde yer alan ve mikroelektronik uygulamalarına uygunluğu gösterilmiş olan bu poliimid malzemenin dielektrik özellikleri ele alınmış, bu şekilde oluşturulan metal-poliimid-yarıiletken (MIS) kapasitenin özellikleri incelenmiş, MIS kapasitenin C-V davranışını vermek ve SPICE benzetim programında tümdevre tasarımında kullanılmak üzere üzere bir MIS kapasite modeli verilmiş, bu modelin verdiği sonuçlarla ölçüm sonuçlarının uyumlu olduğu gösterilmiştir.

2. MIS YAPI



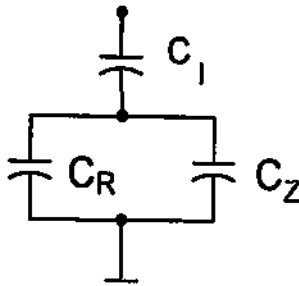
Şekil-1. MIS kapasite yapısı

Genel haliyle bir MIS (metal-insulator-semiconductor) yapısı Şekil-1'de görülmektedir. Şekil-1'deki yapı *sandviç benzeri* olarak isimlendirilen bir görünümde. Bir Si taban üzerine yalıtkan bir tabaka kaplanmış, bu yalıtkan tabakanın üzerinde de bir metal

tabakası oluşturulmuştur. Öyle bir yapıdaki yalıtkan için çeşitli malzemeler kullanılabilir. En yaygın kullanılan malzeme SiO_2 olmakta, bu durumda MOS kapasite elde edilmektedir.

2. MIS KAPASİTE MODELİ, MIS KAPASİTENİN C-V DAVRANIŞI

MIS yapının davranışını incelemek için literatürde önerilmiş olan matematiksel modeller bulunmaktadır [6-8]. MIS kapasitenin eşdeğer devresi Şekil-2'de gösterilmiştir. Bu modelde C_i geometrik kapasiteyi göstermektedir, C_R uzay bölgesi yükü, C_Z de arayüzey yüküdür.



Şekil-2 MIS kapasite modeli

C_i geometrik kapasite, C_R uzay bölgesi yükü kapasitesi ve C_Z arayüzey yükü kapasitesi

$$C_i = \frac{\epsilon_i A}{d_i} \quad (1)$$

$$C_R = -\frac{dQ_R}{dV_s} \quad (2)$$

$$C_Z = -\frac{dQ_Z}{dV_s} \quad (3)$$

bağıntılarıyla tanımlanmaktadır. (1) bağıntısında ϵ_i büyüklüğü yalıtkan malzemenin dielektrik sabiti, d_i büyüklüğü de yalıtkan tabakanın kalınlığıdır. C_Z arayüzey yükü kapasitesi normalde sıfır kabul edilebilir. Bu bağıntılarda Q_R uzay bölgesi yükü

$$|Q_R(V_s)| = A \left[4q\epsilon_{Si} n_i V_T \left(\cosh \frac{V_F - V_s}{V_T} - \cosh \frac{V_F}{V_T} + \frac{V_s}{V_T} \sinh \frac{V_F}{V_T} \right) \right]^{1/2} \quad (4)$$

Q_Z arayüzey yükü, V_s yüzey potansiyeli, V_T ısıt gerilim, V_F düzband gerilimi, q electron yükü, n_i has silisyumun yoğunluğu olmaktadır. Q_Z büyüklüğünün V_s gerilimine bağımlılığı fazla değildir ve $Q_{Z0} = 8.10^{-8}$ ile $Q_{Z0} = 8.10^{-8} \text{ As/cm}^2$ mertebesinde olmaktadır.

eşitliğiyle tanımlanır. Kapasiteye uygulanan gerilimle toplam yük arasındaki değişim, yüzey potansiyeli ile yapıya uygulanan V gerilimi arasındaki:

$$V(V_s) = V_s - V_k - \left(\frac{Q_R(V_s) + Q_Z(V_s)}{C_i} \right)$$

$$\approx V_s - V_k - \left(\frac{Q_R(V_s) + Q_{Z0}}{C_i} \right)$$

(5) ilişkiden hareketle hesaplanabilir. Bağıtıda V_k büyüklüğü temas potansiyelidir. Geometrik kapasite seri kapasite olarak yapıya eklenir. Böylece toplam kapasite

$$C_M = -\left(\frac{dQ_R}{dV_s} + \frac{dQ_Z}{dV_s} \right) \left/ \left[1 - \frac{1}{C_i} \left(\frac{dQ_R}{dV_s} + \frac{dQ_Z}{dV_s} \right) \right] \right. \\ = \frac{C_i(C_R + C_Z)}{C_i + C_R + C_Z} \approx \frac{C_i C_R}{C_i + C_R} \quad (6)$$

bağıntısıyla ifade edilebilir. dQ_R/dV_s bağımlılığı

$$\text{const} = A \sqrt{\epsilon_{Si} q n_i} \quad ; \quad (7)$$

olmak üzere

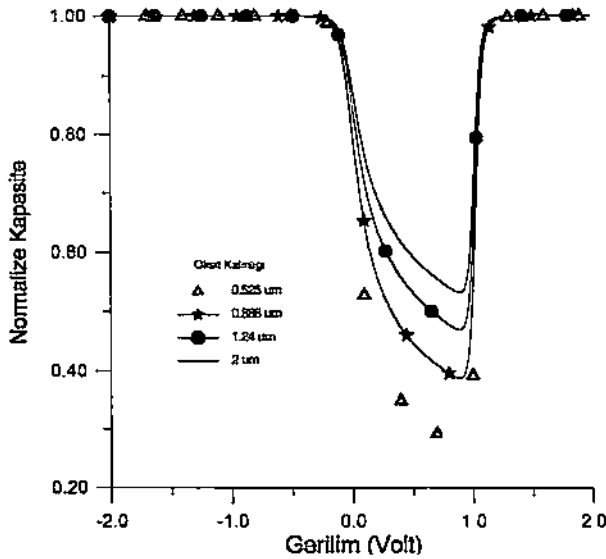
$$\frac{dQ_R}{dV_s} = \frac{\text{const} \left(\sinh \frac{V_F - V_s}{V_T} - \sinh \frac{V_F}{V_T} \right)}{\sqrt{V_T} \left[1 + \cosh \left(\frac{V_F - V_s}{V_T} \right) - V_T \cosh \left(\frac{V_F}{V_T} \right) + V_s \sinh \left(\frac{V_F}{V_T} \right) \right]} \quad (8)$$

bağıntısıyla verilmektedir. MIS kapasitenin gerilime bağımlılığı ancak (4)-(8) bağıntılarının nümerik olarak çözülmesiyle bulunabilir. Bağıntılardan fark edilebileceği gibi, C-V karakteristiğindeki dalgalanma, dQ_R/dV_s bağımlılığından ileri gelmektedir.

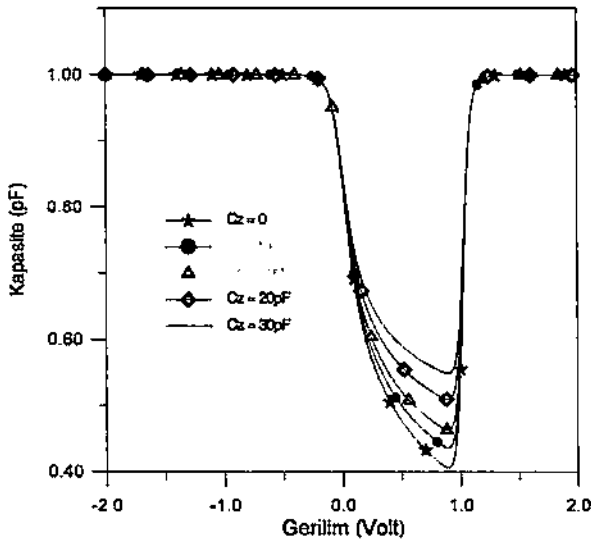
Son yapılan çalışmalarda, MIS kapasite için önerilmiş olan model, poliimid kapasiteye göre düzenlenmiş, nümerik çözüm yerine analitik çözümü sağlayabilecek bir yöntem geliştirilmiş, modelin parametreleri bu malzemeye göre optimize edilmiş, hesap sonuçlarının ölçüm sonuçlarıyla uyumlu oldukları gösterilmiştir [7,8]. Yine, aynı çalışmalarda, bu malzeme ile elde edilen birkaç 10 pF mertebesindeki kapasite değerlerinin OTA-C devreleri, akım taşıyıcı RC devreleri, FTFN, RC devreleri gibi aktif devre yapılarının tümelştirilmesine uygun olacağı vurgulanmıştır. Bu nedenle, söz konusu kapasitelerin SPICE benzetim programına katılmasını sağlayacak bir model, tümdevre tasarımcısına yararlı olacaktır.

Şekil-2'de gösterilen modelden hareketle ve (1)-(8) bağıntılarından yararlanılarak bir MOS yapı için elde edilecek C-V değişimi de Şekil-3'de gösterilmiştir. Eğriler, oksit kalınlığı parametre alınarak çizilmiştir. Şekilden fark edilebileceği gibi, oksit kalınlığı arttıkça minimum noktası yukarıya doğru ötelenmektedir. Poliimide oluşturulan MIS yapı söz konusu olduğunda, minimum noktasının büyük gerilimler

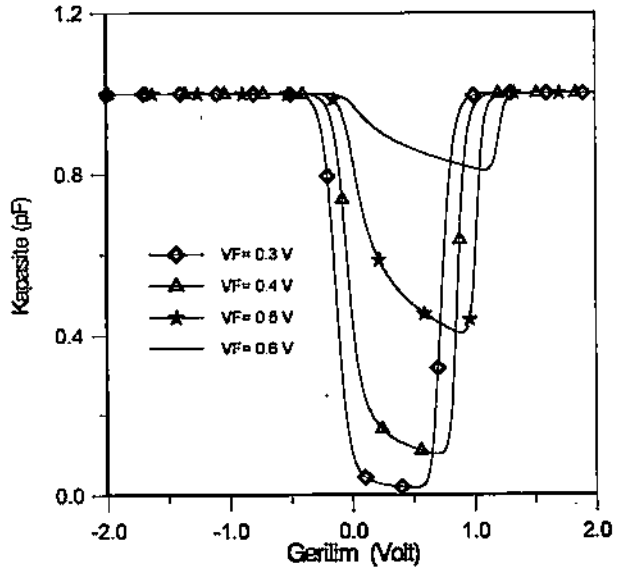
bölgesine doğru ötelenildiği , maksimum ve minimum değerler arasındaki farkın azaldığı ölçüm sonuçlarından gözlenmektedir. Bu nedenle V_F ve C_Z parametrelerinin toplam C-V karakteristiği üzerine etkisi de incelenmiş, Şekil-4 ve Şekil-5'de verilmiştir.



Şekil-3. Tipik MIS (MOS) C-V eğrileri, eğriler (1)-(8) bağıntılarından yararlanılarak çizilmiş ve oksit kalınlığı parametre olarak alınmıştır; temel büyüklükler: $V_F = 0.5V$, $A=0.02cm^2$, $\epsilon_{SiO_2}=4$, $V_T=26mV$, $\epsilon_H=11.4$, $q=1.6 \times 10^{-19}$ Coulomb.



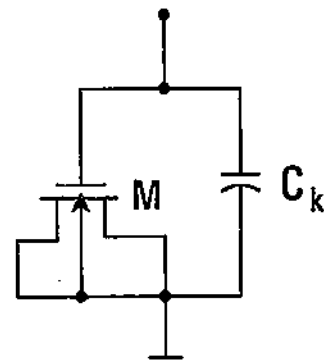
Şekil-4. Tipik MIS (MOS) C-V eğrileri, eğriler (1)-(8) bağıntılarından yararlanılarak çizilmiş ve C_Z arayüzey yükü kapasitesi parametre olarak alınmıştır; temel büyüklükler: $V_F = 0.5V$, $A=0.02cm^2$, $\epsilon_{SiO_2}=4$, $V_T=26mV$, $\epsilon_H=11.4$, $q=1.6 \times 10^{-19}$ Coulomb.



Şekil-5. Tipik MIS (MOS) C-V eğrileri, eğriler (1)-(8) bağıntılarından yararlanılarak çizilmiş ve V_F olarak alınmıştır; temel büyüklükler: $C_Z=6pF$, $A=0.02cm^2$, $\epsilon_{SiO_2}=4$, $V_T=26mV$, $\epsilon_H=11.4$, $q=1.6 \times 10^{-19}$ Coulomb.

Şekil-4 ve Şekil-5'den fark edilebileceği gibi, C_Z arttıkça minimum noktası yukarıya doğru ötelenmekte, yine V_F değeri artırıldıkça minimum noktası yukarıya ve büyük gerilim değerlerine doğru ötelenmektedir. Poliimid kapasiteler üzerinde yapılan ölçümler, MOS kapasitelerin aksine, C_Z büyüklüğünün sıfır alınmayacağını, ayrıca V_F değerinin de NOS yapıdakinden daha yüksek olması gerektiğini ortaya koymuştur. SPICE benzetim programına katılacak bir MIS modelinin de bu özellikleri temsil edebilmesinin gerekeceği açıktır.

3. SPICE BENZETİMİ İÇİN MIS KAPASİTE MODELİ



Şekil-6 Önerilen SPICE MIS kapasite modeli

SPICE benzetimi için kullanılabilecek MIS kapasite modeli Şekil-6'da verilmiştir. Model bir MOS tranzistordan ve bir de sabit değerli C elemanından oluşmaktadır. Toplam kapasitenin MOS tranzistör ve sabit değerli C elemanı arasındaki paylaşımı, MIS yapının C-V karakteristiğindeki maksimum ve

minimum değerler arasındaki fark ile belirlenmiştir. Yapıdaki MOS tranzistörün D, S ve B uçları referansa bağlanmıştır. Bu şekilde kutuplanmış bir MOS tranzistörle bir MOS kapasite modellenenbilir. Ancak, bu model MIS kapasitenin modellenmesi için yeterli değildir. Bu nedenle, sabit değerli C elemanı da geçitle referans arasına paralel bağlanmıştır. C-V karakteristiğindeki dalgalanma, MOS tranzistörün geçit kapasitesi ile sağlanmaktadır. MOS tranzistör için SPICE 3. düzey modelinde yer alan Ward kapasite modelinden yararlanılmıştır. Ward modeli geçit ve tabandaki yükü analitik olarak bulur. Kanaldaki yük fark alınarak bulunur ve X_{QC} parametresi ile savak ve kaynağa bölünür. Kanal yükü

$$Q_{ch} = Q_D + Q_S = -(Q_G + Q_B) \quad (9)$$

$$Q_D = X_{QC} Q_{ch} \quad (10)$$

$$Q_S = (1 - X_{QC}) Q_{ch} \quad (11)$$

geçit yükü

$$Q_G = C_{ox} W L_{eff} \left(V_{GS} - V_{TH} - 2\phi_p + \sigma V_{DS} - \frac{F_{IS}}{2} + \frac{1 + F_B}{12 F_i} V_{DS}^2 \right) \quad (12)$$

$$F_i = V_{GS} - V_{TH} - \frac{1 + F_B}{2} V_{DS} \quad (13)$$

Tabandaki yük ise

$$Q_B = C_{ox} W L_{eff} \left[\gamma F_s \sqrt{2\phi_p - V_{TH}} + F_n (2\phi_p - V_{TH}) + \frac{F_B}{2} V_{DS}^2 \right] \left[-\frac{F_B(1 + F_B)}{12 F_i} V_{DS}^2 \right] \quad (14)$$

bağıntılarıyla verilmektedir. Bağıntılarda C_{ox} birim yüzey başına oksit kapasitesi, W kanal genişliği, L_{eff} etkin kanal boyu, $2\phi_p$ Fermi potansiyeli, γ gövde etkisi faktörü olmaktadır. Oluşturulan modelde MOS tranzistörün D, S ve B uçları kısa devre edilmiş olduğundan, yeni yapı için bu bağıntılar basitleştirilebilir.

Şekil-4'deki yapıda toplam kapasite

$$C_M = C_G + C_k \quad (15)$$

şeklinde. Geçit kapasitesi ve sabit kapasite de

$$C_G = k C_M \quad (16)$$

$$C_k = (1 - k) C_M$$

bağıntılarıyla ifade edilmektedir.

4. SPICE BENZETİMİ SONUÇLARININ DENEYSEL SONUÇLARLA KARŞILAŞTIRILMASI

TÜBİTAK, GEBZE Kimya Mühendisliği Bölümü'nde sentez edilen poliamik asit ($T_g = 267^\circ\text{C}$) P tipi <100> yüzeyli direnci 10-20 (olan pullar üzerine spin-on tekniği ile 2500-6500 devir/dakika'lık hızlarda 40

saniiye süre ile serilmiş, daha sonra 180°C de 2 saat fırında azot atmosferinde (0.5 birim) imidleştirilmiştir. İmidleştirme işleminden sonra nanometrics (210 x P scanning UV) ile pullar üzerindeki poliimid kalınlıkları belirlenerek dielektrik kalınlıklarının 8000°Å ile 14000°Å arasında olduğu saptanmış, poliimid üzerine buharlaştırarak metal kaplanmıştır. Fotorezist işlemleri uygulanarak Alüminyum şekillendirilmiş ve MOS yapılar benzer şekilde bir MIS kapasite oluşturulmuştur. Kapasitenin yüzeyi $A = 2 \times 10^{-2} \text{ cm}^2$ değerindedir.

Oluşturulan MIS kapasitelerin kapasite-gerilim değişimleri ve dielektrik ölçümleri Keithley 590 CV analyzer kullanılarak belirlenmiştir. Kapasite ölçümleri 1 kHz ve 1 MHz lik sabit frekanslarda yapılmıştır. (Ayten Kuntman)

SPICE modelinin doğruluğunu test etmek üzere, benzetimden elde edilen C-V ölçüm sonuçlarıyla karşılaştırılmıştır.

SPICE benzetiminde kullanılan model parametreleri Tablo-1'de verilmiştir. SPICE benzetiminden elde edilen C-V eğrisi ölçüm sonuçlarıyla birlikte Şekil-7'de görülmektedir.

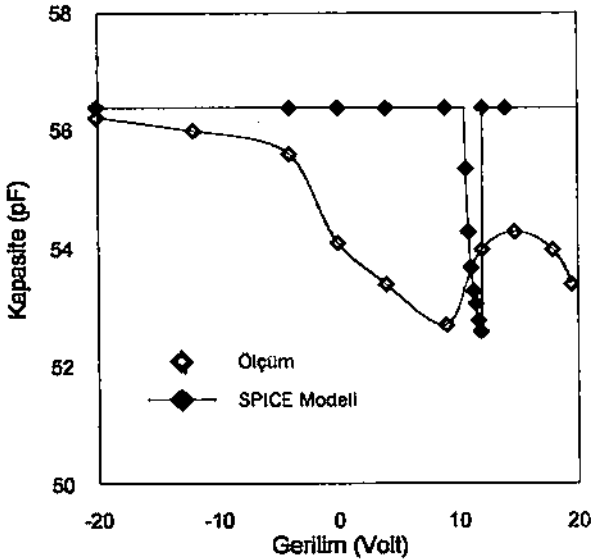
Tablo-1. SPICE benzetiminde kullanılan NMOS model parametreleri

.MODEL nb NMOS LEVEL=2 LD=0.414747U
TOX=1.13E-6 NSUB=5E15 VTO=12 KP=105E-6
GAMMA=0.981 PHI=0.65 UO=656 UEXP=0.211012
UCRIT=107603 DELTA=3.53172 VMAX=100000
XJ=0.4U LAMBDA=0.0107351 NFS=1E11
NEFF=1.001 NSS=1E12 TPG=1 RSH=9.925
CGDO=2.83588E-10 CGSO=2.83588E-10
CGBO=7.968E-10 CJ=0.0003924 MJ=0.456300
+CJSW=5.284E-10 MJSW=0.3199 PB=0.7 XQC=.5

Modelde $X_{QC} = 0.5$ alınmış ve yük D ve S uçlarına eşit olarak dağıtılmıştır. Sabit değerli C_k kapasitesi $C_k = 49 \text{ pF}$ olarak alınmış, modelde yer alan MOS tranzistörün boyutları da $W=141.4 \mu$ ve $L=141.4 \mu$ olarak, yani toplam kapasitenin 1/10 değerini verecek biçimde seçilmiştir.

Şekil-5'den kolayca görülebileceği gibi, SPICE benzetimi yardımıyla elde edilen C-V eğrisi, ölçüm sonuçlarıyla uyumluluk göstermektedir. Her iki eğri de büyük gerilim değerlerine gidildiğinde bir minimum noktasından geçmektedirler. Ölçüm sonuçları $V=9.8 \text{ V}$ için $C=52.73 \text{ pF}$ değerinde bir minimum kapasite değeri vermektedir. SPICE modeli ise $V=11.5 \text{ V}$ için $C=52.55 \text{ pF}$ değerinde bir minimum göstermektedir. Önerilen SPICE modeli, ölçüm sonuçlarından elde edilenle benzer karakterde bir değişim ortaya koymaktadır. Elde edilen kapasite, uygulanan gerilim için geniş bir aralıkta sabit değer göstermektedir; kapasite değeri büyük gerilimlerde bir minimumdan geçmekle birlikte bu minimum noktası ile maksimum arasındaki fark büyük değildir ve kapasitenin tüm bölge boyunca sabit kalacağı kolayca kabul edilebilir. Kapasitenin tüm bölge boyunca sabit

kalabileceğinin kabul edilebilmesi, bu tür bir yapı için önemli bir özelliktir. Bu çalışmada elde edilen kapasite değerleri birkaç 10 pF mertebesinde. Daha önce de değinildiği gibi, poliimidler (PI) VLSI uygulamalarında gittikçe yaygınlaşan bir kullanım alanı bulmaktadır. Bu malzeme aratabaka yalıtkanı olarak kullanılabileceği gibi, tümdevre yapı içerisinde birkaç on pF'dan 100pF'lara kadar uzanan bölgede kararlı kapasite yapılarının oluşturulması amacıyla da bu malzemeden yararlanma olanağı bulunmaktadır. Bu nedenle, söz PI ile oluşturulan MIS kapasitelerin modellenmesinin SPICE benzetim programında yer almasının, bu uygulamalarla uğraşan tasarımcılara yeni ufuklar açacağı açıktır.



Şekil-5. MIS kapasite için SPICE benzetimiyle ve ölçüm sonucunda elde edilen C-V karakteristiği.

5. SONUÇ

Bu çalışmada, mikroelektronik uygulamalarında kullanılmaya uygun yeni bir poliimid film ile oluşturulan MIS kapasite yapısı için SPICE modeli önerilmiştir. MIS yapıda kullanılan poliimid malzeme, SiO₂ ve silisyum nitride gibi VLSI devrelerde kullanılan diğer dielektrik malzemelere göre daha düşük kapasite değerleri vermekte, oluşturulan MIS kapasite iyi bir gerilim stabilitesi göstermektedir. Bu nedenle, söz konusu malzeme aratabaka yalıtkanı olarak kullanılmanın yanısıra, tümdevre yapı içinde tümleşik kondansatör oluşturmaya da uygun

düşmektedir. Bu malzeme ile elde edilen birkaç 10 pF mertebesindeki kapasite değerlerinin OTA-C devreleri, akım taşıyıcı RC devreleri, FTFN RC devreleri gibi aktif devre yapılarının tümleştirilmesine uygun olacağı daha önce yapılan çalışmalarda vurgulanmıştır. Bu nedenle, söz konusu kapasitelerin SPICE benzetim programına katılmasını sağlayacak bir model, tümdevre tasarımcısına yararlı olacağı açıktır.

Kaynaklar:

1. Sacher, E.: *Dielectric Properties of Polyimide Film, II, dc Properties*, IEEE Transactions on Electrical Insulation, Vol.14 (1979), p.85-93.
2. Kuntman, A., Yılmaz, T., Güngör, A. and Baysal, B.M.: *Electrical Properties of a new polyimide film for Microelectronics Applications*, Chimia, Journal for Chemistry; Proceedings of IUPAC'97, No.7, p.51, 1997.
3. Kuntman, A., Yılmaz, T., Güngör, A., Baysal, B.: *A New Polyimide Film for Very Large-Scale Integration (VLSI) and its Electrical Characterization*, In: IEEE Transactions on Dielectrics and Electrical Insulation, Vol.5 (1998), April 1998, p 296-300.
4. Maier, G., Banerjee, S.: *Polymers for low dielectric constant / high temperature applications in microelectronics*, Proceedings of IUPAC'99 Conference, p.237, 14-19 August 1999, Berlin, Germany.
5. Yılmaz, T.: *MS Thesis, "Polyimide Synthesis, Characterization and Kinetic Investigation of Polyimide"*, Istanbul Technical University, Institute of Science and Technology, 1994.
6. Möschwitzer, A., Lunze, K.: *Halbleiterelektronik*, Hüthig Verlag, Heidelberg, pp 119-124, 1987.
7. A. Kuntman, H. Kuntman, On the properties of a new polyimide film suitable for interlayer dielectric applications in very large-scale integration (VLSI), Proc. Of OPTIM 2000: Optimization of Electrical and Electronic Equipment, May 11-12, 2000, Brasov, ROMANIA, pp. 759-764.
8. A. Kuntman and H. Kuntman, 'A Study on Dielectric Properties of a New Polyimide Film Suitable for Interlayer Dielectric Material in Microelectronics Applications', accepted for publication in Microelectronics Journal, 2000.