

GEÇİŞ TRANSİSTÖR LOJİĞİ İLE CMOS SAYISAL SİNAPTİK ÇARPICI SENTEZİ

Mutlu AVCI¹

Tülay YILDIRIM²

^{1,2}Elektronik ve Haberleşme Mühendisliği Bölümü
Elektrik-Elektronik Fakültesi

Yıldız Teknik Üniversitesi, 80750, Beşiktaş, İstanbul

¹e-posta: mavci@yildiz.edu.tr

²e-posta: tulay@yildiz.edu.tr

Anahtar sözcükler: Geçiş Transistör Lojiği, Sayısal Tümdevre Sentez, Sinaps

ÖZET

Bu çalışmada sayısal yapay sinir ağı donanım uygulamasında Sinaps gerçekleştirilmesi için önemli bir kısım olan çarpıcı ünitesi tasarlanmıştır. Bu tasarımda [1] de yer alan metod tanıtılmış ve çarpıcı tasarımına uygulanmıştır. Metodun kodlama, gerçekleştirme ve basitleştirme adımları sonucu elde edilen çarpıcı devresi Yital 1.5m parametreleri ile Hspice ortamında simüle edilmiş ve sonuçlar kıyaslanmıştır.

1. GİRİŞ

Geçiş transistör lojiği (GTL) standart CMOS tasarıma göre serme (layout) yoğunluğu, devre gecikmesi ve güç harcama konularında oldukça avantajlıdır ve boru hattı (pipelined) yapısında devrelerin tasarımına oldukça uygundur. GTL tasarımda istenen fonksiyon MOS transistör ağı ile gerçekleştirilmektedir. GTL ile devre tasarımları genellikle temel lojik blok elemanların oluşturulması ve daha sonra bu blokların birleştirilmesi ile gerçekleştirilmektedir. Bu bloklar genellikle ikinci düzeye kadar gerçekleştirilen temel lojik kapılardır [2].

GTL devreleri temelde iki gruba ayrılabilir bunlar CMOS geçiş transistörlü yapılar ve NMOS geçiş transistörlü CMOS restore tamponlu yapılardır [1].

Baştan aşağı GTL devre tasarımı gerçekleştirmek için geliştirilmiş, fonksiyonu sofistike bir tasarımla uygulayan pek fazla tasarım yöntemi mevcut değildir. [2,3]. Bu çalışmada [1] de tanımlanan yeni bir geçiş transistörlü baştan aşağı tasarım metodu kullanılarak sayısal bir CMOS çarpıcı tümdevre tasarımı yapılmıştır. Bu tasarım yapay sinir ağlarının donanım uygulamaları için sayısal sinaptik çarpıcı olarak veya DSP kırımlarının temel yapı birimlerinden biri olan çarpıcı elemanı olarak uygulama alanlarına sahiptir. 2-bit çarpıcı temel CMOS yapı bloğu kullanılarak

gerçekleştirilmiş ve Hspice ortamında YITAL 1.5 μ parametreleri ile simüle edilmiş, simülasyon sonuçları gösterilmiştir. İstenirse önerilen metod kullanılarak istenen çözünürlükte çarpıcı yapılabilir.

2. TASARIM METODU

Metod kodlama, gerçekleştirme ve basitleştirme adımlarına sahiptir. Kodlama adımı karar diyagramı ile lojik fonksiyon arasında bir transformdur, gerçekleştirme adımı karar diyagramından devreye dönüşü göstermektedir, basitleştirme adımı tekrarlanan blokların birleştirilmesi ile indirgemeyi sağlamaktadır. [1]

2.1 Kodlama

Kodlamadan önce bir değişken geçiş diğerleri kontrol değişkeni olarak seçilmelidir. Üç adet a, b, c değişkenine sahip bir fonksiyonumuz olsun. Burada c değişkenini geçiş değişkeni alınırsa, denklem (1) deki k_1 değişkeninin yerini alır. Burada k_1 , 0, 1, c ve \bar{c} değerlerini alabilir. Bu üç değişkenle her fonksiyon F denklem (1) deki formulla ifade edilebilir.

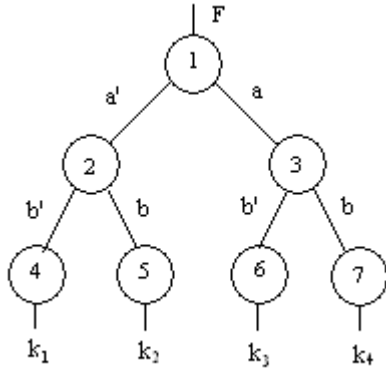
$$F = a'.b'.k_1 + a'.b.k_2 + a.b'.k_3 + a.b.k_4 \quad (1)$$

The F fonksiyonu için değer tablosu Tablo1 de yer almaktadır.

a	b	F
0	0	k_1
0	1	k_2
1	0	k_3
1	1	k_4

Tablo 1 Fonksiyon için değer tablosu

Şekil 1 de denklem (1) için karar diyagramı görülmektedir.



Şekil 1 Karar Diyagramı

Şekil1 de görülen k değişkenlerinin konkatasyonu ile F fonksiyonu kodlanmaktadır. Denklem (2) de F fonksiyonunun kodlanmış hali görülmektedir.

$$F = k_1 k_2 k_3 k_4 \quad (2)$$

Her k değişkeni için iki bitlik kodlama Tablo2 de görülmektedir.

Kod	00	01	10	11
F	0	c'	c	1

Tablo 2 Geçiş değişkeni c'nin iki bit kodlanması

Örnek olarak,

$$F = a' . b' . c + a . b' + a . b . c' \quad (3)$$

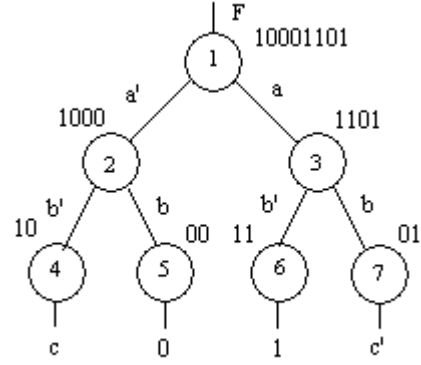
denklem (3)'ün kodlanmış hali denklem (4) de görülmektedir.

$$F = 10001101 \quad (4)$$

Daha çok değişken için Şekil 1 de görülen karar diyagramı daha çok sayıda bileşen içerecektir ve değişkenleri adı değişecektir. Fakat iki bitlik kodlama aynı şekilde yeni geçiş değişkenine göre adapte edilecektir ve aynı şekilde geçerli olacaktır.

Bu kodlama 123 karar diyagramı tasarım metodu için kullanılabilir. 123 karar diyagramı NMOS geçiş transistör lojisi ve restorasyon tamponları içeren bir tasarım metodudur [4].

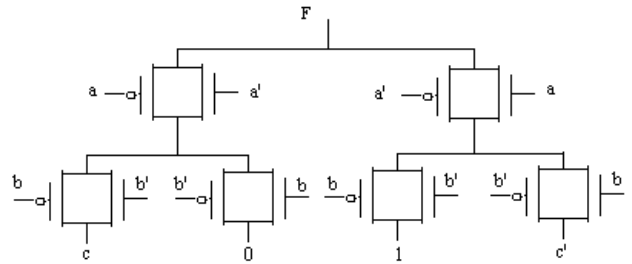
Eğer kodlanmış F, Şekil 2 deki gibi ayrıştırılırsa, kodlama ile karar diyagramının uyumluluğu gözlenmektedir. Bu Şekil kodlamanın geçerliliğini ispatlamıştır.



Şekil 2 Kodlanmış karar diyagramı

2.2 Gerçekleme

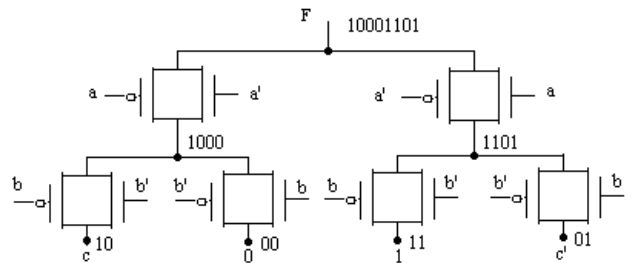
Kodlamadan sonra gerçekleştirme adımı yer alır. Bu adım karar diyagramını direkt olarak devreye dönüştürme adımıdır. Şekil 2 deki düğümler arası bağlantılar CMOS geçiş transistörleri ile yer değiştirilmiştir. Şekil 2 deki çizgiler kontrol değişkenleri olmaktadır. Devre realizasyonu Şekil 3 de görülmektedir.



Şekil 3 Karar diyagramının devre dönüşümü

2.3 Basitleştirme

Basitleştirme adımının temeli aynı blokların tekrarlanmamasını sağlamaktır. Kodlama adımı bu adım için yapılmıştır. Aynı koda sahip düğümler birleştirilmekte böylece devrede aynı işleve sahip lojik kısımlar saptanmış ve indirgenmiş olmaktadır. Şekil 4 te kodlama, gerçekleştirme adımlarından sonra her düğümün kodlanmış hali görülmektedir.



Şekil 4 Basitleştirme için kodlanmış devre

Konkatasyon işlemi ters uygulanarak her düğümün kodu elde edilebilir. Sonra en alt düzeyden en üste doğru aynı koda sahip düğümler birleştirilip birinin alt kısmındaki devre silinir. İki indirgenme konumu

mevcuttur. Bunlar:

- 1) Eğer iki düğüm aynı koda sahipse birleştirilebilir ve bir yol iptal edilir.
- 2) Eğer bir düğüm 11111111, 00000000, 1111, 0000, 1111111111111111 veya 0000000000000000 gibi tek tip koda sahipse bu kodlar sadece 11 veya 00 olarak sadeleştirilebilir [1].

3. UYGULAMA DEVRESİ

Metod kullanılarak statik sinaptik 2 bit çarpıcı gerçekleştirildi. İkişer bitlik a_1a_0 ve b_1b_0 2 şer bitlik en yüksek değerlikli bittten en düşük değerlikli bite göre yazılmış sayısal numaralar çarpıcıya giriş olsun. Çıkış en fazla 4 bit olacaktır. Basitleştirmek maksadıyla değişkenler denlem (5), (6) ve (7) deki gibi kombine edilmiştir. Çıkış fonksiyonları birleştirilmiş değişkenlere göre denklemler (9), (10), (11), (12) ve (8) de gösterilmektedir. Onların CMOS geçiş transistör gerçeklemeleri Şekil 5,6,7,8,9,10,11 ve 12 de görülmektedir.

$$x = a_1 \cdot b_0 \quad (5)$$

$$y = a_0 \cdot b_1 \quad (6)$$

$$z = a_1 \cdot b_1 \quad (7)$$

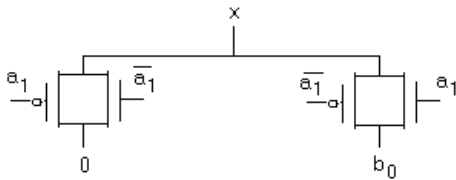
$$c_1 = x \cdot y \quad (8)$$

$$F_0 = a_0 \cdot b_0 \quad (9)$$

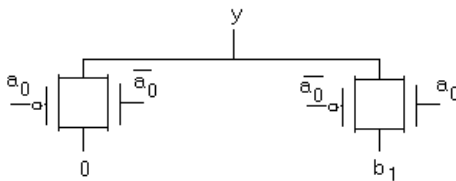
$$F_1 = x \cdot y' + x' \cdot y \quad (10)$$

$$F_2 = c_1' \cdot z + c_1 \cdot z' \quad (11)$$

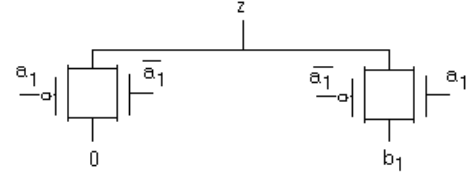
$$F_3 = c_1 \cdot z \quad (12)$$



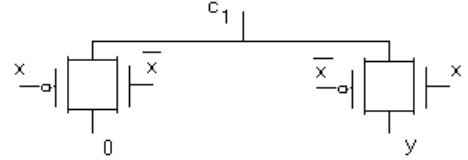
Şekil 5 x değişkeninin devre gerçeklemesi



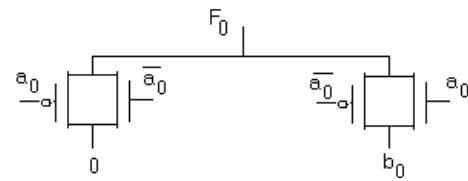
Şekil 6 y değişkeninin devre gerçeklemesi



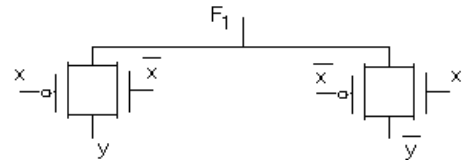
Şekil 7 z değişkeninin devre gerçeklemesi



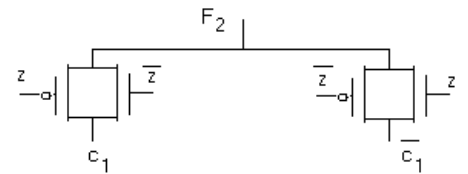
Şekil 8 c1 değişkeninin devre gerçeklemesi



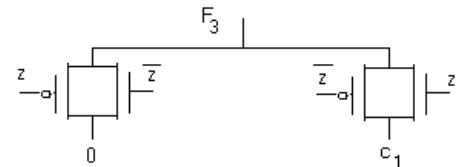
Şekil 9 F0 çıkış değişkeninin devre gerçeklemesi



Şekil 10 F1 çıkış değişkeninin devre gerçeklemesi



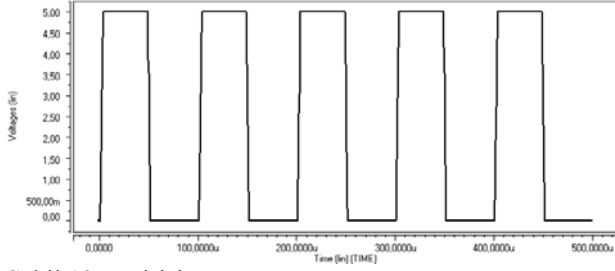
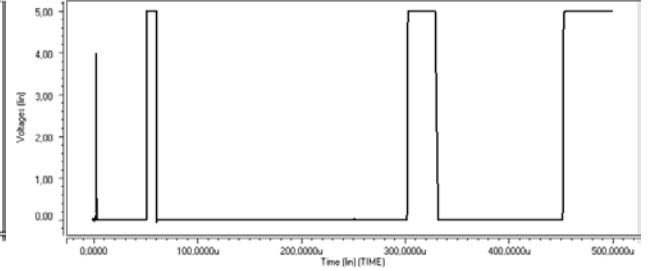
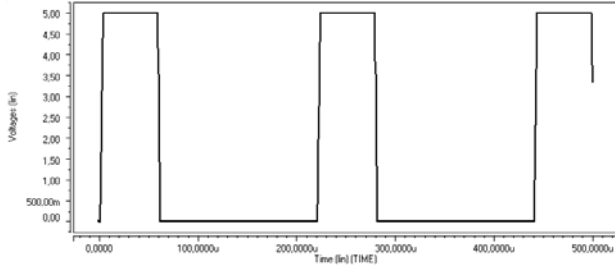
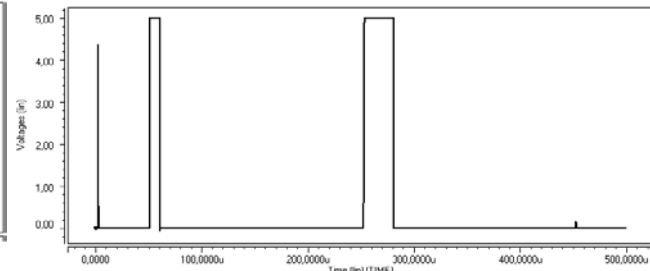
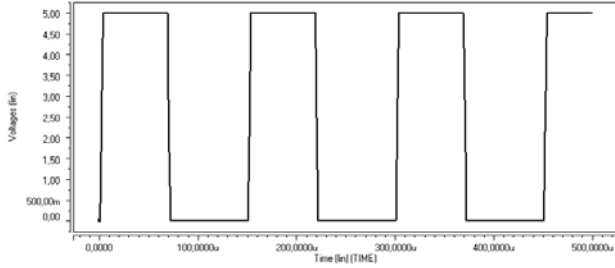
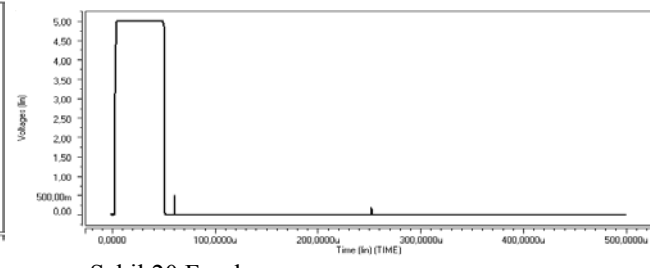
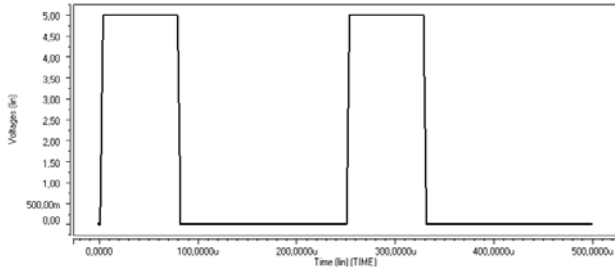
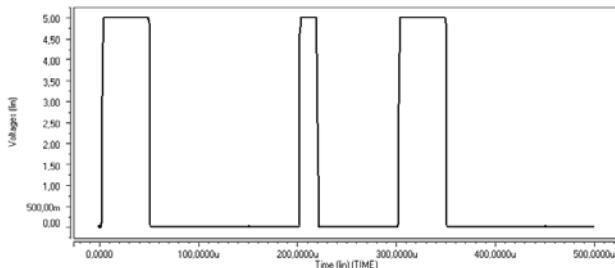
Şekil 11 F2 çıkış değişkeninin devre gerçeklemesi



Şekil 12 F3 çıkış değişkeninin devre gerçeklemesi

4. SİMÜLASYON SONUÇLARI

Tasarlanan devre HSPICE programı ve YİTAL 1.5 μ parametreleri ile simüle edilmiştir. Uygulanan girişlere göre çıkışlar şekillerde gösterilmiştir.

Şekil 13 a₀ girişiŞekil 18 F₁ çıkışıŞekil 14 a₁ girişiŞekil 19 F₂ çıkışıŞekil 15 b₀ girişiŞekil 20 F₃ çıkışıŞekil 16 b₁ girişiŞekil 17 F₀ çıkışı

5. SONUÇ

Simülasyon sonuçları tasarımın etkinliğini ispat etmektedir. Sinaptik çarpıcı, modüllerin birleşmesiyle elde edilmiştir. VLSI tasarımı kullanılabilecek tekrarlanan bloklarla tasarım yapılmıştır. Tekrarlanan bloklarla tasarım, donanım tanımlama dillerine adaptasyonu mümkün kılmaktadır. Tasarlanan devre DSP kırkık tasarımında, yapay sinir ağı sayısal gerçeklemlerinde kullanılabilecek bir çarpıcıdır. İstenen büyüklükte çarpıcı aynı blokların tekrarlanması ile elde edilebilir.

KAYNAKLAR

- [1] Avcı M., Yıldırım T., A General Design Method for Complementary Pass Transistor Logic Circuits, ELECTRONICS LETTERS, Issue 1, 2003.
- [2] Avcı M., Yıldırım T., 123 Karar Diyagramı ile Geçiş Transistörlü CMOS Devre Sentezi ve 4 Bit Toplayıcı Uygulaması, ELECO2002, Elektronik, 84-88, 2002.
- [3] Markovic D., Nikolich B., Oklobdzija V.G., A General Method in Synthesis of Pass Transistor Circuits, MICROELECT. JOURNAL, Vol 31, pp. 991-998, 2000.
- [4] Jeakel A., Bandyopadhyay S., Jullien G.A., Design of Dynamic Pass-Transistor Logic Circuits Using 123 decision diagram, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-I, Vol 45, Iss 11, pp 1172-1181, 1998.