

Güç MOSFETlerinde Elektriksel Aşırı Gerilim Kaynaklı Eşik Gerilimi Ve Mobilite Değişimlerinin İncelenmesi

Investigation of Electrical Over Stress Induced Threshold Voltage and Mobility Degradation in Power MOSFETs

Yasin ÖZCELEP¹, Ayten KUNTMAN¹, Hakan KUNTMAN²

¹, Elektrik-Elektronik Mühendisliği Bölümü, İstanbul Üniversitesi, 34320, Avcılar, İstanbul.
ycelep@istanbul.edu.tr, akuntman@istanbul.edu.tr

² Elektronik ve Haberleşme Mühendisliği Bölümü, İstanbul Teknik Üniversitesi, 34469, Maslak, İstanbul.
kuntman@ehb.itu.edu.tr

Özet

Bu çalışmada; dikey yapılu güç MOSFET'lerine (VDMOS) yorma gerilimi uygulanarak, eşik gerilimi ve mobilite değişimleri incelenmiştir. Bu değişimlerden yararlanarak Si-SiO₂ arayüzünde oluşan tuzaklar ve geçit oksiti içindeki yükler hesaplanmıştır. Efektif mobilitenin düşük ve yüksek elektrik alanla değişimi incelenmiştir. Üzerinde sürekli çalışılan Si-SiO₂ arayüzünün açıklanmasına güç MOSFETleri incelenerek katkıda bulunulması amaçlanmıştır.

Abstract

In this study, mobility degradation and threshold voltage shift of vertical power MOSFET (VDMOS) due to electrical over stress were investigated. Si-SiO₂ interface traps and oxide trapped charges were determined by using this changes. Effective mobility degradation were investigated for both high and low electrical field. It is aimed to contribute to Si-SiO₂ interface by investigating the power MOSFETs.

1. Giriş

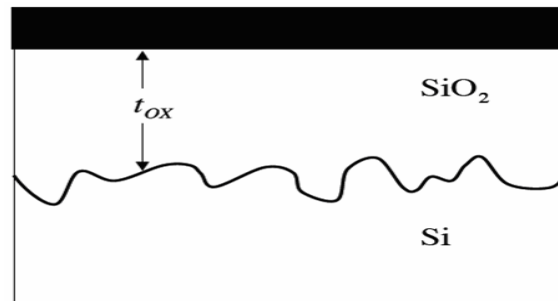
Güç MOSFET'leri özellikle otomotiv ve televizyon endüstrisinde oldukça geniş uygulama alanı bulmaktadır. Teknolojik olarak çeşitli yapılarda güç MOSFET'leri üretilmektedir. Çeşitli çalışmalarla bozulma mekanizmaları açıklanmaya çalışılmaktadır. Eşik gerilimi ve mobilite üzerinde çalışılan parametrelerden ikisidir. Mobilite önemli karakteristik parametrelerden biridir. Eşik gerilimi değişimi mobilite değişiminden oldukça etkilenmektedir.

Tranzistörün çalışma koşullarına bağlı olarak Si-SiO₂ arayüzünde ve geçit oksiti içinde yük tuzaklanmasıyla mobilite değişimi sonucu eşik gerilimi kayması oluşur. Arayüz tuzaklarına pozitif yükler girerse eşik gerilimi azalır. Savak akımında artış görülür. Negatif yükler arayüz tuzaklarına

girerse eşik gerilimde artış görülür. Lineer çalışma bölgesinde tuzaklar yükleri geri bırakır ve eşik gerilimde salınımlar gözlenir[1-2]. Mobilite değişimine katkıda bulunan etkiler Coulomb saçılması, fonon saçılması ve yüzey pürüzlülüğü sayılabilir[5]. Bu faktörler ayrı ayrı mobiliteye etki edebileceği gibi aynı anda da mobilite üzerinde etkili olabilirler.

Coulomb saçılmasına arayüzdeki ve geçit oksitindeki tuzaklar, boşaltılmış bölgedeki iyonlar ve sabit yükler neden olur. Elektrik alan artarsa evirtim bölgesine daha fazla yük toplanır ve Coulomb etkisinin artması mobiliteyi etkiler. Buradan düşük geçit gerilimlerinde Coulomb saçılmasının daha etkili olduğu anlamı çıkarılabilir. Silisyum-yalıtkan arayüzeyi mükemmel olmadığından yüzey potansiyeli arayüzeyin değişik yerlerinde farklı değerler alabilir. Bu da evirtim bölgesinde taşıyıcı mobilitesini etkiler. Sıcaklık artışıyla birlikte kafes titreşimi ve buna bağlı olarak fonon saçılması artar.

Yüzey pürüzlülüğü mobiliteyi düşürür. Artan elektrik alan arayüzeye daha çok taşıyıcı toplayıp yüzey pürüzlülüğünü daha çok artıracığı için mobiliteyle ters orantılı ilişkisi vardır[3]. Pürüzlü yüzey Şekil.1' de görülmektedir.

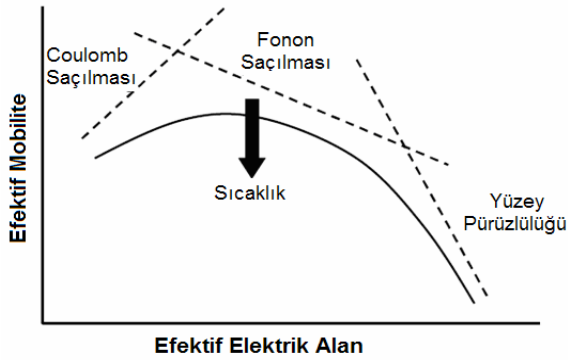


Şekil.1: Si-SiO₂ arayüzeyde yüklerden dolayı pürüzlü yüzey[4]

Mobilite değişimine neden olan faktörler aynı anda da mobilite üzerinde etkili olabilirler. Birden fazla etkinin olması durumunda mobilite Matthiessen kuralına göre aşağıdaki bağıntı uyarınca değişir.

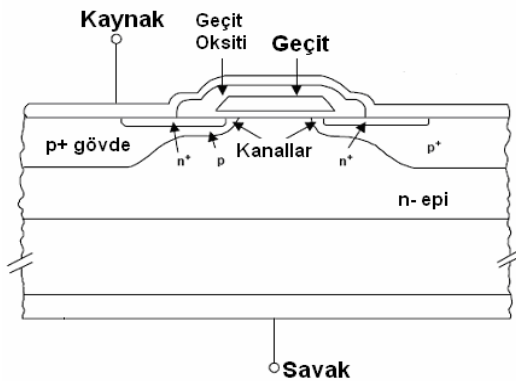
$$\frac{1}{\mu} = \sum_i \frac{1}{\mu_i} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{coul}} + \frac{1}{\mu_{sr}} + \dots \quad (1)$$

Efektif mobilite, efektif elektrik alan değişen ve Matthiessen kuralı veya MOSFET' in akım-gerilim denkleminde hesaplanan mobilitedir. Efektif mobilitenin efektif elektrik alanla değişimi Şekil.2' de görülmektedir. Burada Coulomb saçılması, Fonon saçılması ve yüzey pürüzlülüğü etkilerinin elektrik alanla değişimi görülmektedir.



Şekil.2: Mobiliteyi etkileyen faktörler ve mobiliteye etkileri[5]

Bu çalışmada; eleman olarak dikey yapılı güç MOSFET' leri kullanılmıştır. Dikey yapılı güç MOSFET(VDMOS(Vertical Double-Diffused MOSFET))' i büyük güçlerde kullanabilen özel bir MOSFET türüdür. Dikey yapılı güç MOSFET'i güç kaynaklarında, motor kontrollerinde, otomotiv elektroniğinde kullanılmaktadır. Özellikle otomotiv elektroniğindeki gelişmelerle ve hibrid araba çalışmalarıyla dikey yapılı güç MOSFET' leri oldukça popüler bir eleman haline gelmiştir. Şekil.3' te VDMOS' un düşey kesiti görülmektedir.



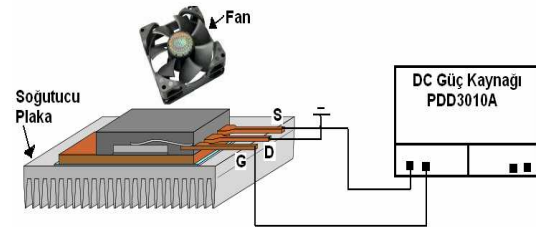
Şekil.3: Dikey yapılı Güç MOSFET' in düşey kesiti

Bu çalışmada üzerinde sürekli çalışılan Si-SiO₂ arayüzeyinin açıklanmasına güç MOSFETleri incelenerek katkıda

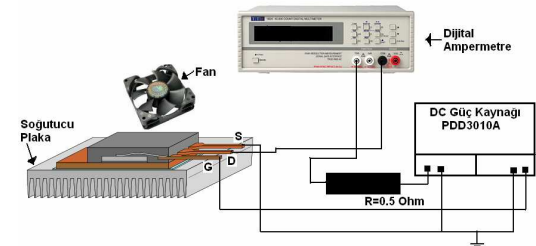
bulunulması amaçlanmıştır. Bu amaçla VDMOS' lara elektriksel aşırı gerilim(yorma gerilimi) uygulanarak eşik gerilimi ve mobilite değişimleri incelenmiştir. Bu değişimlerden yararlanılarak arayüzey tuzakları ve geçit oksiti içinde tuzaklanan yüklerin zamanla değişimi incelenmiştir. Tuzakların ve tuzaklanan yüklerin eşik gerilime yaptıkları etkiler gösterilmiştir. Efektif mobilitenin yorma öncesi ve yorma sonrası elektrik alanla değişimi gösterilmiştir.

2. Malzeme ve Yöntem

Deneylerde STMicroelectronics' in ürettiği STP9NK70ZFP tranzistörü kullanılmıştır. Bu tranzistörden 4 adetinin zamana bağlı yorulmaları incelenmiştir. Bunun için tranzistörün geçidine 40V uygulanmıştır(savak-kaynak toprakta)(Şekil.4). Tranzistörün ısınmasını engellemek için transistor soğutucu plakaya bağlanmış ve bir fan ile de soğutma işlemi desteklenmiştir. Geçide uygulanan gerilimin 40V seçilmesinin nedeni tranzistörlerin oksit kalınlığının 50nm. olmasıdır. Böylece, geçit oksiti üzerine düşen elektrik alan 8MV/cm olur. Bu SiO₂' in dayanabileceği maksimum elektrik alan değeridir. Bu değerde oksit kırılması gerçekleşmeye başlayabilir. Geçide uygulanan gerilimin daha yüksek seçilmemesinin nedeni kırılmanın aniden oluşması yerine yavaş yavaş oluşmasını sağlamak ve bu süre içerisinde tranzistör parametrelerindeki değişimleri zamana bağlı olarak gözlemlemektir. Deneysel çalışmalar sırasında geçide 40V' tan fazla gerilim uygulandığında geçitten aniden yüksek miktarda akım geçtiği görülmüştür. Daha önceki çalışmalarda da buna benzer sonuçlar rapor edilmiştir[7]. Deneylerde tranzistörlere 4 saat boyunca yorma gerilimi uygulanmıştır. İlk 15 dakikada 5 dakika aralıklarla , daha sonrasında ise 15 ve 30 dakika aralıklarla ölçümler yapılmıştır. Si-SiO₂ arayüzeyindeki değişimler sonucu tranzistörlerin savak akımı, eşik gerilimi, mobilite değişimleri incelenmiştir. Savak akımı Şekil.5' deki gibi ölçülmüştür.



Şekil.4: Elektriksel Aşırı gerilim uygulama düzeni



Şekil.5: Tranzistörün çıkış akımını ölçmek için kurulan düzenek

Mobilite deęiřimi de eřik gerilimi deęiřimlerine neden olan oksitte tuzaklanmıř y¼kler ve aray¼zey tuzaklarının mobilite ve eřik gerilimine etkileri ařaęıdaki denklemlerle verilmektedir[6].

$$V_t = V_{to} - \frac{\Delta Q_{ot}}{C_{OX}} + \frac{q\Delta N_{it}}{C_{OX}} \quad (2)$$

Burada; ΔQ_{ot} ($\Delta Q_{ot}=q \cdot \Delta N_{ot}$) ve ΔN_{it} yormaya baęlı olarak oksitte tuzaklanan y¼klerde ve aray¼zey tuzak yoęunlunda deęiřimlerdir. C_{OX} , tranzist¼r¼n geęit oksiti kapasitesidir.

$$\mu = \frac{\mu(0)}{1 + \alpha_{ot} \frac{\Delta Q_{ot}}{q} + \alpha_{it} \Delta N_{it}} \quad (3)$$

Burada; α_{ot} ve α_{it} yorma kaynaklı mobilite deęiřim parametreleridir. Dimitirjev ve arkadařları tarafından belirlenen bu parametreler ($\alpha_{ot}=2 \times 10^{-12} \text{cm}^2$ ve $\alpha_{it}=35 \times 10^{-12} \text{cm}^2$) mobilite deęiřimine g¼re farklı deęerler alırlar[7]. Mobilite deęiřimine g¼re katsayıların deęeri;

$$\alpha^* = \alpha \frac{\mu(0)}{\mu} \quad (4)$$

Denklemden hesaplanarak iřlem yapılır. (2) denklemi ařaęıdaki řekilde de ifade edilebilir.

$$\Delta V_t = \Delta V_{it} + \Delta V_{ot} \quad (5)$$

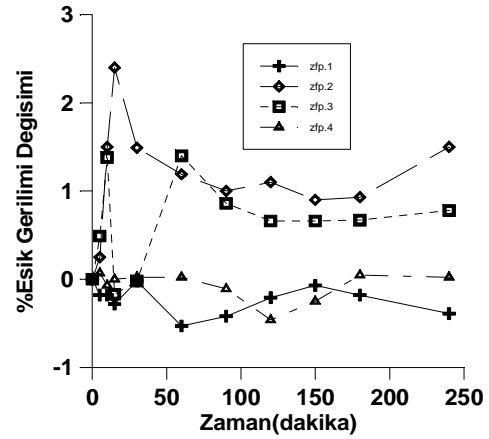
V_{it} aray¼zey tuzaklarının, V_{ot} ' de oksitte tuzaklanan y¼klerin eřik gerilimi deęiřimi ¼zerindeki etkilerini g¼stermektedir[2,8].

Eřik gerilimi ve mobilitenin artan ve azalan durumları iin aray¼zey tuzakları ve oksitte tuzaklanan y¼klerin zamanla deęiřimi incelenmiřtir. Eřik gerilimindeki ve mobilitadaki deęiřimler, (2-3) denklemlerinde kullanılarak aray¼z tuzakları ve oksitte tuzaklanan y¼kler bulunmuřtur. Elde edilen sonular (5) denklemindeki forma d¼n¼řt¼r¼lerek verilmiřtir.

3. Bulgular

l¼len savak akımının V_{GS} ile deęiřim eęrisi ıkartılarak, eęrinin yatay eksenini keřtięi noktanın ve eęiminin zamanla deęiřimi incelenmiřtir. Eęrinin yatay eksenini keřtięi noktadan eřik gerilimi, eęiminden mobilite belirlenmiřtir. Sonular Tablo.1' de g¼r¼lmektedir.

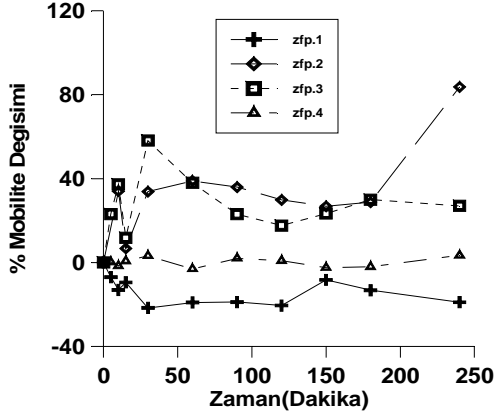
l¼mlerde kullanılan d¼rt tranzist¼r iin eřik geriliminin zamanla deęiřim eęrisi řekil.6' de ve mobilitenin zamanla deęiřim eęrisi de řekil.7' de verilmiřtir.



řekil.6: Elektriksel ařırı gerilim sonucu eřik geriliminin zamanla deęiřimi

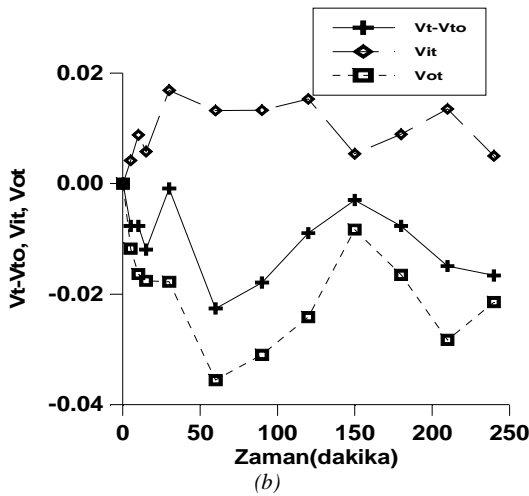
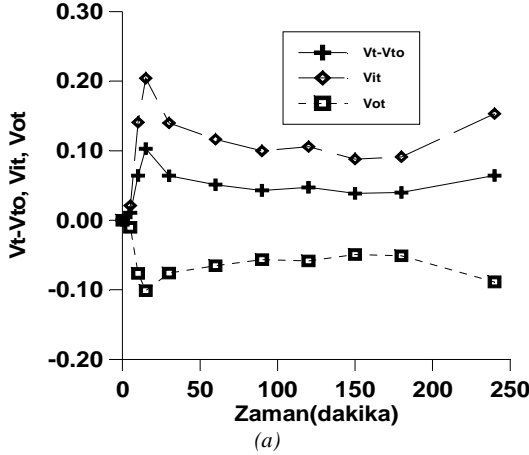
Tablo.1: Yorma Gerilimi uygulanan tranzist¼r¼lerin eřik gerilimi ve mobilite deęiřimleri

| Zaman(dak.) | Transistor I | | Tranzist¼r II | | Tranzist¼r III | | Tranzist¼r IV | |
|-------------|--------------------|-------------------------|--------------------|-------------------------|--------------------|-------------------------|--------------------|-------------------------|
| | %Mobilite Deęiřimi | %Eřik Gerilimi Deęiřimi | %Mobilite Deęiřimi | %Eřik Gerilimi Deęiřimi | %Mobilite Deęiřimi | %Eřik Gerilimi Deęiřimi | %Mobilite Deęiřimi | %Eřik Gerilimi Deęiřimi |
| 0.001 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 5 | -7 | -0.18 | -0.69 | 0.25 | 23.1 | 0.49 | 0.19 | -0.023 |
| 10 | -13.1 | -0.18 | 34 | 1.5 | 37.28 | 1.38 | -1.57 | 0.069 |
| 15 | -9.5 | -0.28 | 6.7 | 2.4 | 11.8 | -0.17 | 0.74 | -0.069 |
| 30 | -21.7 | -0.021 | 33.8 | 1.49 | 58.12 | -0.02 | 3.2 | 0 |
| 60 | -19.1 | -0.53 | 38.9 | 1.19 | 37.97 | 1.4 | -3.07 | 0.023 |
| 90 | -18.9 | -0.42 | 35.91 | 1 | 23 | 0.86 | 2 | 0.023 |
| 120 | -20.53 | -0.21 | 29.8 | 1.1 | 17.6 | 0.66 | 0.87 | -0.11 |
| 150 | -8.3 | -0.07 | 26.8 | 0.9 | 23.28 | 0.66 | -2.46 | -0.46 |
| 180 | -13.25 | -0.18 | 28.7 | 0.93 | 30 | 0.67 | -2.01 | -0.25 |
| 240 | -8.8 | -0.39 | 83.7 | 1.5 | 27 | 0.78 | 3.4 | 0.046 |



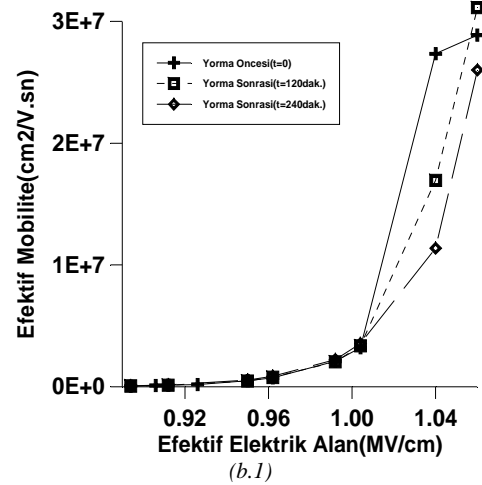
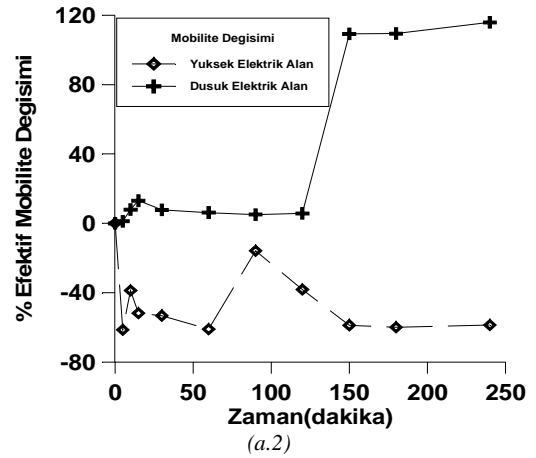
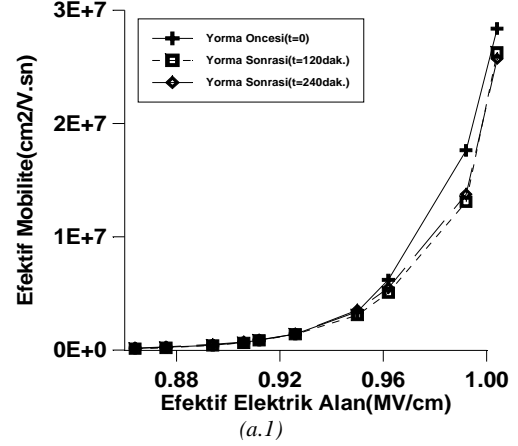
Şekil.7: Elektriksel aşırı gerilim sonucu mobilitenin zamanla değişimi

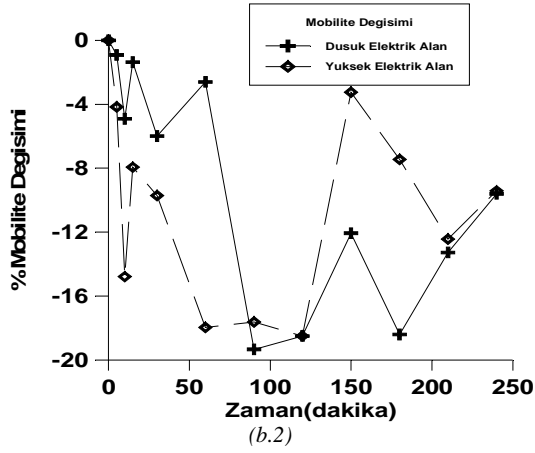
Şekil.6' den görüldüğü gibi eşik gerilimi artma veya azalma yönünde değişim göstermektedir. Eşik gerilimi ve mobilitenin artan ve azalan durumları için arayüzey tuzakları ve oksitte tuzaklanan yüklerin zamanla değişimi Şekil.8' da verilmiştir.



Şekil.8: Eşik gerilimi ve mobilitenin (a)artan ve (b)azalan durumu için ΔV_t , ΔV_{it} , ΔV_{ot} 'nin zamanla değişimi

Efektif mobilite tranzistörün akım-gerilim denkleminde hesaplanmıştır. Efektif mobilitenin elektrik alanla azaldığı görülmektedir. Bu azalmanın nedeni de yorma nedeniyle oluşan yüzey pürüzlülüğüdür. Eşik geriliminin artan ve azalan durum için efektif mobilitenin elektrik alanla değişimi incelenmiş ve sonuçlar Şekil.9' da verilmiştir.





Şekil.9: Efektif mobilitenin yorma öncesi ve yorma sonrası (a)eşik geriliminin arttığı (b)eşik geriliminin azaldığı durumda elektrik alanla değişimi

Şekil 9 (a.1) ve (b.1) de efektif mobilitenin efektif elektrik alanla değişimi görülmektedir. Şekil 9 (a.2) ve (b.2) de ise efektif mobilitenin düşük ve yüksek elektrik alanla değişimleri görülmektedir.

4. Sonuçlar

Bu çalışmada dikey yapıli güç MOSFET' lerine elektriksel aşırı gerilim uygulanarak eşik gerilimi ve mobilite değişimleri incelenmiştir.

Deneysel ölçümlerden elde edilen sonuçlardan Şekil 6 ve 7' den de gözlemlendiği gibi eşik gerilimi ve mobilitenin artma ve azalma yönünde iki farklı değişim gösterdiği görülmektedir. Değişimlerin artma ve azalma yönünde olması VDMOS' larda Si-SiO₂ arayüzey tuzaklarına hem elektronların hem de deliklerin girdiğini göstermektedir. Bu daha önceki çalışmalarda da rapor edilmiştir[1]. Eşik gerilimindeki salınımlar lineer çalışma bölgesinde tranzistörlerin arayüzey tuzaklarındaki yükleri bıraktığını ve sonra tuzakların yeniden dolduğunu göstermektedir [2].

Eşik gerilimi arayüz tuzaklarıyla geçit oksitinde tuzakların toplamını içerir. (5) bağıntısında yararlanarak ve deneysel bulguları da kullanarak arayüz tuzaklarını eşik gerilimine etkisi hesaplanmış ve Şekil 8' de değişimleri verilmiştir. Bu değişimlerin kaynağı olan arayüz tuzakları ve oksitte tuzaklanan yüklerin zamanla değişimleri gösterilmiştir.

Efektif mobilitenin değişen elektrik alanla değişimi iki farklı durum için incelenmiştir. Sonuçlar Şekil 9' da verilmiştir. Tüm değişimlerde mobilite elektrik alanla artmaktadır. Şekil 9 eşik geriliminin arttığı ve azaldığı durumdaki alan sonuçlarını içermektedir. Elektrik alan aralığının 0.8MV/cm- 0.9MV/cm değerleri için mobilite her iki yönde de değişim göstermektedir. 1MV/cm elektrik alan değeri üzerinde mobilite değişimi stresle azalma yönündedir. Efektif mobilitenin elektrik alanla değişimini incelediğimizde Coulomb etkisinin baskın olduğu görülmektedir. Ancak; yorma sonrası mobilitenin yorma öncesine göre azaldığı görülmüştür.

Bu çalışmada, üzerinde sürekli çalışılan Si-SiO₂ arayüzeyinin açıklanmasına güç MOSFETleri incelenerek katkıda bulunulması amaçlanmıştır.

5. Kaynaklar

- [1] M. R. Shaneyfelt, J. R. Schwank, D. M. Fleetwood, P. S. Winokur, K. L. Hughes, F. W. Sexton, "Field Dependence Of Interface-Trap Buildup In Polysilicon And Metal Gate Mos Devices", IEEE Transactions On Nuclear Science, Vol. 37, No. 6, pp.1632-1640, December 1990.
- [2] Y. W. Lee, B. Hong, Y. Roh, V. A. Vikulov, "Characterization of Interface Traps in MOS Devices Using Photonic Illumination Method", Journal of the Korean Physical Society, Vol. 42, , pp. S681-S684, February 2003.
- [3] N. Azizi, P. Yiannacouras, "Gate Oxide Breakdown", Lecture Notes, Reliability of Intergrated Circuits, 2003.
- [4] M. Lundstrom, "Effective Mobility", Lecture Notes ,Electrical and Computer Engineering Purdue University, 2006.
- [5] H. R. Lazar, "Mobility Degradation of Advanced CMOS Devices", PhD. Thesis, North Carolina State University Electrical and Computer Engineering, 2005.
- [6] N.Stojadinovic, I. Manic, S. Djoric-Veljkovic, V. Davidovic, S. Golubovic, S. Dimitrijevic, "Mechanism of Positive Gate Bias Stress Induced Instabilities in Power VDMOSFETs", Microelectronics Reliability, Vol 41, pp. 1373-1378,2001.
- [7] S. Dirmitrijevic, N. Stojadinovic, "Analysis of CMOS Transistor Instabilities", Solid-State Electronics., Vol 30, pp. 991-1003, 1987.
- [8] Z. Ciragiddin, A. Atabek, Y. Akhmed, A. Kuvondik, "Ionizing Radiations and annealing Influence on MOSFET Charge States", TUBITAK Tr. J. of Physics 23 , pp.485- 491, 1999.