

TIQ TABANLI FLASH ADC TASARIMLARI İÇİN OTO KALİBRATÖR DEVRESİ

Mehmet AYAR¹

Ali TANGEL²

Mehmet YAKUT³

^{1,2,3}Elektronik ve Haberleşme Mühendisliği Bölümü

Mühendislik Fakültesi

Kocaeli Üniversitesi, İzmit, Kocaeli

¹e-posta:mehmetayar@gmail.com

²e-posta: atangel@kou.edu.tr

³e-posta: myakut@kou.edu.tr

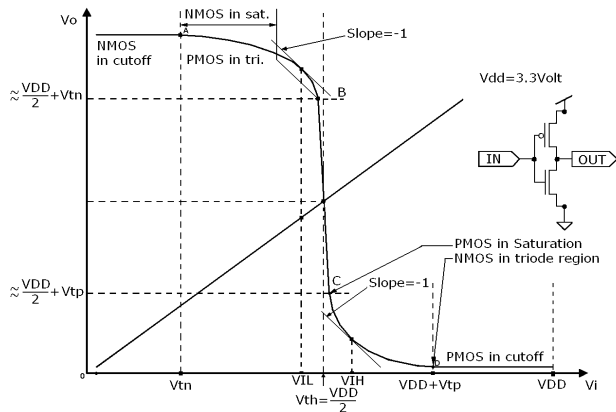
ABSTRACT

This paper presents a solution to minimize mainly the process parameter variations related problems of TIQ Based Flash ADC designs. The simulations are carried out using 0.35µ CMOS technology in two directions; to correct the input analog range deviations, and to catch the possible missing codes due to process parameter and temperature variations. The designed TIQ based flash ADC core under calibration is 5b with the performance of 2Gs/s, and has a low power supply of 3.3V. However, the calibrator has power supply of 5V.

Anahtar sözcükler: CMOS Flash ADC, TIQ, Otokalibrasyon, VLSI Tasarım.

1. GİRİŞ

TIQ tekniği CMOS Flash ADC tasarımlarının geleneksel analog bölümlerine alternatif bir yaklaşım olarak daha önceden tanıtılmıştır [1], [2], [3], [4], [5], [6]. Bu teknik her hangi bir direnç ya da kapasite dizisi kullanmamaktadır. Sonuç olarak, bu teknik sayesinde daha az çip alanı ve daha düşük DC güç tüketimi söz konusudur. TIQ yaklaşımı kısaca kaskat bağlanmış iki CMOS eviricideki düzgün boyutlandırılmış transistörler mantığına dayanmaktadır. TIQ tekniğini daha iyi anlayabilmek için CMOS evirici yapısının büyük sinyal davranışının incelenmesi gerekmektedir.



Şekil 1. CMOS eviricinin gerilim geçiş özeliğrisi

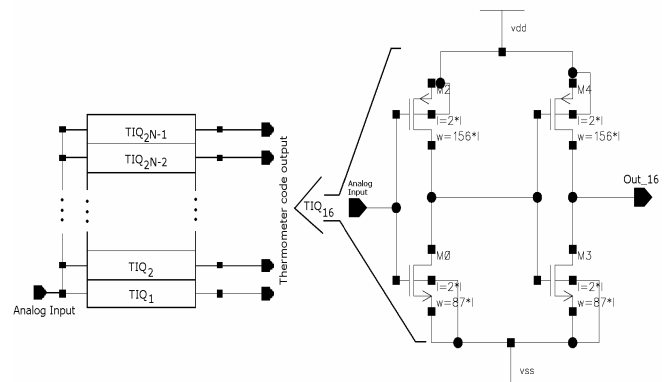
Şekil 1.' in incelenmesi TIQ yaklaşımı hakkında bir fikir oluşturabilmek için faydalı olacaktır [1], [7]. Herhangi bir nicemleyici alt birim hücresinin eşik noktasının matematiksel ifadesi yaklaşık olarak aşağıdaki gibidir:

$$V_{th} = \frac{r(V_{DD} - |V_{tp}|) + V_{tn}}{1 + r} \quad (1)$$

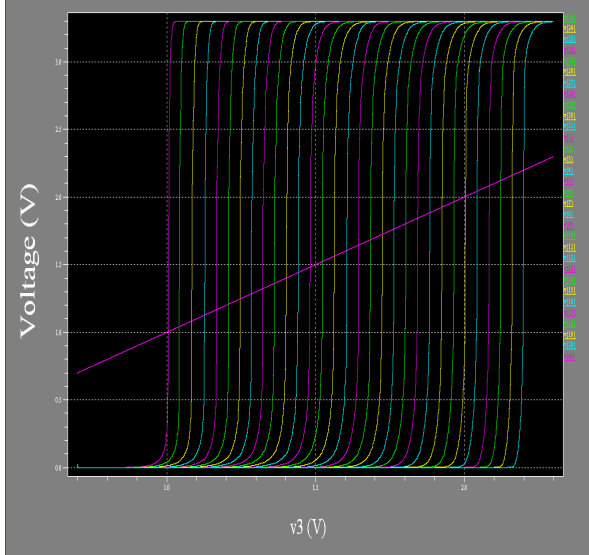
Yukarıdaki r değeri ifadesi aşağıdaki gibidir.

$$r = \left(\frac{\left(k'_p \frac{W}{L} \right)_p}{\left(k'_n \frac{W}{L} \right)_n} \right)^{1/2} \quad (2)$$

Bu ifade CMOS eviricinin eşik değeri ile boyut oranı arasındaki doğrusal olmayan ilişkiyi göstermektedir. Aslında, BSIM3 Level 49 gibi SPICE modelleri ve güçlü benzetim programları kullanılarak herhangi bir TIQ karşılaştırıcı hücresinin eşik değeri daha doğru elde edilebilir. Şekil 2.' de TIQ tabanlı analog bölümün blok şeması ve örnek olarak seçilmiş 16. TIQ hücresi devresi görülmektedir. Şekil 3.' de ise yüksek oranda doğrusal nicemleme işleminin gözlemlendiği termometre kod çıkışları görülmektedir.



Şekil 2. TIQ tabanlı analog bölüm ve 16. TIQ hücresi



Şekil 3. TIQ nicemleyici bloğunun DC benzetim sonuçları

Aşağıdaki dezavantajlara rağmen, özellikle düşük çözünürlüklü flash yapılar için, diğer geleneksel yapılarla karşılaştırıldığında bu teknik kuşkusuz en hızlı gerilim karşılaştırma işlemini yapmaktadır [1]:

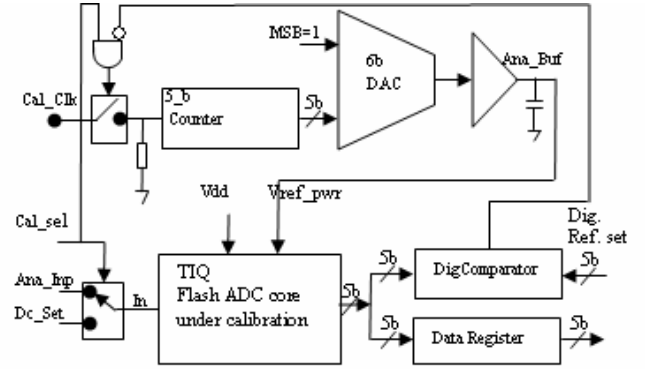
- Doğrusallık ölçütleri ve dönüştürücünün analog aralığı fabrikasyon parametre değişimlerinden az da olsa etkilenmektedir.
- Tek sonlu (single-ended) sinyal aktarımı yapısı sebebiyle taban malzeme gürültülerine hassastır.
- Eşik kuantalama gerilim seviyesinin besleme gerilim değerine doğrusal bağımlı oluşu sebebiyle düşük PSRR oranına sahiptir.

Tasarlanan bu devre yukarıda anlatılan etkileri azaltmakta ve ADC dönüştürme işlemine başlamadan önce hızlı bir şekilde kalibrasyon işlemi gerçekleştirilmektedir. Bu tasarımın ana fikri TIQ yaklaşımının yüksek performans özelliğini çip alanından ödün vermeyi göze alarak korumaktır.

2. OTO KALİBRATÖR DEVRESİ

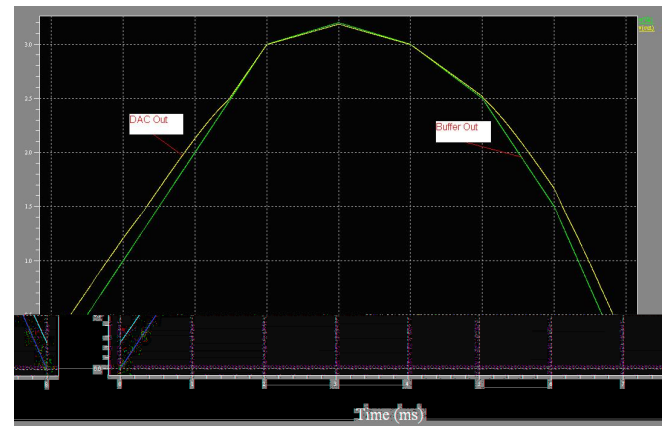
Tasarlanan oto kalibrasyon devresi Şekil 4. de görülmektedir. Bu devre çip içinde, dışında veya bir bölümü çip içinde şeklinde gerçekleştirilebilir. Devrenin çalışması aşağıdaki gibi açıklanabilir: Başlangıçta, *cal_sel* anahtarı lojik olarak "1" konuma getirilerek daha önceden belirlenmiş *dc_set* değeri ADC nin giriş kısmına bağlanır ve ayrıca saat darbesi sayıcıya uygulanır. Bu çalışmada optimum *dc_set* değerini tespit edebilmek için çok sayıda benzetimler yapılmış ve en uygun seviyenin analog giriş aralığının orta noktası olduğu tespit edilmiştir. Daha sonra 5-bit halka sayıcı çıkışta

istenilen kod elde edilinceye kadar saymaya devam eder.



Şekil 4. Oto kalibratör devresi blok diyagramı

Sayıcı çıkışları 6 bit DAC yi çıkışta belli bir DC offset değerinden başlayacak şekilde sürer. Bu çalışmada 0 ile 2.5V arasındaki referans gerilim aralığı kalibrasyon için gerekli olduğu için bu aralığı atlamak amacıyla DAC devresinin en yüksek anlamlı giriş biti sürekli olarak lojik "1" seviyesinde tutulmuştur. Sonuç olarak, 5 bitlik dijital olarak kontrol edilen, TIQ bloğu için analog referans gerilim üretimi elde edilmiş olur. ADC nin dijital kısmının besleme gerilimi burada değişmemektedir. DAC çıkışının ADC nin analog kısmının besleme kaynağı olarak kullanılması için analog tampon devresi ile sürülmesi gerekmektedir. TIQ blok CMOS eviricilerden oluştuğu için sadece geçiş bölgelerinde güç tüketmektedir. Basit opamp tabanlı analog tampon devresinin *Vref_pwr* noktasını sürmek için yeterli olduğu görülmüştür. Şekil 5 de seçilen tampon devresinin rasgele değişen bir giriş gerilimini nasıl takip ettiği görülmektedir. Şekilde de görüldüğü gibi tampon devresi kritik aralık olan 2.5V ile 3.3V arasında giriş gerilimini birebir takip etmektedir.

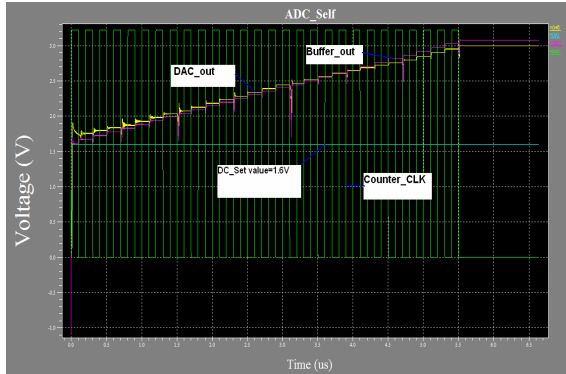


Şekil 5. Düşük empedans çıkışlı analog tampon devresinin giriş işaretini izleme performansı

Dijital karşılaştırıcı devresi ADC çıkışındaki kod ile `dc_set` değeri için belirlenmiş kodu karşılaştırmaktadır. İstenen kod elde edildikten ve istenen `Vref` değerine ulaşıldıktan sonra, A/B lojik kapısı tarafından kontrol edilen sayıcı girişindeki anahtar kapanır. Artık ADC normal çalışma moduna geçmeye hazırdır. Artık `cal_sel` butonu normal çevrimin başlaması için analog giriş sinyaline bağlanmış durumdadır. Bu işlem çok hızlıdır ve kullanıcı tarafından fark edilemez. Son olarak ikilik düzendeki (binary) veri çıkışları ADC çıkışlarından doğrudan alınarak çıkış kayıtlayıcısına aktarılır.

3. SİMÜLASYON SONUÇLARI

Şekil 6. kalibratör devresinin benzetim sonuçlarını göstermektedir. Burada kalibrasyon işlemi daha iyi bir şekilde gözlemleyebilmek için sayıcı devresinin saat işareti, DAC çıkışı, tampon devresi çıkışı ve `dc_set` değeri çizdirilmiştir. Şekil 6. da görüldüğü gibi sayma işlemi DAC çıkışı 2.5V iken başlamakta ve 3.05V olduğunda durmaktadır. Burada orijinal teknoloji parametresi olan AMIS 0.35 μm teknolojisine ait SPICE model parametrelerinden `ntyp` kodlu parametre değiştirilerek `nslow` kodlu parametre ile analiz yapılmıştır. Referans dc gerilim 1.6V olarak seçilmiştir. Orijinal tasarımdaki `Vref` değeri 3.3V iken parametre değişiminden sonra elde edilen yeni `Vref` değeri 3.05V olmaktadır. Şekil 7.'den görülebileceği gibi bütün ikili kodlar kayıp olmaksızın elde edilebilmektedir.



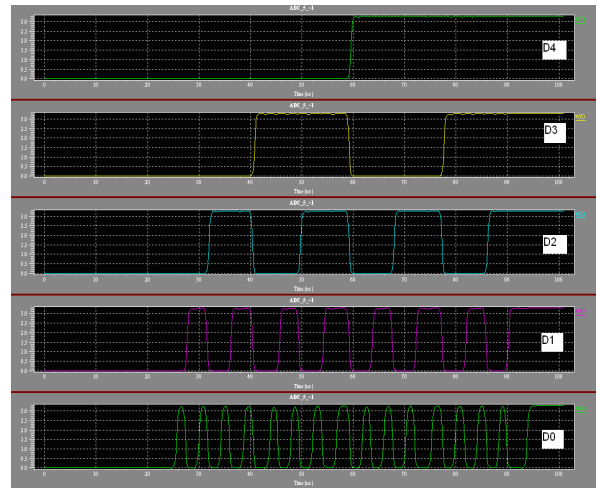
Şekil 6. DC set değeri= 1.6V, dig_ref_set değeri= 10100 için kalibratör benzetimi

Tasarlanan kalibratör devresi için aşağıdaki gibi değişik istatistiksel analizler yapılabilir:

- Benzetimde kullanılan model parametreleri değiştirilerek dönüştürücünün her defasında sahip olduğu yeni analog giriş aralığı ve kalibrasyon yapılmadan tekdüzeliği (monotonicity) incelenebilir.

- Değişik dc gerilim seviyeleri için dc set değerini değiştirilerek her durum için kayıp kodlara bakılarak en iyi `dc_set` değeri belirlenebilir.
- Yukarıdaki analiz sonucunda `dc_ref` giriş değerini en ideal değerine ayarlayarak benzetim parametrelerini değiştirmek suretiyle elde edilen değerler için gereken yeni `Vref` değerleri incelenebilir ve ayrıca bu durumda kod kaybı olup olmadığına da bakılabilir. Aynı zamanda her seferinde ortaya çıkan yeni analog giriş aralığı orijinal halindekiyle karşılaştırılabilir.

Yukarıda sayılan istatistiksel analizler bu çalışmada gerçekleştirilmiş olup sonuçları bir sonraki bölümde verilmektedir.



Şekil 7. Kalibrasyon işleminden sonra TIQ tabanlı flash ADC ikili çıkışları (Rampa giriş işareti için)

4. SONUÇ VE ÖNERİLER

Sonuç olarak, TIQ tabanlı flash ADC yapıları için oto kalibrasyon devresi tasarlanmış ve analiz edilmiştir. Geliştirilen devre için özel 6-bit R-2R DAC, opamp tabanlı küçük çıkış dirençli analog tampon devresi, 5 bit halka sayıcı ve 5 bit TIQ tabanlı flash ADC yapısı AMIS 0.35 μm CMOS teknolojisinde gerçekleştirilmiştir. Tasarım ve benzetim aşamalarında *Taner Tools-Pro* IC tasarım paket programı kullanılmıştır.

Tasarımlanan 5 bit flash ADC 2 Gs/s gibi çok yüksek bir hızda çalışmaktadır. Tasarlanan dönüştürücünün dc ve ac ölçümleri daha detaylı olarak başka bir makalede ele alınacaktır. Bu çalışmada özellikle kalibrasyon işlemine odaklanılmıştır.

Kalibratörün performansını test etmek için üç farklı SPICE model parametresi kullanılmıştır. Beklenildiği gibi her model parametresi için analog aralıkta küçük değişimler meydana gelmiştir. Değişimlerin kompanzasyonu için TIQ bloğunun

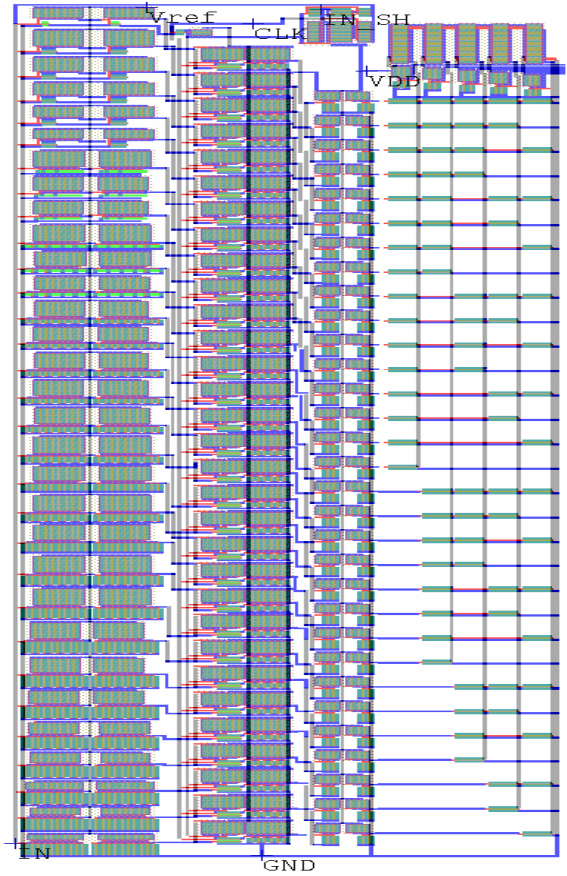
Vref gerilimi otomatik olarak istenen değere ulaşmaya kadar değiştirilmektedir. Tablo I değişik model parametreleri ve üç farklı dc_set değeri için kalibratör performansını göstermektedir. Test için kullanılan bazı model parametreleri için gerekli yakalama gerilimi orijinal ADC nin besleme gerilimi olan 3.3 volt u geçtiği için önerilen bu kalibratör devresinin besleme gerilimi daha yüksek standart bir değere mesela 5 V a çekilmiştir. Bu nedenle DAC, sayıcı ve analog tampon için besleme gerilimi 5V' a çıkarılmıştır. Aksi durumda parametre değişimlerinde kod kaybolma olasılığı bir hayli yüksek olacaktır. Bu ikinci bir gerilim kaynağı gereksinimini doğurduğu için tasarlanan kalibratörün bir dezavantajı olarak karşımıza çıkmaktadır.

Diğer taraftan analog giriş aralığının orta noktası referans alındığında kalibratörün daha iyi sonuç verdiği gözlenmiştir. Tablo I in son bölümünden de görüleceği üzere, yakalanan Vref gerilim değeri orijinal besleme voltajı değeri olan 3.3 V a çok yakındır. Aynı zamanda analog giriş aralığı, kalibrasyon sonrasında burada seçilmiş olan 1.65 volt DC_set değeri için orijinal tasarım değerine daha yakındır. Burada hatırlanması gereken bir konu tekdüzeliğin (monotonicity) TIQ tekniğini kullanan ADC ler için garanti edildiğidir. Ancak doğrusallık ölçütleri olan DNL ve INL değerleri kesinlikle üretim parametrelerine bağlı olarak küçük sapmalar gösterecektir [1]. Kalibrasyon işlemi sonrasında da orijinal tasarım ne kadar kaliteli olursa olsun bu doğrusallık ölçütlerinde belirli kaymaların gözlemleneceği açıktır. Ancak benzetim sonuçlarındaki termometre kodu çıkışlarında kalibrasyon sonrası da tekdüzeliğin bozulmadığı görülmüştür.

Burada belirtilmesi gereken diğer bir olası problem ise yüksek çözünürlüklü ADC'ler için Vref değerinin yakalanamayabileceği gerçeğidir. Bu durumda kalibratör sonsuz bir döngüye girebilir. Fakat bu problem daha yüksek çözünürlüklü DAC ve sayıcı yapısı kullanan bir kalibratör tasarımı ile ve de halka sayıcı yerine aşağı/yukarı sayıcı yapısı tercih edilerek çözülebilir. Ayrıca daha yüksek örnekleme oranlarında çevircinin hem analog hem de sayısal kısmının güç tüketimi artacaktır. Sonuç olarak, analog tampon çıkışında olması gereken temiz DC gerilim işareti üzerinde olası dalgalanmalar ve parazitik işaretler (glitches) oluşabilir. Çip dışından, değeri doğru tercih edilmiş bir de-coupling kondansatörü analog tampon devresi çıkışına paralel bağlanarak bu etkiler azaltılabilir. Şekil 8- de TIQ tabanlı 0.35µ CMOS teknolojiye kalibrasyonu yapılmak üzere tasarlanmış 5-bit Flash ADC'nin L-EDIT de çizilmiş fiziksel serim şeması görülmektedir.

TABLE I. OTO KALİBRATÖR PERFORMANSI

DC_set=1.05		BINARY=00010		
Model (0.35µ)	analog range(önce)	analog range(sonra)	Vref	
typ	1-2,2	1-2,2	3,3	
slow	1,06-2,12	1-1,86	2,96	
fast	0,89-2,27	0,94-2,48	3,56*	
DC_set=2,1		BINARY=11100		
Model (0.35µ)	analog range (önce)	analog range (sonra)	Vref	
typ	1-2,2	1-2,2	3,3	
slow	1,06-2,12	1,07-2,19	3,38*	
fast	0,89-2,27	0,87-2,21	3,23	
DC_set=1.65		BINARY=10001		
Model (0.35µ)	analog range (önce)	analog range (sonra)	Vref	
typ	1-2,2	1-2,2	3,3	
slow	1,06-2,12	1,05-2,1	3,27	
fast	0,89-2,27	0,87-2,2	3,21	



Şekil 8 Kalibrasyonu yapılan 5-Bit TIQ tabanlı Flash ADC' nin fiziksel serim şeması

KAYNAKLAR

- [1] A.Tangel, and K. Choi, "The CMOS Inverter as a Comparator in ADC Designs", *Analog Integrated Circuits and Signal Processing*, 39, pp. 147-155, 2004.
- [2] J.Yoo, K.Choi, and D.Lee, "Comparator Generation Selection for Highly Linear CMOS Flash Analog to Digital Converter", *Analog Integrated Circuits and Signal Processing*, 35, pp. 179-187, 2003.
- [3] J. Yoo, K. Choi, and A. Tangel. "1-GSPS CMOS Flash Analog-to-Digital Converter for System-on-Chip Applications", *Proc. IEEE Computer Society Workshop on VLSI*, pp. 135-139, 2001.
- [4] D. Lee, K. Choi, and A. Tangel, "Future Ready Ultrafast 8-bit CMOS ADC for System-on-Chip Applications", *14th Annual IEEE International ASIC/SOC Conference*, pp. 789-793, 2001.
- [5] O.Aytar, A. Celebi, A. Tangel, and F. Tekin. "8 BIT 1Gs/s Semi-Flash ADC Based On Threshold Inverter Quantization Technique", *11th International Conference Mixed Design of Integrated Circuits and Systems, MIXDES 2004*, pp. 121-125, 2004.
- [6] M. F. Tekin, A. Tangel, O. Aytar, A. Celebi, "An 8-Bit CMOS Folding ADC Implementation Using TIQ Based ADC Core", *MIXDES 2005*, June 2005
- [7] A. Celebi, O. Aytar, A. Tangel, "A 10-Bit 500Ms/s Two-Step Flash ADC", *EUROCON 2005 International Conference "Computer as a tool"*, pp. 898-901, November-2005