

DURULAMA DEVRESİNİN CMOS AKIM MODLU DÖRT BÖLGE Lİ ÇARPICI KULLANILARAK TASARIMI VE SİMÜLASYONU

Mahmut TOKMAKÇI¹

Mustafa ALÇI²

¹Erciyes Üniv. H. B. Sağlık Hiz. MYO, Biyomedikal Cih. Tek. Programı, 38039, Kayseri

²Erciyes Üniversitesi, Mühendislik Fakültesi, Elektronik Müh.Bölümü, 38039, Kayseri

¹e-posta: tokmakci@erciyes.edu.tr

²e-posta: malci@erciyes.edu.tr

Anahtar sözcükler: Akım Modlu Çarpıcı ,Durulama devresi

ABSTRACT

In this study, a current-mode CMOS analog four-quadrant multiplier circuit have been theoretically introduced and simulated by PSPICE programme with BSIM3 2.0 μm parameters. The proposed multiplier is insensitive to absolute variation of the fabrication process. Also, this circuit has high linearity and it is suitable for Centre of Gravity (COG) method in defuzzification block of current-mode fuzzy logic controllers. The circuit's characteristics have been confirmed by theoretical and simulation results.

1. GİRİŞ

Günümüzde, az güç harcayan, düşük voltajlarda çalışan ve küçük kırmık alanına yerleştirilebilen devre yapılarına ihtiyaç artmaktadır. Analog devre tasarımında, bu özellikler akım modlu tasarım yaklaşımlarıyla sağlanabilmektedir[1-3]. Analog tasarımda voltaj modlu devreler, önceleri yaygın şekilde kullanılmaktaydı[4-5]. Ancak, son yıllarda, sağladığı avantajlardan dolayı akım modlu tasarımlar ve uygulamalar yaygınlaşmaktadır. Akım modlu analog tasarımların yaygınlaşmasının nedenleri şöyle sıralanabilir:

- Mobil haberleşme, uzaktan ve kablosuz haberleşme gibi uygulamalarda kullanılan kırmıklarda (chip), daha az güç tüketen ve daha düşük kaynak voltajı değerlerinde çalışabilen sistemlere gereksinim duyulmaktadır.
- VLSI teknolojisinde devre yoğunluğunun artmasına bağlı olarak devrenin kapladığı alan ve harcadığı güç de bu oranda arttığı için gerçekleştirilmesi amaçlanan devrelerin hem daha az güç tüketmesi hem de düşük maliyetlerde üretilmesi istenmektedir.
- Kaynak voltajlarının azaltılması üretim teknolojisinin ölçek bazında azaltılmasını sağladığı için kaynak voltajının düşük değerlerinde çalışan devreler talep edilmektedir.

Son yıllarda, bulanık mantık denetleyicisinin analog olarak gerçekleştirilmesi için çeşitli uygulamalar önerilmiştir. Bu uygulamaların büyük çoğunluğu analog işaret işleme tekniklerini kullanan akım modlu analog devre yapılarıdır. Bu tür devre yapısını içeren bulanık mantık denetleyicileri; 1) Sensör veya algılayıcılarla kolaylıkla arabağlaşım sağlarlar, 2) bir sistem olarak daha küçük alan kaplayacak şekilde üretilebilirler, 3) yüksek işlem hızına sahiptirler [2], [3], [6].

Bir bulanık mantık denetleyicisi, genellikle minimum ve/veya maksimum devreleri, üyelik fonksiyon devresi (MFC), sonuç değişkenleri için akım kaynakları ve bir Durulama (defuzzification) devresinden meydana gelir. Maksimum devresi; daha az sayıda MOSFET elemanı kullanılarak akım modlu ve çok girişli olarak modüler yapıda gerçekleştirilirken [7-8] minimum devreleri, çoğunlukla bir maksimum devresi ve lojik komplement alma devreleri ile gerçekleştirilmektedir [9]. Bir üyelik fonksiyon devresi, akım modlu olarak sınırlı fark (bounded difference) ve cebirsel toplama işlemlerini yerine getiren devrelerle gerçekleştirilebileceği [10] gibi akım modlu maksimum devreleri ve OTA'lar kullanılarak da gerçekleştirilebilmektedirler [11]. Şu ana kadar açıkladığımız devre yapıları akım modlu işaret işleme tekniklerini kullanırlar ve bu devre yapıları *daha az elemanla gerçekleştirme* ve *daha az güç harcamaya* avantajlarını sağlarlar. Bir bulanık mantık denetleyicisinde bulanık kuralların sayısı, devrenin kapladığı alanı ve buna bağlı olarak harcadığı gücü belirlediği için bu avantajların temini çok önemli olmaktadır. Buna ilave olarak, bulanık kurallara göre akım modunda işlenen işaretin belirli veya kesin (crisp) değerlere dönüşümünü sağlayan durulama devresinin tasarımı da yukarıda sayılan avantajlara sahip akım modlu devre yapılarıyla elde edilmektedir [12]. Ancak, bu devre yapıları, MOS transistörlerinin zayıf inversiyon bölgesindeki (weak inversion region) karakteristiklerine dayalı tasarlandığından *küçük giriş sahası* ve *düşük hızda çalışma* dezavantajlarına sahiptir.

Bu dezavantajların üstesinden gelmek için, tasarlanan devredeki MOS transistörlerin saturasyon bölgesinde veya güçlü inversiyon bölgesinde (strong inversion region) kutuplandırılması gerekmektedir.

Bu çalışmada, saturasyon bölgesinde çalışan bir dört bölge çarpıcı ve akım modlu fark devresi kullanılarak bir durulama devresinin temel işlem birimi tasarlanıp simüle edilmiştir. Burada akım modlu bir çarpıcı devresinin bulanık mantık denetleyicisinin durulama bloğunda kullanılabileceği, hem teorik ve hem de simülasyonlarla gösterilmeye çalışılmıştır.

2. AKIM MODLU DURULAMA DEVRESİ

Kural yapısı; **IF A is a_n AND B is b_n THEN C is c_n** olarak tanımlanan bulanık mantık denetleyicisinde keskin (crisp) çıkış değerlerini sağlayan durulama işlemi aşağıdaki gibi ifade edilmektedir:

$$C = \frac{\sum_{i=1}^n \mu_i c_i}{\sum_{i=1}^n \mu_i} \quad (1)$$

Denklem (1); bulanık mantık denetleyicilerinde yaygın kullanım alanı bulan *Ağırlık merkezi* (Center of Gravity-COG) metodunu tanımlamaktadır. Burada n; evrensel küme üzerindeki bulanık kümelerin sayısını, μ_i ve c_i değişkenleri ise sırasıyla i. bulanık kümenin *üyelik* ve *anlık(support)* değerlerini temsil etmektedir.

Denklem (1), aşağıdaki gibi açılabilir;

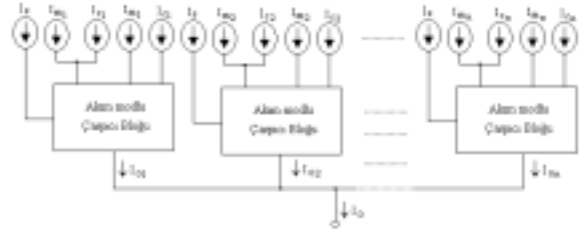
$$C = \frac{\mu_1 c_1}{\sum_{i=1}^n \mu_i} + \frac{\mu_2 c_2}{\sum_{i=1}^n \mu_i} + \dots + \frac{\mu_n c_n}{\sum_{i=1}^n \mu_i} \quad (2)$$

Denklem (2)'deki her bir terim, Şekil 1'de blok gösterimi verilen biçimde gerçekleştirilebilir.

Şekildeki her blok aşağıdaki denklemle ifade edilir:

$$I_o = \frac{I_m I_c}{I_s} \quad (3)$$

Burada I_m , I_c , I_s ve I_o değişkenleri sırasıyla μ_i , c_i , $\sum \mu_i$ ve I_{oi} değişken değerlerine karşılık gelen akım değerleridir.



Şekil 1. Akım modlu Durulama devresinin blok gösterimi

Tasarlanan ve simülasyonu yapılan durulama devresinin işlem birimi, temelde akım modlu olup *Kutuplama ve Dört Bölge Çarpıcı* devreleri olmak üzere iki bloktan meydana gelmektedir. Bu işlem birimi, bulanık mantık denetleyicisinin durulama bloğunda tek bir kuralın hesaplanmasını ve kesin çıkış değerlerinin elde edilmesini sağlayan analog hesaplama birimidir. Şekil 2 (a) ve (b)'de akım modlu çarpma devresinin sırasıyla blok diyagramı ve açık şekli gösterilmektedir. Şekildeki kutuplama bloğu M1 ile M2 ve çarpma devresi ise M3-M10 transistörlerinden meydana gelmektedir. Önerilen çarpma devresi, MTL (MOS TransLinear) devre yapısına [13] dayalı olarak tasarlanmıştır.

Bir NMOS transistörün saturasyon bölgesindeki akıtıcı-kaynak akımı I_{ds} aşağıdaki gibi ifade edilir.

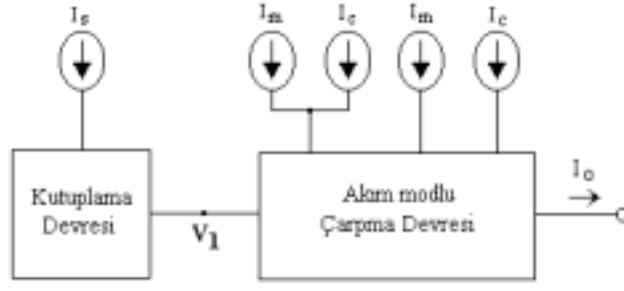
$$I_{ds} = \frac{K_n}{2} (V_{gs} - V_T)^2 \quad (4)$$

Burada $K_n (= \mu_n C_{OX} W/L)$ transkonduktans parametresi olup, μ_n : elektronun hareket yeteneği, C_{OX} : kapı (gate) kapasitansı, L: kanal uzunluğu, W: kanal genişliği ve V_T : NMOS transistörünün eşik voltajıdır.

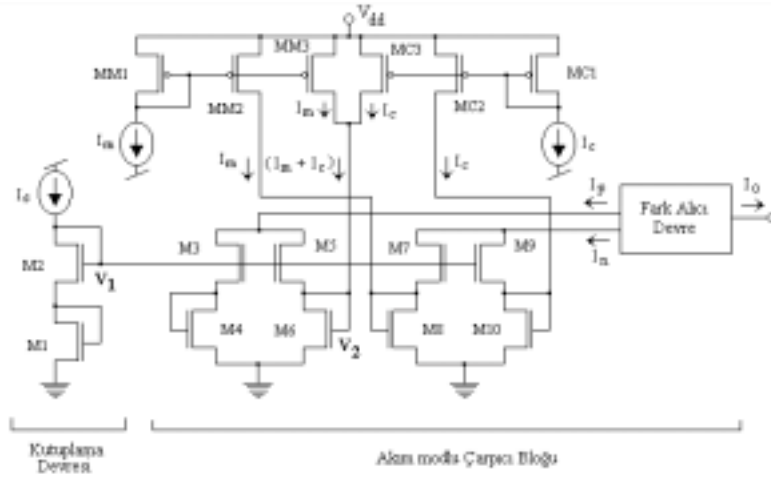
M1 ve M2 transistörlerinin geçişletkenliği (transconductance) parametreleri $K_1 = K_2 = mK_n$ olarak belirlenmiştir. Burada m; transistörlerin üretim teknolojisiyle ilgili geçişletkenliği katsayısıdır. MOS transistörlerinin her birinin *saturasyon* bölgesinde çalıştığı kabul edilirse (Tüm transistörler $V_{gs} > V_T$ ve $V_{ds} > V_{gs} - V_T$ şartlarında kutuplandırılırsa), V_1 ve V_2 voltajları aşağıdaki gibi hesaplanabilir:

$$V_1 = 2 \sqrt{\frac{I_s}{mK_n}} + 2V_T \quad (5)$$

$$V_2 = \sqrt{\frac{2(I_{ds5} + I_m + I_c)}{K_n}} + V_T \quad (6)$$



(a)



(b)

Şekil 2. Akım modlu Çarpma Devresi a) Blok diyagramı b) Açık şekli

Şekilden de görüleceği gibi, M5'in V_{gs} değeri $V_1 - V_2$ 'ye eşittir. Aynı zamanda Denklem (4) kullanılarak, M5 transistörünün saturasyon bölgesindeki V_{gs} değeri hesaplanırsa aşağıdaki ifade elde edilir:

$$V_1 - V_2 = \sqrt{\frac{2I_{ds5}}{K_n}} + V_T \quad (7)$$

Denklem (5) ve (6)'nın farkı alınıp Denklem (7)'ye eşitlenip, bu eşitlikten I_{ds5} çekilirse;

$$I_{ds5} = \frac{m(I_m + I_c)^2}{16I_s} - \frac{(I_m + I_c)}{2} + \frac{I_s}{m} \quad (8)$$

olarak elde edilir. Aynı yolla, I_{ds7} ve I_{ds9} aşağıdaki gibi türetilir:

$$I_{ds7} = \frac{mI_m^2}{16I_s} - \frac{I_m}{2} + \frac{I_s}{m} \quad (9)$$

$$I_{ds9} = \frac{mI_c^2}{16I_s} - \frac{I_c}{2} + \frac{I_s}{m} \quad (10)$$

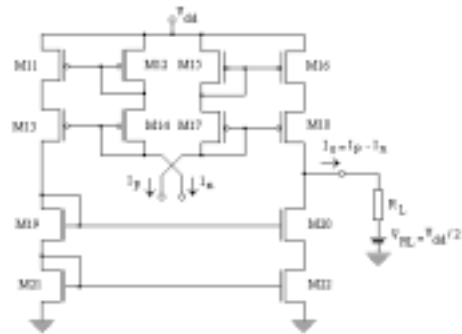
M1-M4 transistörleri akım aynası formunda bağlandığından ve transkonduktans katsayısı ile oranlandığından, I_{ds3} akımı aşağıdaki gibi verilir:

$$I_{ds3} = \frac{I_s}{m} \quad (11)$$

Kirchoff akım kanunundan yararlanarak I_p , I_n ve I_o çıkış akımı elde edilebilir:

$$I_p = I_{ds3} + I_{ds5} \quad ve \quad I_n = I_{ds7} + I_{ds9} \quad (12)$$

$$I_o = I_p - I_n \quad (13)$$



Şekil 3. Fark alıcı devrenin açık şekli

(8)-(11) denklemleri kullanılarak çıkış akımı aşağıdaki gibi yazılır:

$$I_o = \frac{m I_m I_c}{8 I_s} \quad (14)$$

Denklem (14) incelenir ve yorumlanırsa, önerilen devrenin; ancak üretim süreci veya teknolojiyle değişimleri mümkün olan K_n ve V_T gibi parametrelerden bağımsız olduğu görülmektedir. Buna karşın, I_o çıkış akımının kazancı, m katsayısının ($M1$ ve $M2$ arasındaki W/L oranı) ayarlanması ile değiştirilebilmektedir. Bu durum, devrenin tasarlanması ve bilhassa üretimi için önemli bir avantaj olmaktadır.

3. SİMULASYON SONUÇLARI

Önerilen akım modlu çarpma devresi PSPICE programı ile analiz edilmiştir. Tablo.1, PSPICE simülasyonlarında kullanılan BSIM3 CMOS 2.0 μm üretim parametrelerinin değerlerinden en önemli olanlarını göstermektedir. Transistör boyutları ise Tablo.2’de verilmektedir. Kutuplama akımı $I_s = 50 \mu A$, $I_m = [-20 \mu A; +20 \mu A]$ değer aralığında ve ayrı ayrı olmak üzere $I_c = -20 \mu A, -10 \mu A, 0 \mu A, +10 \mu A, +20 \mu A$ değerleri için akım modlu çarpıcının çıkış akımının DC analiz sonucu Şekil. 4’de gösterilmektedir. Dikkat edilirse, bu grafik oldukça lineerdir. Ayrıca, tasarlanan akım modlu çarpıcı devresi dört bölgeyi lineer çarpıcı karakteristiğindedir.

Bu özelliği ile tasarlanan akım modlu çarpıcı devresi, bulanık mantık denetleyicilerinde, Ağırlık Merkezi durulama metodunun gerçekleştirilmesine uygun bir yapıdadır. Önerilen devrenin davranışı, yukarıda matematiksel olarak gösterilmiş olan ifadelerle uyumlu olup, Durulama devresinin temel hesaplama birimini pratik olarak gerçeklemektedir.

Şekil 5’te görüldüğü gibi Durulama devresinin temel hesaplama birimi olan çarpıcı devresinin Transient analiz sonuçları $m=2$ alınarak Denklem (14)’teki ifadeye uygun elde edilmiştir. Burada hem hesaplama sonucu hem de simülasyon sonucu birlikte verilmiştir. Yani, akımlar Denklem (14)’teki gibi analitik olarak grafiğe dökülmüş ve aynı grafik üzerinde devrenin

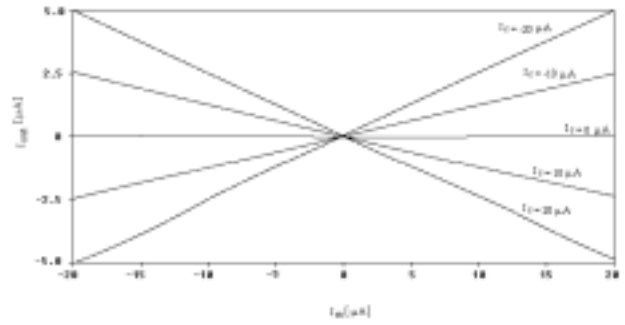
çıkış akımının simülasyon sonucu gösterilmiştir. Bu sonuç, devrenin simülasyon sonucunun hesaplama sonuçlarını çok küçük hata değerleriyle doğruladığını ispatlamaktadır

Tablo 1. PSPICE simülasyonlarında kullanılan transistörlerin parametrelerinden bazıları

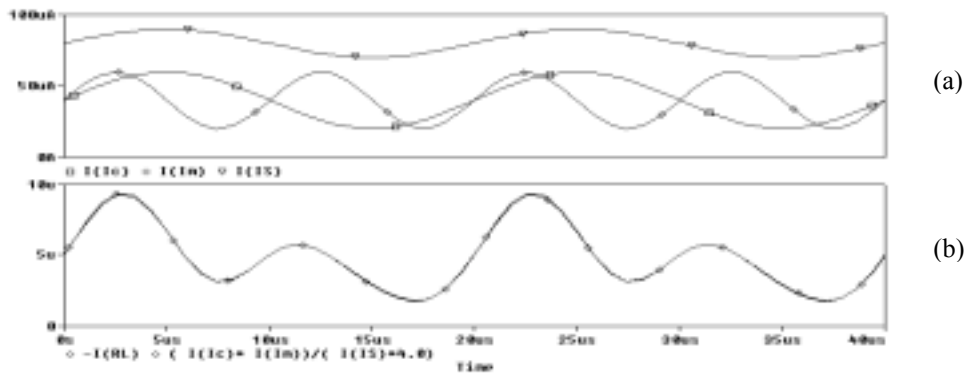
	NMOS	PMOS	Birimi
LEVEL	2	2	-
VTO	0.825008	-0.937048	V
TOX	417.000008E-10	417.000008E-10	m
KP	4.919000E-05	1.731000E-05	A/V ²
UO	594	209	cm ² /v.sn
GAMMA	0.172	0.715	V ^{1/2}
LAMBDA	6.636197E-03	4.391428E-02	V ⁻¹
VMAX	65547.3	100000	m/sn

Tablo 2. Devre bloklarında kullanılan transistörlerin boyutları

Transistör	W/L[$\mu m/\mu m$]
M_1-M_2	nMOS 200/4
M_3-M_{10}	nMOS 40/2
$M_{11}-M_{18}$	pMOS 63/4
$M_{19}-M_{22}$	nMOS 25/4



Şekil 4. Akım modlu çarpıcı devresinin DC analiz simülasyon sonuçları



Şekil 5. Şekil 2’deki dört bölgeyi akım modlu çarpıcı devresinin simülasyon sonuçları (a) Giriş akımları (I_c , I_m ve I_s), (b) çıkış akımı (I_{OL}) ve hesaplama ($I_c \times I_m / I_s \times 4$) grafiği [$m=2$ için]

4. SONUÇLAR

Bu çalışmada, bir akım-modlu CMOS dört bölge çarpma devresi tasarlanmış olup, bu devrenin; akım modlu bulanık mantık denetleyicilerinin durulama bloğunda temel hesaplama birimi olarak kullanılabilmesi teorik olarak ve simülasyon sonuçları ile gösterilmiştir. Devrenin davranışı, PSPICE programı ile BSIM3 2.0 μm üretim parametrelerine göre analiz edilmiştir. Tasarlanan devre, oldukça lineer davranışa sahiptir. Bunun yanında, önerilen devrenin çıkış akımı, üretimi güçleştiren K_n ve V_T parametrelerinden bağımsızdır. Önerilen devre, bulanık mantık denetleyicilerinde yaygın kullanım alanı olan Ağırlık Merkezi (Center of Gravity) durulama metodunun gerçekleştirilmesi için uygun yapıdadır.

KAYNAKLAR

- [1] Yan S., and Sanchez-Sinencio E., Low Voltage Analog Circuit Design Techniques: A Tutorial, IEEE TRANS. ANALOG INTEGRATED CIRCUITS AND SYSTEM, Vol. E00-A, No.2, February 2000.
- [2] Vazquez A.R., Navas R., Restituto M. D., and Verdu F. V., A Modular Programmable CMOS Analog Fuzzy Controller Chip, IEEE TRANS. ON CIRCUITS AND SYSTEMS-II: ANALOG AND DIGITAL SIGNAL PROCESSING, Vol.46, No.3, pp. 251-265, 1999.
- [3] Baturone I., Sanchez-Solano S., Huertas J.L., Implementation of CMOS Fuzzy Controllers as Mixed-Signal Integrated Circuits, IEEE TRANS. ON FUZZY SYSTEMS , Vol.5, No.1, pp. 1-19, 1997.
- [4] Guo S., Peters L., and Surmann H., Design and Application of an Analog Fuzzy Logic Controller, IEEE TRANS. ON FUZZY SYSTEMS, Vol. 4, No.4, pp. 429-438, 1996.
- [5] Yamakawa T., A Fuzzy Inference Engine in Nonlinear Analog Mode and Its Application to a Fuzzy logic Control, IEEE TRANS. ON NEURAL NETWORKS, vol.4, No.3, 496-522,1993.
- [6] Sasaki M., Ueno F., and Inoue T., VLSI Realization of a Fuzzy Controller using Current-mode Circuit, IEICE TRANS. ANALOG, Vol. 73-A, No.5, pp.970-978, 1990.
- [7] Huang C.Y., Liu B.D., Current-mode multiple input Maximum Circuit for Fuzzy Logic Controllers, ELECTRONICS LETTERS, Vol. 30, Iss. 23, pp. 1924-1925, 1994.
- [8] Baturone I., Huertas J. L., Barriga Á., Sánchez-Solano S., Current-mode Multi-Input Max Circuit, ELECTRONICS LETTERS, Vol. 30, Iss. 9, pp. 678-680, 1994.
- [9] Huang C.Y., Wang C.J., Liu B.D., Modular Current-mode multiple input Minimum Circuit for Fuzzy Logic Controllers, ELECTRONICS LETTERS, Vol. 32, Iss. 12, pp. 1067-1069, 1996.
- [10] Sasaki M., Inoue T., Shirai Y., Ueno F., Fuzzy Multiple-input Maximum and Minimum Circuits in Current-mode and Their Analyses using Bounded Difference Equations, IEEE TRANS. ON COMPUTERS, Vol. 39, No. 6, pp. 768-774, 1990.
- [11] Tokmakçı M., Alçı M., Kılıç R., A simple CMOS-based Membership Function Circuit, ANALOG INTEGRATED CIRCUIT AND SIGNAL PROCESSING, Vol. 32, Iss. 1, pp. 83-88, 2002.
- [12] Tartagni M., Perona P., Computing centroids in Current-mode Technique, ELECTRONICS LETTERS, Vol. 29, Iss. 1, pp. 1811-1813, 1993.
- [13] Seevinck E., Wiegerink R.J., Generalized Translinear Circuit Principle, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol. 26, No. 8, pp. 1098-1102, 1991.