

# Watchdog Timer Biriminin 8051 Mikrodenetleyicisi İçerisine Donanım Tanımlama Dili (HDL) Yardımıyla Entegre Edilmesi

Özdemir Çetin<sup>1</sup>, A.Turan Özcerit<sup>2</sup>, H.İbrahim Eskikurt<sup>3</sup>, Murat Çakıroğlu<sup>4</sup>

<sup>1,2,3,4</sup>Sakarya Üniversitesi, Teknik Eğitim Fakültesi, Elektronik ve Bilgisayar Eğitimi Bölümü, 54187 Adapazarı

<sup>1</sup>ocetin@sakarya.edu.tr

<sup>2</sup>aozcerit@sakarya.edu.tr

<sup>3</sup>eskikurt@sakarya.edu.tr

<sup>4</sup>muratc@sakarya.edu.tr

Anahtar sözcükler: 8051, Watchdog Timer, HDL

## Özet

Bu çalışmada, Watchdog Timer biriminin bir donanım tanımlama dili (HDL) yardımıyla modellenerek 8051 mikrodenetleyicisi içerisine entegre edilmesi amaçlanmıştır. Watchdog Timer birimi, FPGA (Alan Programlanabilir Kapı Dizisi) geliştirme platformunda gerçeklemek üzere HDL formatında ifade edilmiştir ve gerçekleştirme işlemleri süresince 8051'in orijinal mimarisine mümkün olduğunca sadık kalmıştır. Modellenen birim, FPGA platformunun sağlamış olduğu tümleşik sentezleyici ve benzetim programları vasıtasıyla doğrulanmıştır.

## 1. Giriş

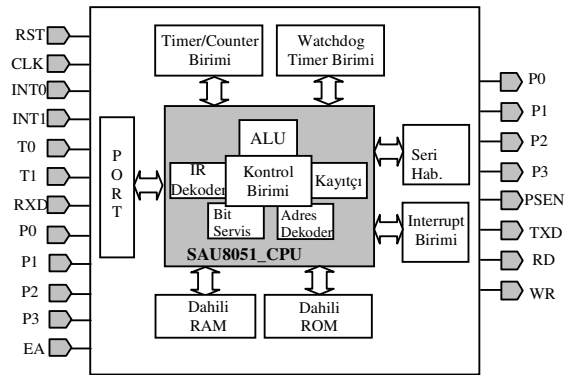
Elektronik sistemlerin tasarımında modern yaklaşım, system-on-chip (SoC) olarak ifade edilen bir teknolojidir [1]. SoC teknolojisinde, sistem içerisindeki birimler bir donanım tanımlama dili (VHDL, VERILOG veya SystemC) yardımıyla ifade edilir. Sistemin tanımlanma aşamasını takiben derleme ve davranışsal benzetim adımları gerçekleştirilir. Sistemden beklenen cevapların elde edilmesiyle sistem üzerinde zamansal benzetim aşamasına geçilir. Bütün birimler, sentezleme ve yerleştirme işlemleri sonunda tekrar programlanabilir bir tümleşik devreye aktarılır. Burada bahsedilen teknolojinin tüm evrelerinde yazılım tabanlı geliştirme sistemleri kullanılır. Sistemin uygulama aşamasında ise gerek büyük kapasiteleri ve gerekse de esnek yapılarından dolayı FPGA tümleşik devreleri tercih edilmektedir [2].

Endüstride kullanılan sistemlerde bir uygulama programının çalışması sırasında mikrodenetleyicinin bir döngü içerisinde hatalı bir şekilde sürekli dönmesini mikrodenetleyicinin algılayıp programı başlangıç konumuna getirmesi hem zaman kaybını engeller hem de sistemin doğru çalışmasını sağlar. Fakat günümüzde endüstriyel bir standart haline gelmiş olmasına rağmen 8051 mikrodenetleyicisinin standart mimarisinde bu

özellik bulunmamaktadır. Bu birimi içeren 8051'in diğer türevleri ise watchdog timer'ın haricinde daha farklı birimler içerir ve bunlar da mikrodenetleyicinin maliyetini artıran unsurlardan olmaktadır.

SoC teknolojisini mikrodenetleyicili sistemlere uygulayabilmede önemli parametrelerden biri de seçilen FPGA entegresinin kapasitesidir. Bu kapasiteyi en verimli şekilde kullanmak için 8051 mikrodenetleyicisinin sadece gerekli birimleri entegre üzerinde oluşturulmalıdır. Aksi takdirde gereksiz yere entegre alanı işgal edilmesi ve ekstra güç tüketimi gibi dezavantajlar ortaya çıkar. Bu çalışmada da watchdog timer birimi mikrodenetleyiciden bağımsız olarak tasarlanıp sisteme entegre edilmiştir. Böylelikle istenen ve gerekli tüm birimler bu yöntem ile sisteme sonradan ilave edilebilir veya çıkarılabilir.

## 2. Temel Mimari Konfigürasyonları



Şekil 1. 8051 mikrodenetleyicisi blok diyagramı

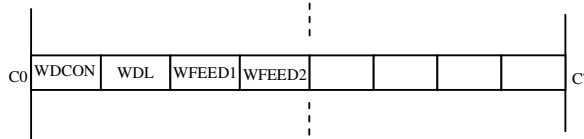
Şekil 1'de, kontrol, ALU, Timer/Counter, seri haberleşme birimleri, dahili RAM ve ROM hafıza bloklarından oluşan tekrar konfigüre edilebilir 8051 mikrodenetleyicisinin blok diyagramı görülmektedir.

Modellenen 8051 mikrodenetleyicisinin standart özellikleri şunlardır;

- 32 Giriş/Çıkış portu
- 256 Byte dahili RAM
- 64 Kbyte'a kadar dahili ROM
- 64 Kbyte'a kadar harici ROM ve RAM
- 2 adet Timer/Counter
- 1 adet seri haberleşme birimi
- 2 adet harici kesme kaynağı
- 1 adet Watchdog Timer

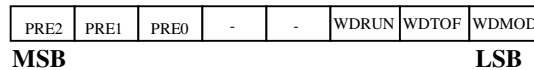
Tasarımda 8051'in standartlarını belirleyen birkaç VHDL sabiti vardır. Uygulamalardaki ihtiyaca yönelik olarak ilgili VHDL sabitlerine uygun değerler atanmasıyla kullanıcıya çekirdeğin yapısını belirleme imkanı verilir. Böylece RAM ve ROM büyüklükleri, komut seti, kesme kaynaklarının sayısı, zamanlayıcı/sayıcı ve seri haberleşme birimlerinin sayısı isteğe göre belirlenebilir.

### 3. Watchdog Timer Biriminin Özellikleri



Şekil 2. Watchdog Timer kayıtçısının SFR haritasındaki yeri.

Watchdog Timer kayıtçısı, watchdog fonksiyonlarını kontrol eden 8-bit "WDCON" kayıtçısı, watchdog timer'a yeniden yükleme yapan 8-bit "WDL" kayıtçısı, watchdog timer'ın default değerlerini sağlayan 8-bit "WFEED1" ve 8-bit "WFEED2" kayıtçılarından oluşmaktadır [3]. Watchdog timer biriminde ana timer'ın (T3) sayması istenilen değer WDL kayıtçısı yardımıyla T3'e yüklenir. Watchdog fonksiyonu, programlanabilen 11-bit prescaler (bölücü) ile 8-bit ana timer'dan (T3) oluşur.



Şekil 3. WDCON Kayıtçısı.

Bir SFR kayıtçısı olan WDCON Şekil 3'de görüldüğü gibi 6 kontrol bitinden oluşmaktadır. WDMOD olarak adlandırılan bit-0 watchdog timer biriminin mod seçimini yapar. WDMOD=1 olduğunda watchdog modu, WDMOD=0 olduğunda ise timer modu seçilir. WDTOF kontrol biti, watchdog timer'ın taşıdığı gösteren bir bayraktır. Bit-3 ve bit-4 ise ileriki

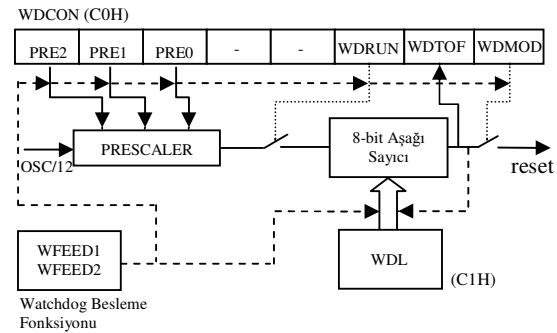
uygulamalarda kullanılmak üzere ayrılmıştır. Bit-5, bit-6 ve bit-7 saat sinyalinin bölünme oranını belirlemek için kullanılır. Prescaler'in bu üç kontrol bitine göre bölme oranları Tablo.1'de verilmiştir.

Tablo 1. Prescaler için bölme oranları.

| PRE2 | PRE1 | PRE0 | Bölme Oranları ( $f_{osc}$ ) |
|------|------|------|------------------------------|
| 0    | 0    | 0    | 12x64                        |
| 0    | 0    | 1    | 12x64x2                      |
| 0    | 1    | 0    | 12x64x4                      |
| 0    | 1    | 1    | 12x64x8                      |
| 1    | 0    | 0    | 12x64x16                     |
| 1    | 0    | 1    | 12x64x32                     |
| 1    | 1    | 0    | 12x64x64                     |
| 1    | 1    | 1    | 12x64x128                    |

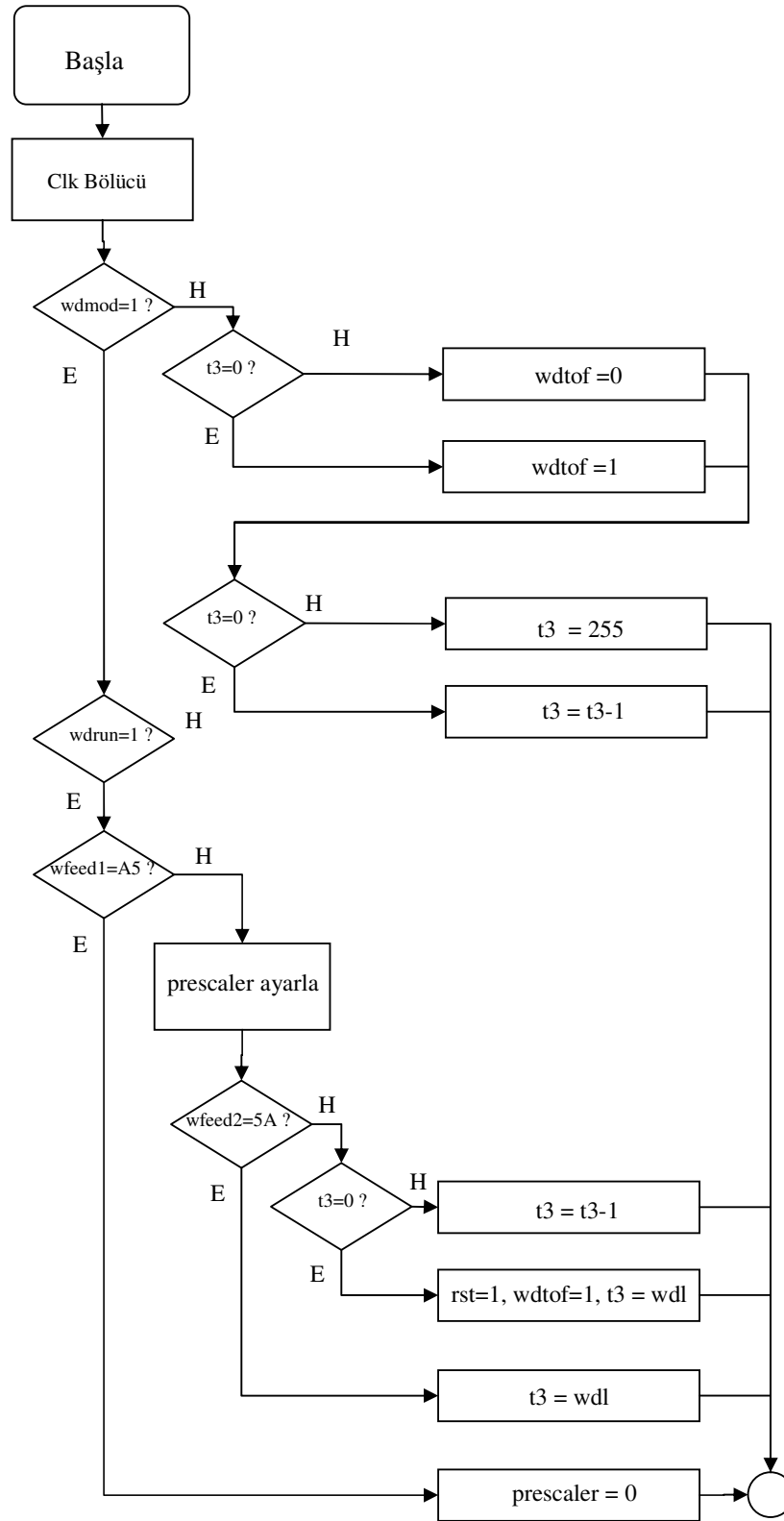
### 4. Watchdog Timer Biriminin Çalışması

SFR kayıtçısı WDCON'un bit-5, bit-6 ve bit-7 değerlerine göre prescaler için Tablo 1. de verilmiş olan herhangi bir bölme değeri seçilebilir. Prescaler'in değeri osc frekansının her 1/12'sinde artacaktır. Prescaler'in bu her artışı ana timer (T3) değerini bir azaltacaktır. Ana timer'ın değerinin 00H olmaması için WDL kayıtçısı belli bir periyotla T3'e yüklenir, aksi takdirde watchdog sistemi resetleyecektir. Watchdog timer biriminin mimari yapısı Şekil 4'te görülmektedir.



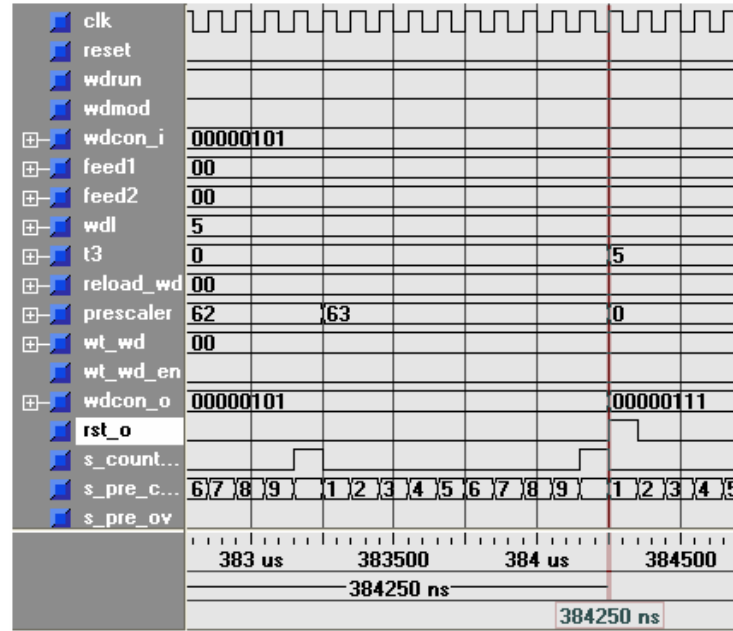
Şekil 4. Watchdog timer biriminin mimarisi.

Watchdog timer biriminin temel akış diyagramı Şekil 5’de gösterildiği gibidir.



Şekil.5 Watchdog Timer biriminin indirgenmiş akış diyagramı.

## 6. Simülasyon Sonuçları



Şekil 6. Watchdog Timer biriminin simülasyonu

Şekil 6’da watchdog timer biriminin simülasyon sonuçları görülmektedir. Şekilden de görüldüğü gibi WDCON kayıtçısı “00000101” değerindedir. WDCON kayıtçısının bu değerine göre WDMOD ve WDRUN bitleri ‘1’ değerine kurulmuştur. T3’e saydırılacak değer WDL tarafından yüklenir. Sistemimiz için kritik değer olan resetleme işlemi simülasyonda da görüldüğü gibi T3’ün yeniden 5 değerine ulaştığı anda olmaktadır. Bu anda rst\_o değeri ‘1’, WDCON değeri ise “00000111” olmuştur. WDCON kayıtçısının bu değerine göre ise WDTOF ‘1’e kurulmuştur.

eklenmesi yerine bu işlemi watchdog biriminin otomatik olarak yaptırması hedeflenmektedir.

## Teşekkür

Bu çalışma, D.P.T tarafından desteklenen “Mikroişlemci ve Mikrodenetleyici yapıların FPGA-CPLD yapılarında gerçekleştirimi” isimli proje kapsamında gerçekleştirilmiştir.

## KAYNAKLAR

- [1] Borgatti, M., Lertora, F., Foret, B., Cali, L. : A Reconfigurable System Featuring Dynamically Extensible Embedded Microprocessor, FPGA and Customizable I/O, IEEE Custom Integrated Circuits Conference, (2002) 13-16
- [2] Bezerra, E.A, Gough, M.P.: A Guide to Migrating from microprocessor to FPGA Coping with the Support Tool Limitations, ELSEVIER Microprocessor and Microsystems 23, (1999) 561-572
- [3] Philips Semiconductors, “80C51-Based 8 bit Microcontrollers Data Handbooks”, IC20, 1994.

## 7. Sonuçlar

Bu çalışmada, 8051 mikrodenetleyicisi içerisine watchdog timer biriminin entegre edilmesi gerçekleştirildi. Modellenen sistemin tüm birimlerinin benzetimlerinin yapılması, sentezlenmesi ve gerçekleştirilmesi aşamalarında Xilinx (ISE 5.1i) ve Mentor Graphics (FPGA Advantage 5.4 Pro incorporating ModelSim 5.6f ve Leonardo Spectrum 2002e) programlarının sunduğu FPGA geliştirme araçları kullanıldı. Gerçekleştirme platformu olarak Xilinx firmasının Virtex-II ailesi kullanıldı.

İleriki çalışmalarda watchdog timer biriminin parametrelerinin programcı tarafından yazılma