

CMOS Prosesinde Geniş Bantlı 180° Dijital Faz Kaydırıcı Tasarımı

Design of Wideband 180° Digital Phase Shifter in CMOS Process

Celal Avcı¹, Ece Olcay Güneş¹, Binboğa Siddık Yarman²

¹Elektronik ve Haberleşme Müh.
İstanbul Teknik Üniversitesi
celalavci@gmail.com, gunesec@itu.edu.tr

²Elektrik ve Elektronik Müh.
İstanbul Üniversitesi
sbyarman@gmail.com

Özet

Bu makale simetrik latis yapıları kullanarak geniş bantlı, düşük faz hatası ve düşük giriş kaybı olan 180°-bit dijital faz kaydırıcı devresinin tasarımını anlatmaktadır. Bu tasarımın gerçekleştirilmesi için 0.18µm TSMC prosesi kullanılmıştır. Makalede önerilen yapı kullanılarak 180° faz kaydırıcı devresi tasarımı 0-10 GHz bant genişliği ve 1°'den düşük faz hatası elde edilmiştir. Bu yapının bütün banttaki kayıp değeri ise 2.5dB 'den düşüktür.

Abstract

In this paper, a wideband, low phase error and low loss 180°-bit digital phase shifter using symmetric lattice structure is presented. In the implementation 0.18µm TSMC process is utilized. It is exhibited that proposed architecture results in 180° phase shift over 0-10 GHz bandwidth with less than 1° phase error. The overall loss of the structure is less than 2.5dB over the entire frequency band.

1. Giriş

Faz kaydırıcılar radar uygulamalarında özellikle antene gelen veya antene gönderilecek olan ana sinyalin farklı açılarda eşleniklerini oluşturmada kullanılan önemli yapı elemanlarıdır. Yeni jenerasyon iletişim sistemlerinde geniş bantlı, geniş faz aralığı ve düşük kayıplı faz kaydırıcı devrelerine olan ihtiyacı arttırmıştır. Literatürdeki bazı çalışmalarda sayısal faz kaydırıcı devreler, T ve Pi LC Ladder yapılarını kullanarak faz kaydırma ve diyot kullanarak anahtarlama yöntemini kullanmıştır[1-8]. Fakat bu çalışmalarda kullanılan faz kaydırıcı topolojileri, her ne kadar düşük faz hatası ve düşük kayıp ile tasarlanılmış olsa da, T ve Pi yapılarının faz kaydırma için kullanılması nedeni ile geniş bantta sonuç alınamamıştır. Bir başka makalede faz kaydırma kuple bölümler ve üniform iletim hatları kullanılarak yapılmıştır[9]. Bu faz kaydırıcı tasarımının geniş bantlı olabilmesi için kuple bölümleri birbiri ile yüksek eşleniklik olması gerekir ki bu da gerçekçi bir uygulama değildir.

Yansıtıcı tipik faz kaydırıcı uygulaması [10-11] referanslarında sunulmuştur. Bu uygulamada 210° ve 360° faz kontrol aralığı ulaşılmıştır. Bu tasarımda, toplu öğeli elemanlar hat kuple devreleri yerine kullanılmıştır. Ancak bu elemanlar, sonuç olarak düşük bant ve yüksek kayıpların olmasına neden olmuştur.

Literatürde aktif vektör modülatörlere bağlı faz kaydırıcı devreleri de mevcuttur[12]. Bu topoloji kullanılarak geniş bantlı bir sonuca ulaşılamamıştır.

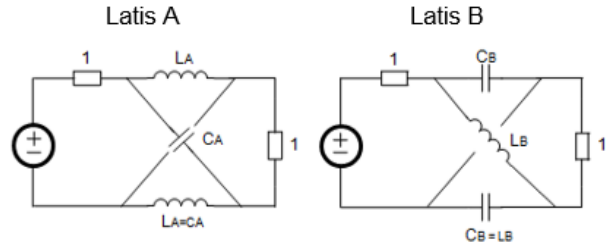
Ayrıca MMIC aktif faz kaydırıcılar değişken rezonant devreleri de kullanmaktadır[13]. Bu tip aktif faz kaydırıcılar, sadece düşük bant ve yüksek giriş kaybı ile gerçekleştirilebilmektedir.

Anahtarlama modu topolojisi kullanan dijital faz kaydırıcı devresi de literatürde yer almaktadır[14]. Bu çalışmada mikrostrip hatlar faz kaydırıcı elemanı olarak kullanılmış olup pin diyotlar anahtarlama elemanı olarak kullanılmıştır. Bu metod her ne kadar düşük kayıp ve düşük faz hatasına sahipse de, geniş bant gerçekleştirilmesi için uygun değildir.

2. Dijital Faz Kaydırıcılar İçin Latis Yapıları

Bu bölümde simetrik latis(çapraz) yapısal faz kaydırıcı devrelerinin genel karakterleri incelenecektir[15-16].

Latis A yapısı and Latis B yapısı aşağıda verilmiştir.



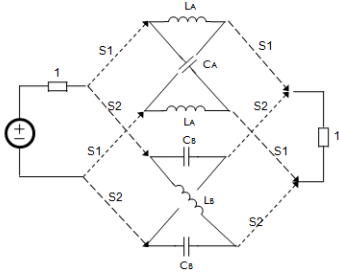
Şekil 1: a) Latis-A Yapısı b) Latis-B Yapısı.

Latis A yatay yolda LA endüktansı ve çapraz yolda CA kapasitansı varken, Latis B yapısı yatay yolda CB kapasitansı ile çapraz yolda LB endüktansı bulunmaktadır. Birim bağlantı ucu durumunda, her iki latis yapılarında yatay yoldaki LA

endüktansı çapraz yoldaki CA kapasitansı ile eşitse ve yatay yoldaki CB kapasitansı çapraz yoldaki LB endüktansına eşitse simetrik latis A ve B tam geçirgen özelliğinde olur[14].

Latis A yapısı teoritik olarak faz kaydırma limiti 0'dan -180 dereceye, Latis B yapısı ise teorik faz kaydırma limiti 0'dan +180 dereceyedir[16-18]. LA, LB, CA ve CB elemanlarını uygun değerler seçersek Latis A ve Latis B yapıları arasında 0'dan 360 dereceye kadar faz farkı oluşturmak mümkündür. Bu faz farkını Latis A ve Latis B yapılarını birbiri arasında anahtarlayarak elde etmek mümkündür.

Latis A and Latis B yapılarını birbiri arasında anahtarlama işlemi, Şekil 2'de gösterildiği üzere, bir elektronik anahtar ile gerçekleştirilmesi mümkündür. Ancak bu çözüm, iki farklı yapının geniş alan kaplaması ve bu iki yapı arasında anahtarlama işleminin performansı etkilemesi nedeni ile akılcı bir çözüm olmayacaktır.

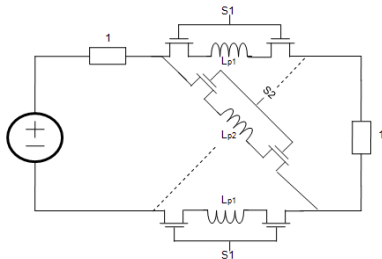


Şekil 2: Latis-A ve Latis-B yapısının birbiri arasında anahtarlanması.

Önerilen tasarımda kullanılan daha kompakt ve yüksek performanslı çözüm ise içerisinde Latis A ve Latis B yapılarını barındıran tek bir devre kullanılarak oluşturulmuştur. Bu devre birinci durumunda Latis A yapısı gibi davranacak, ikinci durumda ise Latis B yapısı gibi davranacaktır. Önerilen tasarım, iki durum arasında 180° faz kaydırma işlemini 0-10GHz bandında ve düşük kayıp ile gerçeklemektedir. Sonraki bölümde önerilen tasarım anlatılacaktır.

3. Tasarlanan Dijital, Simetrik Latis Geniş Bantlı 180° Faz Kaydırıcı Devresi

Önerilen yapı Şekil 3'te verilmiştir. Bu yapıdaki durumlar S1 ve S2 anahtarlarına ON ve OFF sinyalleri verilerek gerçekleştirilmektedir.

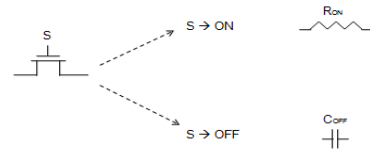


Şekil 3: Önerilen Simetrik Lattice Yapısı.

Durum 1'de; S1 ON, S2 ise OFF değerindedir.. Durum 2'de; S1 OFF, S2 ise ON durumundadır. Durum 1, Latis A yapısını Durum 2 ise Latis B yapısını gerçeklemektedir. Uygun L endüktans ve MOSFET boyutlandırması sonucunda, Durum 1 ve Durum 2 arasındaki faz farkı 0-10GHz geniş bandı içerisinde 180°'ye ayarlanmıştır.

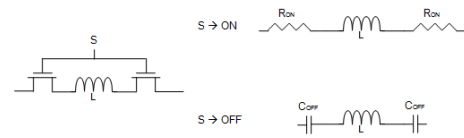
Durum 1'in Latis A'ya, Durum 2 nin Latis B ye eşitliği aşağıda açıklanmaktadır:

Durumların özelliklerini netleştirmek için, öncelikle MOSFET'in ON ve OFF durumlarında nasıl davrandığını özetlemek gerekmektedir.



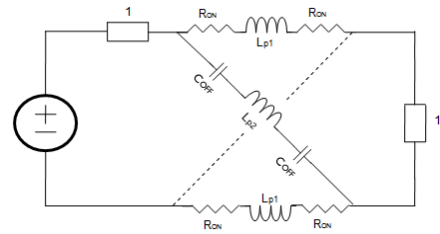
Şekil 4: MOSFET davranışı.

Şekil 4 de gösterildiği gibi, MOSFET anahtarı ON durumunda iken bir direnç, OFF durumunda iken bir kapasitör gibi davranır. Verilen şekilde ON durumu direnci R_ON , OFF durumu kapasitansı C_OFF olarak gösterilmiştir. MOSFET'in durum eşleniklerinden faydalanarak, önerilen tasarımın yatay ve çapraz yollarının ON ve OF değerlerindeki davranış durumu Şekil 5'de gösterilmektedir. Devre kolları, anahtar ON olduğu durumda, endüktansa seri R_ON dirençler olarak, OFF olduğu durumda endüktansa seri C_OFF kapasitörler olarak sadeleştirilebilir. Bilindiği üzere, iki tane seri direncin eş değer direnç değeri 2* R_ON, iki tane seri kapasitörün eş değer kapasitörü ise C_OFF/2'dir.

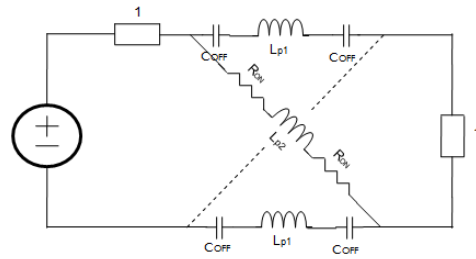


Şekil 5: S → ON ve S → OFF durumunda hat eşdeğer devreleri

Durum 1 eşleniği Şekil 6'da, Durum 2 eşleniği Şekil 7'de verilmiştir.



Şekil 6: Durum 1 eşdeğer devresi (S1 ON, S2 OFF)



Şekil 7: Durum 2 eşdeğer devresi (S1 OFF, S2 ON)

Durum 1'in Latis-A'ya eşit olması için gereken tarasım denklemleri aşağıdadır:

- Durum 1'in seri yoldaki endüktansının Latis-A daki LA olması için, Lp1 endüktansı LA endüktansına eşit

olmalıdır. Bu yoldaki RON ise parazitik direnç olarak görülmeli, yapılabilecek en düşük değerde olacak şekilde tasarlanmalıdır.

$$L_{p1} = L_A \quad (1)$$

- Çapraz yoldaki kapasitenin Durum 1 ile Latis-A'da aynı olması için, aşağıda verilen denkleme uygun tasarım yapılmalıdır.

$$-\frac{1}{sC_A} = sL_{p2} - \frac{1}{sC_{eff}} \quad (2)$$

Durum 2'nin Latis-B'ye eşit olması için gereken tasarım denklemleri aşağıdadır:

- Durum 2'nin çapraz yoldaki endüktansının Latis-B deki L_B olması için, L_{p2} endüktansı L_B endüktansına eşit olmalıdır. Bu yoldaki RON ise parazitik direnç olarak görülmeli, yapılabilecek en düşük değerde olacak şekilde tasarlanmalıdır

$$L_{p2} = L_B \quad (3)$$

- Seri yoldaki kapasitenin Durum 2 ile Latis-B'de aynı olması için, aşağıda verilen denkleme uygun tasarım yapılmalıdır.

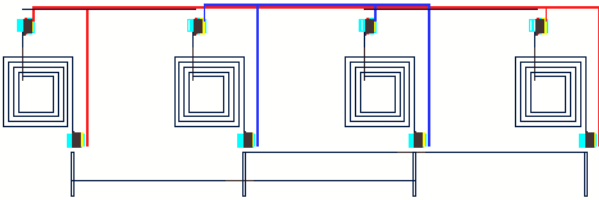
$$-\frac{1}{sC_B} = sL_{p1} - \frac{1}{sC_{eff}} \quad (4)$$

Tasarımı 0-10GHz bandında, uygulanabilir endüktör ve MOSFET büyüklükleri ile tasarlırsa aşağıdaki eleman değerlerine ulaşılır:

- $L_{p1}=L_{p2}=1.6nH$
- $C_{eff}=80fF=C_{OFF}/2$
- MOSFET W/L=100um/0.18um → TSMC 0.18um

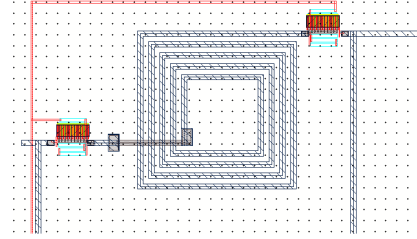
4. Simülasyon Sonuçları ve Karşılaştırma

Önerilen yapı TSMC 0.18um CMOS prosesinde tasarlanmıştır. Endüktanslar 3D EM simülasyon yazılımları ile tasarlanmış olup, serimleri Cadence yazılımına transfer edilmiştir. Önerilen devrenin bütünü serimi Şekil 8'de verilmiştir.



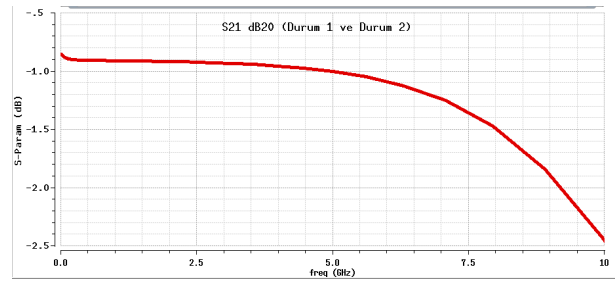
Şekil 8: Tasarlanan devre serimi.

Tasarımın tek kolunun yakınlaştırılmış serimi ise Şekil 9'da verilmiştir.

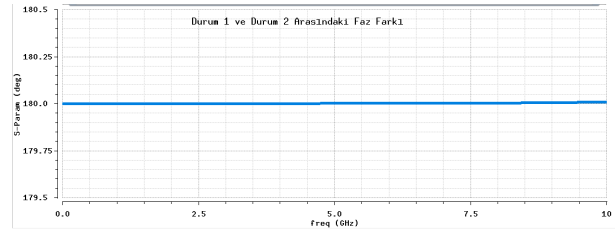


Şekil 9: Tasarlanan devrenin tek kolunun serimi

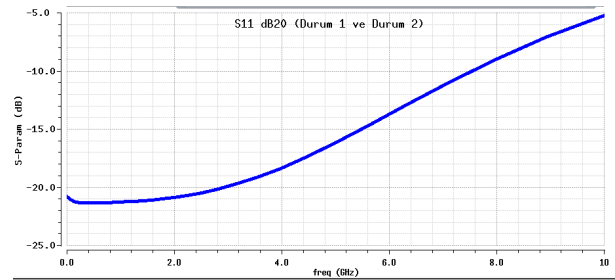
Endüktansların birbirine göre uzaklıkları ve aktif elemanların endüktansa uzaklığı 3D EM simütörü ile simüle edilerek karar verilmiştir. Bu şekilde tasarım 0-10GHz bandına düşük bir faz hatası ve giriş kaybı ile ulaşmıştır. Aşağıda verilen simülasyon sonuçları devre elemanlarının bütün parazitik, kuplaj ve ideal olmayan etkilerini de içermektedir.



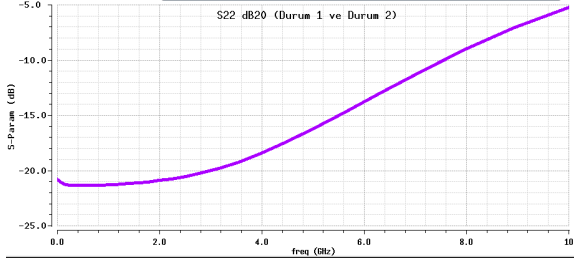
Şekil 10: Durum 1 ve Durum 2 S21 simülasyon sonuçları (sonuçlar üst üstedir)



Şekil 11: Durum 1 ve Durum 2 arasındaki faz farkı



Şekil 12: Durum 1 ve Durum 2 S11 simülasyon sonuçları (sonuçlar üst üstedir)



Şekil 13: Durum 1 ve Durum 2 S22 simülasyon sonuçları (sonuçlar üst üstedir)

Simülasyon sonuçları 0-10GHz bandı arasında 1° altında faz hatası göstermektedir. Ayrıca, S21 giriş kaybı düşük frekanslarda 0.9dB, 10GHz'de 2.45dB'dir. Devre tam simetrik olarak tasarlandığı için S11 ve S22 sonuçları eşittir. S11 ve S22 7.5GHz'e kadar -10dB'den küçük olup 10GHz'de -5dB ye kadar yükselmiştir. Tasarlanan devrenin, çeşitli kaynakların frekans bandı, faz hatası ve S21 giriş kaybı parametreleri ile karşılaştırmaları Çizelge 1'de verilmiştir.

Çizelge 1: Faz Kaydırıcı Devrelerinin Karşılaştırılması

	Faz Kaydırıcı Yapısı	Teknoloji	Frekans Bandı	Faz Hatası	S21 Giriş Kaybı
[10]	Reflektif Yapı	0.6um GaAs MESFET	6.1-6.3 GHz	17°	5.3dB
[11]	Reflektif Yapı	0.6um GaAs MESFET	5.15-5.7 GHz	1.5°	6.4dB
[12]	Vektör Modüle Yapı	0.6um GaAs	4.7-5.7 GHz	7°	9dB
[13]	Değişken rezonans yapılı aktif faz kaydırıcı	0.3um GaAs	2.38-2.42 GHz	4°	2dB
[14]	3 bit/ diferansiyel	RFIC	2.3-2.7 GHz	2.3° - 7.9°	4dB
[18]	Latis Yapı	0.18um CMOS	3-6 GHz	2.5° - 4.5°	3.4-18.5 dB
Bu Çalışma	Latis Yapı	0.18um CMOS	0-10 GHz	$< 1^\circ$	2.45dB

5. Sonuç

Tasarlanan faz kaydırıcı devresi, 0-10GHz geniş bandında 1° altı faz hatası ve düşük giriş kaybı ile son teknoloji tasarımlarından üstün bir performans sergilemektedir.

6. Kaynaklar

[1] Binboga S. Yarman, " Low pass T-section digital phase shifter apparatus," U.S. Patent: 4630010, issued date December 16, 1986.

- [2] Binboga S. Yarman, " π -section digital phase shifter apparatus," U.S. Patent: 4604593, issued date August 5, 1986.
- [3] Binboga S. Yarman, "Low pass π -section digital phase shifter apparatus," U.S. Patent: 4614921, issued date September 30, 1986.
- [4] Binboga S. Yarman, "T-section digital phase shifter apparatus," U.S. Patent: 4630010, issued date December 16, 1986.
- [5] YARMAN, B. S., A., ROSEN and P., STABILE, Low Loss EHF digital phase shifters suitable for monolithic implementation. IEEE Int. Symp. Cir. Sys. Montreal, 573-576 (1984).
- [6] YARMAN, B. S., Design of digital phase shifters suitable for monolithic implementation. Bull. Tec. Univ. Istanbul, 38, 185.205 (1985).
- [7] YARMAN, B. S., New circuit configurations for designing 0° - 180° digital phase shifters. IEEE Proc. 134, 253-260 (1987).
- [8] YARMAN, B. S., Novel circuit configurations to design loss balanced 0° - 360° digital phase shifters. AEU, 45, 2, 96-104 (1991).
- [9] QUIRARTE, J. L. R. and J. P., STARSKI, Novel Shiffman phase shifters. IEEE Tran. on Microwave Theo. and Tech., 41, No.1, 9-14 (1993).
- [10] F. Ellinger, R. Vogt, and W. Bachtold, Compact Reflective type phase shifter MMIC for C-band using a lumped element coupler, IEEE Trans. Microwave Theory Tech., vol.49, pp. 913-917, May 2001.
- [11] Ultra compact reflective type phase shifter MMIC at C-band with 360° phase control range for smart antenna combining, IEEE J. Solid-State Circuits, vol37, pp. 481-486, April 2002.
- [12] F. Ellinger, R. Vogt, and W. Bachtold, A high yield, ultra small, passive, vector modulated based phase shifter for smart antenna combining at C-band, IEEE CSIRO Asia-Pacific Microwave Conf., Sydney, Dec. 2000, pp.794-797.
- [13] H. Hayashi and M. Muraguchi, An MMIC active phase shifter using a variable resonant circuit, IEEE Trans. Microwave Theory Tech., vol. 47, pp.2021-2026, Oct. 1999.
- [14] Yun-Wei Lin, Yi-Chieh Chou, Chi-Yang Chang, A Balanced Digital Phase Shifter by a Novel Switching-Mode Topology, Microwave Theory and Techniques, IEEE Trans. Microw. Theory Techn.,vol. 55, no. 7, pp. 1476-1483, Jul. 2007.
- [15] HERBERT, J. C. and B. G., ANTHONY, Network Theory, Englewood Cliffs, N.J. Prentice-Hall (1978).
- [17] YARMAN, B. S., KILINC A. and UN M., New Digital Phase Shifter Topologies for Mobile Communication Systems, Istanbul University Electrical and Electronics Engineering Department special report (2013).
- [18] E. Atasoy, F. Piri, B.S. Yarman, Symmetric latis 45° , 90° and 180° digital phase shifter at 3-6 GHz for LTE, WIFI, Radar applications, Signals, Circuits and Systems (ISSCS), 2015