

YAPAY SİNİR AĞI KULLANILARAK MOSFET'İN W/L ORANININ HESAPLANMASI

Turan SOLMAZ¹

Tülay YILDIRIM²

^{1,2}Elektronik ve Haberleşme Mühendisliği Bölümü

Elektrik-Elektronik Fakültesi

Yıldız Teknik Üniversitesi, Beşiktaş, İstanbul

¹e-posta: turan.solmaz@st.com

²e-posta: tulay@yildiz.edu.tr

Anahtar sözcükler:MLP, MOSFET, Modelleme

ÖZET

Bu bildiriye yapay sinir ağı (YSA) yapısı kullanılarak MOSFET'in kanal boyunun kanal genişliğine oranı (W/L) bulunmaya çalışılmıştır. Analog tasarımın transistor seviyesinde sonuçlandırılabilmesi için (W/L) oranının elde edilmesi gerekir. W/L oranını bulmak için tam bir modele ihtiyaç yoktur. Dolayısıyla N-kanallı MOSFET, YSA yapısı kullanılarak kısmen modellenmiştir. Bu modelde MOSFET'in savak akımı ve geçiş iletkenliği ağ girişleri olarak alınmıştır. Ağ çıkışı W/L oranı olacağından savak akımı, geçiş iletkenliği ve W/L oranı arasındaki lineer olmayan ilişkinin modellenmesi gerekmektedir. Eğitime ve test verilerinin elde edilmesinde ST 65nm spectre model parametreleri kullanılmıştır. Eğitilmiş ağ yapısı test verileri kullanılarak test edilmiştir. Savak akımı ve geçiş iletkenliği aralığının geniş seçilmesine rağmen test aşamasında bağıl hata %1.5'dan daha az olarak elde edilmiştir.

1. GİRİŞ

Teknolojinin ilerlemesine bağlı olarak MOSFET boyutları nanometre boyutlarına inmiştir. Ancak elemanın fiziksel olarak modellenmesi ve model parametrelerinin elde edilmesi büyük bir problem oluşturmaktadır. Yapay sinir ağları (YSA) son yıllarda transistor elemanının modellenmesi ve parametrelerinin çıkarılmasında yaygın olarak kullanılmaktadır [1-3]. MOSFET akım-gerilim denklemi lineer olmayan bir özelliğe sahip olduğundan kanal genişliğinin kanal boyuna oranının (W/L) elde edilebilmesi için çok fazla işlem gerekmektedir. Bu çalışmada YSA yapısı kullanılarak savak akımı (I_D) ve transistor küçük işaret model parametresi olan geçiş iletkenliği (gm) giriş olarak alınıp bunlara karşılık düşen MOSFET W/L oranı elde edilmeye çalışılmıştır. Ağın iki girişi ve tek çıkışı olacağından ağ yapısı çok hızlı ve basit bir şekilde kurulup istenilen sonuca gidilebilmektedir. Benzer bir çalışmada savak akımı ve geçit-kaynak gerilimi (V_{GS}) giriş alınarak bunlara karşılık düşen MOSFET (W/L) oranı elde edilmeye çalışılmıştır [4].

Analog devre tasarımında kazanç ifadesinde gm ile birlikte yer alan bir diğer parametre ise transistorun

çıkış direncidir. Çıkış direnci ise MOSFET'in kanal boyuna bağlı olan bir parametredir. Kanal boyu (L) hesaplanmak istenirse; savak-kaynak (V_{DS}) gerilimi ve çıkış direncinin ağa girişi olarak verilmesi gerekir. Böylelikle ağın çıkışı da ikiye çıkmış olacaktır. Bu durumda ağ yapısı nispeten daha karmaşık olacaktır. Ayrıca ağın dört girişi olacağından eğitime ve test verilerinin elde edilmesi de zaman alacaktır.

2. MOSFET TANIM BAĞINTILARI

Endüstri BSIM3 model parametrelerini tercih etmektedir. BSIM3 model parametrelerinin çokluğu kullanılan denklemlerin karmaşıklığını da arttırmaktadır. Bu parametreler gerek fiziksel yöntemlerle gerekse deneysel sonuçlarla elde edilmektedir.

Analog devrelerde MOSFET genellikle doyma bölgesinde çalıştırılır. Doyma bölgesinde çalışan bir MOSFET'in tanım bağıntıları aşağıdaki eşitliklerle verilebilir.

$$I_D = \frac{1}{2} \cdot \frac{W_{eff}}{L_{eff}} \cdot \mu_{eff} \cdot C_{ox} \cdot V_{GSTeff} \cdot V_{Dssat} \quad (1)$$

(1) bağıntısında Early etkisi ihmal edilmiştir. Transistorun kanal boyu bulunmak istenirse bu etki bağıntıda gösterilmelidir. Eşitlik (1) de yer alan μ_{eff} , V_{GSTeff} ve V_{Dssat} parametreleri eşitlik (2,3,4)'de verilmiştir.

$$V_{GSTeff} = \frac{2n \frac{kT}{q} \ln \left[1 + \exp \left(\frac{q}{kT} \frac{V_{GS} - V_T}{2n} \right) \right]}{1 + 2nC_{ox} \sqrt{\frac{4\phi_{FB}}{q\epsilon_s NCH}} \exp \left(\frac{q}{kT} \frac{V_{OFF}}{n} \right) \exp \left(-\frac{q}{kT} \frac{V_{GS} - V_T}{2n} \right)} \quad (2)$$

$$\mu_{eff} = \frac{U_0}{1 + UA \frac{V_{GSTeff} + 2V_T}{TOX} + UB \left(\frac{V_{GSTeff} + 2V_T}{TOX} \right)^2} \quad (3)$$

$$V_{Dssat} = \frac{V_{GSTeff} + 2\frac{kT}{q}}{A_{bulk}} \quad (4)$$

$$g_m = \frac{W_{eff}}{L_{eff}} \frac{\mu_{eff} C_{ox}}{A_{bulk}} \frac{V_{GSTeff} \left(V_{GSTeff} + \frac{kT}{q} \right)}{V_{GSTeff} + n\frac{kT}{q}} \quad (5)$$

$$W_{eff} = W - 2 \cdot WINT \quad (6)$$

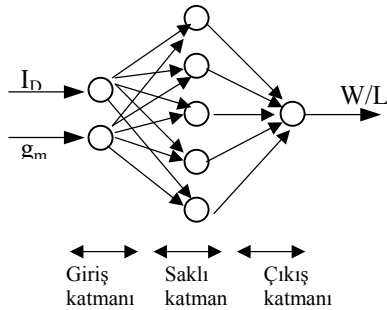
$$L_{eff} = L - 2 \cdot LINT \quad (7)$$

Eşitliklerde yer alan n , C_{ox} , Φ_{FB} , A_{bulk} seçilen prosese bağlıdır. Ayrıca V_{OFF} , NCH , $U0$, UA , UB , $WINT$ ve $LINT$ BSIM3 model parametreleridir.

MOSFET'e ait savak akımı ve g_m verildiği zaman, eşitlik (1) ve (5) yardımıyla V_{GSTeff} hesaplanır. μ_{eff} ve V_{Dssat} eşitlik (3) ve (4) kullanılarak bulunur. (1) numaralı denklem tekrar kullanılırsa W_{eff}/L_{eff} hesaplanır. (6) ve (7) bağıntıları, W/L oranının bulunabilmesi için kanal boyunun seçilmesini gerektirmektedir. YSA yapısı kullanılarak W/L doğrudan hesaplanabilmektedir.

3. YSA Modeli

Çok Katmanlı Algılayıcı (Multi Layer Perceptron-MLP) ağ yapısı giriş katmanı, saklı katmanlar ve çıkış katmanından oluşmaktadır. Her katman sigmoidal özellikler gösteren işlem elemanları içermektedir. Katman çıkışları bir önceki katman çıkışlarının ağırlıklı toplamının lineer olmayan bir aktivasyon fonksiyonundan geçirilmesi ile elde edilir. Böyle bir ağ yapısının rasgele fonksiyonların yaklaşıklığında kullanılabilmesi gösterilmiştir [5]. Her bir nöron girişlerini bir önceki katmandan aldığından ağ ileri yönde davranış gösterir. Öğrenme aşamasında istenen çıkış ile ağ çıkışı arasındaki ortalama karesel hata minimum olacak şekilde bağlantı ağırlıkları ayarlanır. Bu çalışmada kullanılan MLP yapısı Şekil-1'de görülmektedir.



Şekil-1. Kullanılan YSA yapısı.

K. katmanda bulunan i . nöronun giriş ve çıkışı eşitlik (8) ve (9) da verilmektedir. K. katmandaki nöron

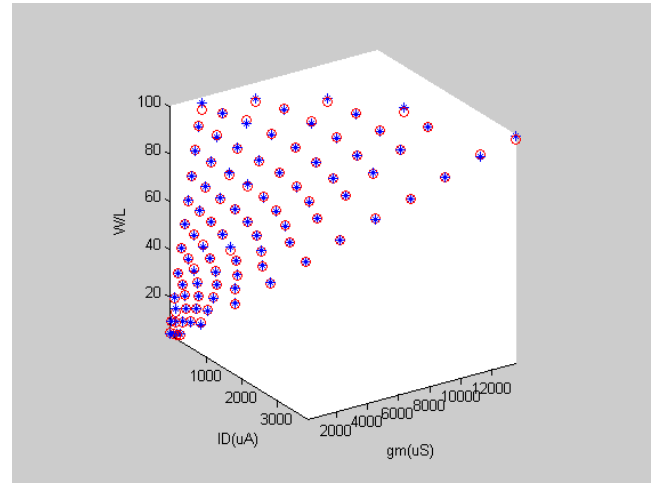
sayısı N_k dir. Aktivasyon fonksiyonu ise tanjant hiperbolik olarak seçilmiştir.

$$x_i^k = \sum_{j=0}^{N_{k-1}} w_{i,j}^{k-1} y_j^{k-1} \quad (8)$$

$$y_i^k = \tanh(x_i^k) \quad (9)$$

Seçilen ağ yapısının giriş katmanı iki, saklı katmanı 5, çıkış katmanı ise bir işlem birimi içermektedir. Katman içi ve katmanlar arası geri besleme bulunmamaktadır.

Öğrenme aşamasında g_m ve I_D giriş, W/L ise istenen çıkış olarak ağa verilir. Öğrenme, bağlantı ağırlıkları ve eşik değerlerinin istenen çıkış ile gerçek çıkış arasındaki ortalama karesel hatanın delta kuralı ile minimize edilmesinden oluşmaktadır.



Şekil-2. Ağın test girişlerine cevabı. * sembolü istenen cevabı, o sembolü ise ağın verdiği cevabı göstermektedir.

Şekil-2 de ağın çok geniş I_D (10uA - 4mA) ve g_m (0.1mS - 14mS) değerlerinde istenen cevabı verdiği gösterilmektedir. Hem eğitim hem de test aşamasında 100 adet veri kullanılmıştır. Test aşamasında bağıl hatanın %1.5'tan daha az olduğu görülmüştür.

4. SONUÇ

Bu çalışmada MOSFET kanal-genişliğinin kanal-boyuna oranı YSA yardımı ile hesaplanmaya çalışılmıştır. Ağ girişleri geçiş iletkenliği ve savak akımı olan iki girişli bir MLP ağ yapısı kullanılmıştır. Bu basit YSA yapısı dışarıdan verilen herhangi bir g_m - I_D çifti için analog tasarımda kabul edilebilir doğrulukta sonuç vermektedir. Eğitim ve test verileri spectre yardımıyla elde edilmiştir. ST 65nm proses parametreleri kullanılmıştır. Seçilen MOSFET'in türü ise düşük eşik gerilimli- düşük güçlü (lvtlp) bir NMOS türüdür. YSA yapısı teknolojidenden ve eleman türünden bağımsızdır. Dolayısıyla aynı ağ yapısı aynı teknolojiye yer alan diğer transistor türleri için de

kullanılabilir. Bu durumda, her bir transistor tipi için kullanılan ağ topolojisi aynı tutulup sadece bağlantı ağırlıklarının ve eşik değerlerinin değiştirilmesi gerekmektedir.

KAYNAKLAR

- [1] T.Trajkovic, P.Igic, N.Stajadinovic, Extraction of Power VDMOS Transistor Model Parameters Using Neural Network, PROC. 21st International Conference on Microelectronics, Vol 2, pp. 463-466, 1997.
- [2] LingLing Sun, YiXing Liao, Large-signal Modeling of HEMT Device based on Neural Network, 3rd International Conference on Microwave and Millimeter Wave Technology Proceedings. pp 883-886, 2002.
- [3] S.Hatami, M.Y.Azizi, H.R.Bahrami, Modeling of Drain Current Characteristics of SOI MOSFETs Using Neural Networks, IEEE, pp 114-117, 2002.
- [4] M. Avci, M. Y. Babac and T. Yildirim, "Neural Network Based Transistor Modelling and Aspect Ratio Estimation for YITAL 1.5 micron Process", *ELECO 2003 International Conference Proceedings, Electronics Volume*, Bursa, Turkey, 2003, pp. 54-57.
- [5] C.Cybenko, Approximations by Superpositions of a Sigmoidal Function, Math. Contr., Signal, Syst., vol. 2, 1989, pp. 303-314