

# FPGA (FIELD PROGRAMMABLE GATE ARRAY) TABANLI BULANIK KONTROLÖR TASARIMI VE BİR UYGULAMA

Haluk BAYRAM<sup>1</sup>, Ahmet Faruk UGUR<sup>1</sup>, Kenan DANIŞMAN<sup>2</sup>

<sup>1</sup>Bilgisayar Mühendisliği Bölümü, Mühendislik Fakültesi  
Erciyes Üniversitesi, 38035, Kayseri

<sup>2</sup>Elektronik Mühendisliği Bölümü, Mühendislik Fakültesi  
Erciyes Üniversitesi, 38035, Kayseri

<sup>2</sup>e-posta: [danismak@erciyes.edu.tr](mailto:danismak@erciyes.edu.tr)

Anahtar sözcükler:FPGA, Bulanık Kontrolör Tasarımı

## ABSTRACT

*Fuzzy logic is a common method to solve non linear and dynamic problems. Unlike boolean logic in which the transition from set to set is instantaneous, the transition in fuzzy logic may be gradual. This makes fuzzy controller to have smooth response. In this study, a hardware implementation of fuzzy controller for irrigation control is described and carried out using Field Programmable Gate Arrays (FPGAs).*

## 1. GİRİŞ

Son yıllarda Bulanık Kontrolörler (BK) hem ticari ürünlerde hem de endüstriyel proses kontrol işlemlerinde oldukça yaygın bir şekilde uygulama alanı bulmuştur [1-2]. BK'ler özellikle matematiksel modeli oluşturulamayan veya matematiksel modelleri oldukça nonlineer olan sistem kontrollerinde kullanılmaktadır.

BK'ler, bulanık hesaplamalar için geliştirilmiş genel amaçlı bulanık işlemciler ve özel amaçlar için geliştirilmiş bulanık donanımlar olmak üzere iki farklı yapıda tasarlanmaktadır. Genel amaçlı BK'ler, bilgisayarlar (PC veya iş istasyonları), işlemciler ( $\mu$ P,  $\mu$ C, sayısal işaret işlemci (DSP)) veya sayısal hafıza elamanları gibi platformlar üzerinde inşa edilebilirler. Özel amaçlı BK'ler ise sayısal ve analog tabanlı birçok farklı teknolojiye üretilmektedir. İlk ticari sayısal yapıdaki BK 1986 yılında AT&T Bell laboratuvarlarında geliştirilmiştir [3]. Bu tarihten sonra CMOS, BiCMOS, bipolar ve PLA gibi farklı teknolojiler ve devre yapılarını ihtiva eden akademik ve ticari alanda birçok çalışma ortaya konulmuştur [4-7].

Bu çalışmada, tarım alanı veya bahçe sulama amaçlı sayısal Bulanık Kontrolörün tasarımı ve FPGA üzerinde oluşturulması açıklanmıştır. BK tasarımı FPGA kullanım avantajları: geleneksel BK yapılarına göre daha yüksek örnekleme oranı, daha kararlı

olması, paralel işlem yapabilme yeteneği ve giriş/çıkış sayısının fazla olması, fiyatlarının ucuz ve sistem geliştirme yazılımlarının kişisel bilgisayarlar üzerinde koşturulabilmesi olması gibi özellikler verilebilir. Bununla birlikte FPGA'lerin, yüksek yoğunluklu ve esnek yapıları kapı dizilerinin (Gate Arrays) avantajlarıyla, kısa tasarım süresi, kullanıcı tarafından programlanabilir özellikleri ve standart ürün özelliği olan programlanabilir lojik elemanların (Programmable Logic Devices) avantajlarını birleştiren bir yapıda olması diğer özellikleri olarak verilebilir[8]. Bu çalışmada, sistemin tanımlanmasında, test edilmesinde ve sentezlenmesinde VHDL (Very High Speed Integrated Circuit Hardware Description Language) yazılım dili kullanılmıştır [9,10].

## 2. BULANIK KONTROLÖR BİRİMİ

Bir Bulanık Mantık denetimi dört birimden oluşmaktadır [1]. Bunlar;

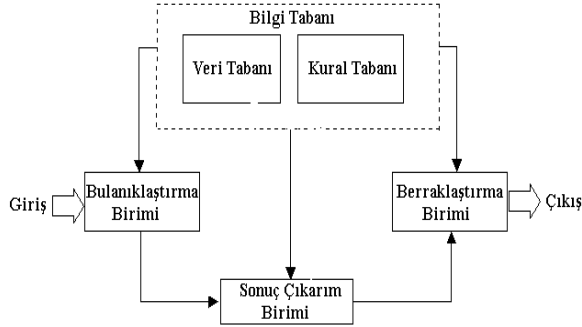
- Bulanıklaştırma birimi (fuzzification)
- Bilgi tabanı (knowledge base)  
Veri tabanı (data base)  
Kural tabanı (rule base)
- Sonuç çıkarım birimi (inference engine)
- Berraklaştırma birimi (defuzzification)

Şekil-1'de Bulanık Kontrolör biriminin blok yapısı görülmektedir.

Bulanıklaştırma birimi gerçek fiziksel değerleri dil sözcüklerine dönüştürür. Bu dönüştürme işlemi için küme tanımları verilir. Kural esasına dayanan dil sözcükleri Pek Çok, Çok, Az, Pek Az, Hiç gibi bir küme biçiminde olabilir. Daha sonra bu sözcüklerin 0 ile 1 arasında yer alan değerlerden ibaret ara tanımları verilir. Bulanıklaştırma işlemi her bir gerçek fiziksel veri için bütün dil sözcüklerinin üyeliğini çıkarır.

Kural tabanı bilgileri IF-THEN kuralları şeklinde depolar. Bu kurallar sayesinde bulanık değerler ile gerçek değerler arasındaki ilişkinin kurulması sağlanır.

Veri tabanı, kurallar dışındaki sonuç çıkarımında ve berraklaştırmada uygulanacak yöntemle ilgili nasıl ölçekleme yapılacağı hakkında bilgileri tutmaktadır.



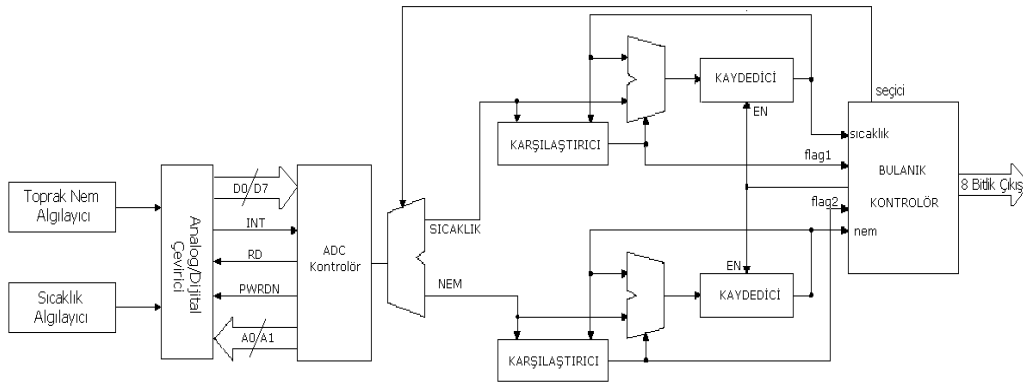
Şekil-1. Bulanık Kontrolör sisteminin blok yapısı

Sonuç çıkarım birimi, bulanıklaştırılmış verilerden, verilen kurallar kümesini kullanarak bulanıklaştırılmış çıktıları hesaplar.

Berraklaştırma birimi, üretilen bulanık verileri ve sözcük tanımlarını birleştirip gerçek veriyi oluşturur. Bu işlem en yüksek değer seçimi, alan ortası yöntemi ve ağırlık ortalaması yöntemi olmak üzere değişik yöntemlerle yapılır.

### 3-BULANIK KONTROLÖR TASARIMI

Sulama amaçlı olarak tasarlanan kontrolör iki giriş ve tek çıkışa sahiptir [10]. Girişler toprak nem miktarı ve hava sıcaklığı değerlerini algılayan sensörlerden alınmaktadır. Bu amaçla nem miktarını algılamak amacıyla Irrrometer firmasının ürettiği 200SS nem sensörü ve sıcaklık bilgisinin dönüştürülmesi amacıyla ise National firmasının ürettiği LM34 sensörü seçilmiştir. Giriş analog bilgilerini sayısal forma dönüştürme amacıyla Maxim firmasının ürettiği sekiz bit çıkışlı ve dört kanallı MAX114 analog/sayısal dönüştürücüsü (ADC) kullanılmıştır. Bulanık Kontrolör Birimi ise Xilinx firmasının ürünü olan XC4010E FPGA elemanı üzerinde gerçekleştirilmiş olup tasarım sonunda bu elemanın %75'lik bölümü kullanılmıştır. Şekil-2'de tasarımı yapılan bulanık kontrolörün sistem blok yapısı görülmektedir. Takip eden bölümlerde BK'ün alt birimleri açıklanmıştır.



Şekil-2. Tasarımı yapılan bulanık kontrolör sistemi blok diyagramı

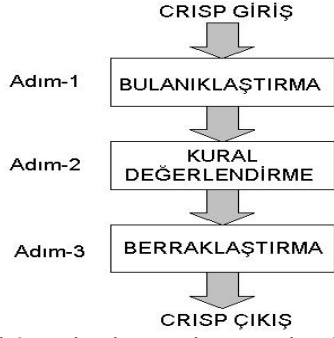
### 3.1 VERİ ELDE EDİNİM BİRİMİ

Bu birim Şekil-2'den de görüleceği gibi analog giriş değerlerini (crisp değerler, hava sıcaklığı ve nem) olarak sayısal forma dönüştürmektedir. ADC'nin çevrim işlemini başlatması için, RD sinyali ADC kontroller tarafından lojik-0'a setlenir. ADC çevrim işleminin sonunda, INT sinyalini lojik-0 yapar. Bu sayede veri elde edinim birimi çevrimin tamamlandığını anlar ve ADC çıkışından 8 bitlik veriyi okur. Verinin okunmasından sonra RD sinyalini lojik-0'a çekilmesiyle ADC INT sinyalini lojik-1 yapar. Eğer ADC çıkış verisi bir önceki çevrimin çıkış verisinden farklı olursa, bu veri işleme alınır. Bu farklılığı anlama işlemi, bir önceki verinin kaydedicilerde tutulması ve bu verinin şimdiki veri ile karşılaştırılması suretiyle sağlanır. Okunan veri farklı

olduğunda okunan verinin türüne göre uygun bayrak (flag1 veya flag2) lojik-1'e çekilir ve bu sayede bulanık kontrolör birimi bu veriyi işlemeye başlar.

### 3.2 BULANIK KONTROLÖR İÇ YAPISI

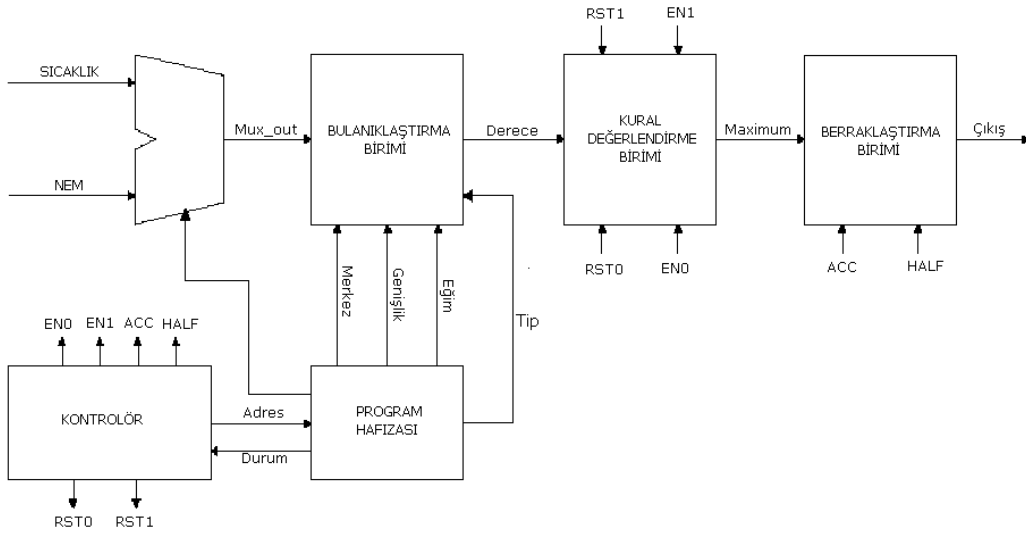
Bulanık mantık ile problem çözme akışı Şekil-3'de verilmiştir. Bulanık mantık süreç yapısına dayanarak bir kontrolör tasarımı, bulanıklaştırma birimi, kural değerlendirme birimi, berraklaştırma birimi, program hafızası ve kontrolör biriminden oluşmaktadır. Şekil-4'de bulanık kontrolör biriminin iç yapısı gösterilmiştir. Bu birim 16 KHz frekansta işlem yapmaktadır.



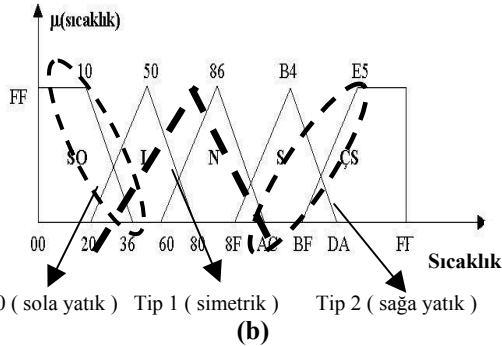
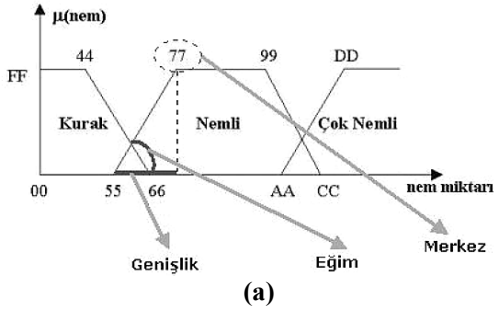
Şekil-3. Bulanık mantık süreç algoritması

### Bulanıklaştırma Birimi:

Bulanık mantık süreç yapısının ilk aşamasıdır. Bu aşamada, okunan 8 bitlik crisp değerler üyelik fonksiyonları kullanılarak bulanık değerlere çevrilmektedir. Bulanık girişleri elde etmek için, program hafızasında depolanan üyelik fonksiyon parametreleri ile crisp giriş karşılaştırılır. Parametreler merkez, genişlik, eğim değerleri ve üyelik fonksiyonundaki her bir etiket için tip bilgisidir. Şekil-5 (a) ve (b)'de bu parametreler gösterilmiştir.

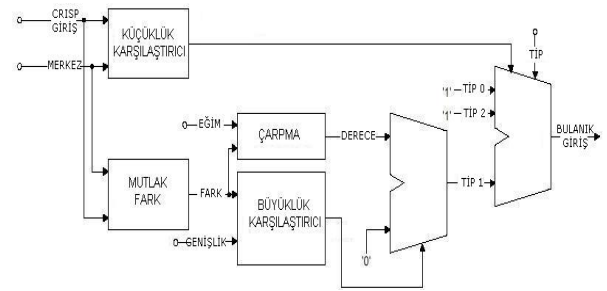


Şekil-4. Bulanık kontrolör iç yapısı.



Şekil-5. (a) Merkez, genişlik, eğim ve (b) tip parametreleri

Şekil-6'da bulanıklaştırma birimi görülmektedir. Bu birime giriş olarak crisp giriş, bulanık değeri



Şekil-6. Bulanıklaştırma biriminin blok yapısı

hesaplanan etiketin merkez, eğim, genişlik değeri ve etiketin tip bilgisi uygulanmaktadır. Bulanık çıkış 00 ile FF arası bir değerdir.

### Kural Değerlendirme Birimi:

Kural değerlendirme işlemi bulanık mantık sürecinin ikinci aşamasıdır. Alınan girişlere karşılık

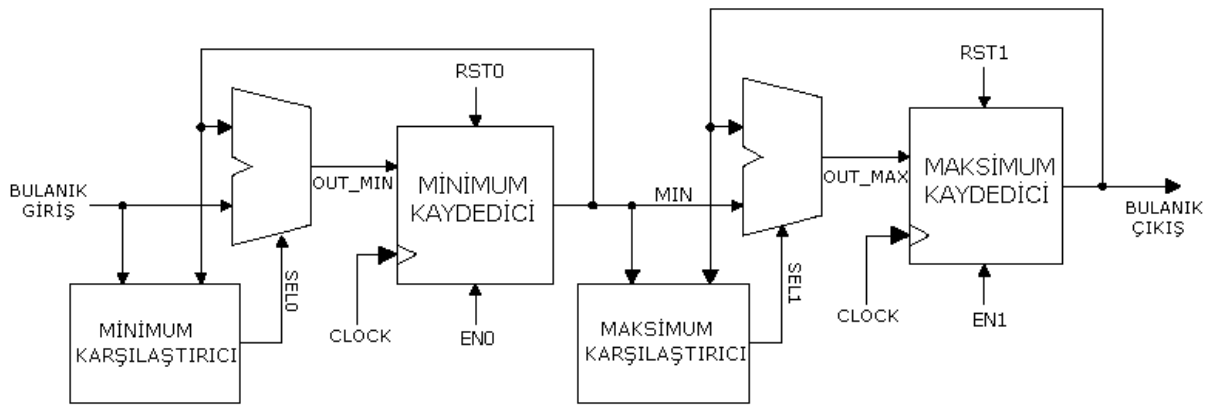
hangi kontrol durumunun oluşturulacağına belirlenmesini sağlar. Kurallar sistemin davranışını belirlemektedir. Bu tasarımda kullanılan kurallar Tablo-1’de matris şeklinde verilmiştir. Kural değerlendirme biriminde, “min-max” sonuç çıkarma metodu kullanılmıştır. Bu metoda göre önce kurallardaki şart ifadelerinin bulanık değerlerinden en küçük olanı alınarak kural ağırlığı belirlenir. Sonra kural sonuçları aynı olanların kural ağırlıkları en büyük olan alınarak sonuç ağırlıkları bulunur.

yapısı Şekil-7’de verilmiştir.

Tablo-1. Kural değerlendirme matrisi

Sıcaklık Nem	Soğuk	Ilık	Normal	Sıcak	Çok Sıcak
Çok Nemli	Kısa	Kısa	Kısa	Kısa	Kısa
Nemli	Kısa	Orta	Orta	Orta	Orta
Kurak	Uzun	Uzun	Uzun	Uzun	Uzun

Tablo-1’den de görüleceği gibi toplam 15 kural söz konusudur. Her bir kural iki şart içermekte ve üç farklı kural sonucu vardır: kısa (6 kural), orta (4 kural) ve uzun (5 kural). Kural değerlendirme biriminin blok



Şekil-7. Kural değerlendirme birimi

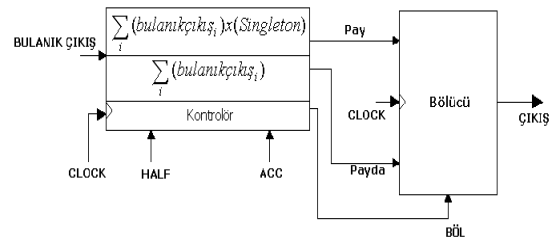
Minimum kaydedici, bir kuraldaki şartlardan bulanık değeri en küçük olanı seçerek kural ağırlığını, maksimum kaydedici ise sonuçları aynı olan kuralların kural ağırlıklarının en büyüğünü seçerek o sonucun ağırlığını belirlemektedir.

#### Berraklaştırma Birimi:

Bulanık mantık sürecinin son aşamasıdır. Kendisine gelen bulanık çıkış bilgisini çıkış üyelik fonksiyonu ve berraklaştırma işlemine bağlı olarak crisp çıkışı yani sulama süresini hesaplar. Berraklaştırma işleminde ağırlık merkezi ( Centre of Gravity - COG) metodu kullanılmıştır. Berraklaştırma işleminde kullanılan ifade Denklem-1’de verilmiştir. Şekil-8’de berraklaştırma biriminin blok yapısı verilmiştir.

$$Çıkış = \frac{\sum_i (bulanıkçıkış_i) \times (Singleton)}{\sum_i (bulanıkçıkış_i)} \quad (1)$$

Payın belirlenmesi, bulanık giriş alındıktan sonra sonuç bilgisine göre bulanık değer ya sıfır ya 32 yada 64 ondalık değerleri ile çarpılmakta ve önceki pay ile toplanmaktadır. Payda ise alınan bulanık değerlerin toplamıdır. Program hafızadaki kuralların tamamı işlendikten sonra pay ve payda



Şekil-8. Berraklaştırma biriminin blok yapısı

verileri bölme işlemini yapan birime gönderilir. Bölme biriminin çıkışı sulama süresidir.

#### Program Hafızası:

Program hafızası, bulanık mantık sürecinin kurallarının ve üyelik fonksiyonlarının parametrelerinin depolandığı 48x10 bitlik dahili bir ROM’dur. Tablo-2’de verilen 10 bitlik hafıza bilgisinde:

I/O : Giriş kaynağını seçer. 0 → Sıcaklık, 1 → Nem  
 Tip/Durum : Üyelik fonksiyon etiket tipini ve kontrolör durumunu tanımlar  
 Genişlik - Eğim : Üyelik fonksiyonlarına ait genişlik-eğim adres indeksini tutar.

Merkez : Üyelik fonksiyonlarına ait merkez adres indeksini tutar.

Tablo-2 Program hafızasındaki kural kısmının içeriği  
D9 D8 D7 D6 D5 D4 D3 D2 D1 D0

Merkez	Genişlik Eğim	Tip/Durum	I/O
--------	---------------	-----------	-----

Hafıza içeriği ise Tablo-3’de verilmiştir.

Tablo-3. Program hafıza içeriği

Ondalık	Fonksiyon
0	Kural
←→	←→
34	Kural
35	Merkez
←→	←→
43	Merkez
44	Eğim Genişli
←→	←→
47	Eğim Genişli

#### Kontrol Birimi:

Kontrol birimi, program hafızasının çıkışındaki durum sinyaline dayanarak bulanık mantık sürecindeki diğer modüllerin işlemlerini kontrol etmek için kontrol sinyalleri (RST0, RST1, EN0, EN1, HALF, ACC) üretir. Durum sinyali, program hafızası için PC (program sayacı) gibidir. 5 durum içeren bir sonlu-durum makinası yapısındadır. Bunlar:

Birinci durum → ADC’den crisp verisini alır.

İkinci durum → Merkez veya genişlik/eğim bilgisini almak için durum seçer.

Üçüncü durum → Merkez bilgisini alınır.

Dördüncü durum → Genişlik/eğim bilgisi alınır.

Beşinci durum → Durum sinyalinden çıkış kontrol sinyallerini belirler.

#### Zamanlayıcı Birimi:

Berraklaştırma biriminin çıkışı sayıcıya set edilir ve zamanlayıcı aşağıya doğru saymaya başlar. Sayıcının sayma sinyali 1/60 Hz dir. Sayma işlemi sıfır olduğunda işlem son bulur. Sayma işlemi sonlandırılmadan yeni bir değer üretilirse sayıcı bu

yeni değere set olur. Aşağı sayma bu değerden devam eder. Zamanlayıcı biriminin çıkışı sıfırdan farklı olduğu sürece çıkış lojik-1 olacaktır. Aksi takdirde çıkış lojik-0 olacak ve sulama sistemini kontrol eden valf kapalı olacaktır.

#### 4. SONUÇ

Bu çalışmada, FPGA üzerine bulanık mantık yaklaşımı kullanılarak iki giriş ve tek çıkışlı bir sayısal bulanık kontrolör tasarlanmıştır. Tasarlanan sistem bulanık mantık sürecini kullanarak sulama süresini tayin etmektedir. Tasarlanan sistem giriş veri sayısından bağımsızdır. Girişi sınırlayacak tek etken sistemde kullanılan FPGA’ in kapasitesidir. İleriki çalışmalarda geliştirilecek bulanık geliştirme yazılımı veya kendi kullanıcı ara yüzü ile ayarlanabilecek üyelik fonksiyonları, kuralları ve diğer parametreleri sisteme yükleyebilecek genel amaçlı bir sistem tasarımı yapılacaktır.

#### KAYNAKLAR

- [1] Li-Xin Wang. A Course in Fuzzy Systems and Control, Prentice Hall, 1997
- [2] Timothy J. Ross. Fuzzy Logic With Engineering Applications, McGraw-Hill, 1995.
- [3] M.Togai and H.Watanabe, “Expert System on a Chip: An Engine for Real-Time Approximated Reasoning,” IEEE Expert, vol.1, no.3, pp. 55–62, 1986.
- [4] H.Eichfeld, T.Künemund, and M.Menke, “A 12b General-Purpose Fuzzy Logic Controller Chip,” IEEE Trans. Fuzzy Syst., vol.4, pp. 460–475, Nov.1996.
- [5] T.Yamakawa and I.Miki, “The Current Mode Fuzzy Logic Integrated Circuits Fabricated by the Standard CMOS Process,” IEEE Trans. Comput., vol.35, pp.161–167, Feb.1986.
- [6] Y.Tasaka, “Hybrid Bus Type Fuzzy Controller with Analog Fuzzy Chips,” Proc. IFSA World Congr., Seattle, WA, pp.280–293. 1989.
- [7] T.Yamakawa, “A Fuzzy Programmable Logic Array,” Proc. IEEE Int. Conf. Fuzzy Systems, San Diego, pp.459–465, 1992.
- [8] The Programmable Gate Array Data Book, 2000, Xilinx Inc.
- [9] James R. Armstrong, F. Gail Gray, “VHDL Design Representation and Synthesis”, Second Edition, Prentice Hall, 2000.
- [10] H. Bayram, A. F. UĞUR, “FPGA Tabanlı Bulanık Kontrolör Tasarımı”, Erciyes Üniversitesi Bilgisayar Müh. Böl., Bitirme Ödevi, 2002, Kayseri.