

ŞEBEKEYE BAĞLI SİSTEMLER İÇİN ÜÇ FAZ VE TEK FAZ PLL'LERİN PERFORMANS DEĞERLENDİRMESİ

Tuğçe Demirdelen¹, Adnan Tan², Mustafa İnci³, Tahsin Köroğlu⁴, Mehmet Büyük⁵,
Alper Terciyanlı⁶, K.Çağatay Bayındır⁷, Mehmet Tümay⁸

^{1,2,3,5,7,8} Çukurova Üniversitesi Elektrik Elektronik Mühendisliği Bölümü

⁴Osmaniye Korkut Ata Üniversitesi Elektrik Elektronik Mühendisliği Bölümü

⁶Endoks Enerji Sistemleri Ltd. Şti.

tdemirdelen@cu.edu.tr¹, atan@cu.edu.tr², minci@cu.edu.tr³, tkoroglu@osmaniye.edu.tr⁴,
mehmetbuyuk_cu@hotmail.com⁵, alper.terciyanli@endoks.com.tr⁶, cbayindir@cu.edu.tr⁷, mtumay@cu.edu.tr⁸

Özet

İdeal bir faz kilitlemeli döngünün (PLL); harmonik, gerilim düşmesi-yükselmesi, dengesizlik ve giriş sinyali bozulmalarının diğer türlerinde hızlı ve doğru senkronize bilgi vermesi beklenir. Bu çalışma dört adet üç faz ve dört adet tek faz PLL yapılarının simülasyon çalışmalarını ve buna bağlı olarak karşılaştırmalı performans analizlerini kapsamaktadır. Bu analiz yapılırken giriş sinyalinde meydana gelen çeşitli bozulmalar sonucunda PLL'lerin vermiş olduğu tepkiler incelenmiştir. Çalışma sonunda giriş sinyalinde meydana gelen çeşitli bozulmalar sonucunda en iyi tepki veren PLL'ler tespit edilmiştir.

Anahtar Kelimeler: Faz Kilitlemeli Döngü, Harmonik, Frekans Salınımı, Gerilim Değişimi

1. Giriş

Faz kilitlemeli döngü, giriş referans sinyali ile faz ve frekansı senkronize olan çıkış sinyali üreten bir geri besleme kontrol sinyalidir. Faz kilitlemeli döngü ile ilgili düşünceler ilk defa 1930'lu yıllarda ortaya atılmış, ilk olarak 1932 yılında Henri de Bellescize tarafından radyo sinyallerinin eş zamanlı algılanmasında kullanılmıştır. 1960'lı yıllarda NASA uydular için faz kilitlemeli döngü tekniğinden yararlanmıştır[1].

Günümüzde faz kilitlemeli döngüler motor hız kontrolünde, frekans sentezleyicilerinde, izleme filtrelerinde, Birleşik Güç Kalitesi Düzenleyici (BGKD)'lerinde, Dinamik Gerilim İyileştirici (DGI)'lerinde ve daha birçok endüstriyel alanlarda kullanılmaktadır.

Temel bir faz kilitlemeli döngü yapısı; faz dedektörü, döngü filtresi(alçak geçiren filtre), işlemsel kuvvetlendirici ve gerilim kontrollü osilatörden (VCO) oluşmaktadır. Faz dedektörü, giriş sinyali ile VCO sinyalinin fazını karşılaştırıp, çıkışında ise bu iki sinyal arasındaki faz farkıyla orantılı bir DA gerilimi oluşturur.

Alçak geçiren filtre, faz kilitlemeli döngünün dinamik karakteristiğini belirler. Bu filtre döngünün

hangi frekans değerlerinde çalışacağı ve faz kilitlemesi yapacağı ayarlar. Ayrıca döngünün giriş frekansı değişimlerine ne kadar hızla cevap vereceğini de belirler.

İşlemsel kuvvetlendirici ise VCO ve giriş frekansı arasındaki faz farkından dolayı oluşan DA ofset gerilimini yükseltir. Kuvvetlendirici, faz kilitlemeli döngünün hassasiyetini de artırır. VCO da çıkış frekansı DA gerilimle kontrol edilen bir osilatördür.

İdeal bir faz kilitlemeli döngünün; harmonik, gerilim düşmesi-yükselmesi, dengesizlik ve giriş sinyali bozulmalarının diğer türlerinde hızlı ve doğru senkronize bilgi vermesi gerekir.

Bu bildirinin amacı literatürde en çok rastlanan üç faz ve tek faz faz kilitleme döngülerinin giriş sinyalinde meydana gelen çeşitli bozulmalar sonucunda performanslarını karşılaştırıp, durumlara göre en iyi faz kilitlemeli döngü seçimini kolaylaştırmaktır.

2. 3 Faz - Faz Kilitlemeli Döngüler

A. DQ-PLL (SRF-PLL)

Şekil-1-a'da DQ-PLL[2]'in blok diagramı gösterilmektedir. 3 faz sistemlerde tercih edilmektedir. İdeal durumlar altında yani herhangi bir harmonik bozulma ya da düzensizlik olmadığında yüksek bant genişliği ile hızlı tepki vermektedir. Bu PLL dq dönüşüm içermektedir. Harmonik olduğunda iyi performans göstermesi için bant genişliği küçültülmelidir. Dengesizlik durumunda ise iyi performans göstermesi oldukça zordur. Bu PLL, PSCAD kütüphanesinde yer alan PLL ile benzer tepkiler göstermektedir. Her ikisi de dengesizlik durumunda iyi performans göstermemektedir. Eğer harmonik durumda çok iyi performans göstermesini istenirse PLL girişine ayrıca bir filtre eklenmesi gerekmektedir.

$$V_d = V_a \sin\theta_p + V_\beta \cos\theta_p \quad (1)$$

$$V_d = V \cos\theta \sin\theta_p - V \sin\theta \cos\theta_p \quad (2)$$

$$V_d = -V \sin(\theta - \theta_p) \quad (3)$$

Burada V_d :faz dedektörü çıkış sinyali, V :Giriş geriliminin değeri, θ :A fazının açısı, θ_p :tahmin açısını göstermektedir.

B. 3 Faz Güç PLL (P-PLL)

Şekil-1-b'de P-PLL[2]'in blok diagramı gösterilmektedir. P-PLL faz detektörünün çalışma prensibi anlık üç faz gücü sıfıra eşitlemeye dayanmaktadır. Bu güç, gerilim örnekleri ve hayali akımları kullanarak hesaplanır. Bunun sonucunda tahmini bir "θ" açısı oluşturulur.

Giriş gerilimlerinin dengeli ve harmoniksiz olduğu varsayılırsa, PI kontrolcü tarafından beslenen faz detektörü çıkış sinyali "p" anlık güç aşağıdaki şekilde ifade edilir:

$$\rho = V_a I_a + V_b I_b + V_c I_c \quad (4)$$

$$I_a + I_b + I_c = 0 \quad (5)$$

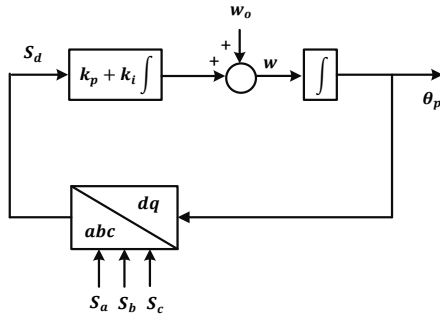
$$\rho = (V_a - V_b) I_b + (V_c - V_b) I_c \quad (6)$$

$$V_a = V \sin \theta \quad (7)$$

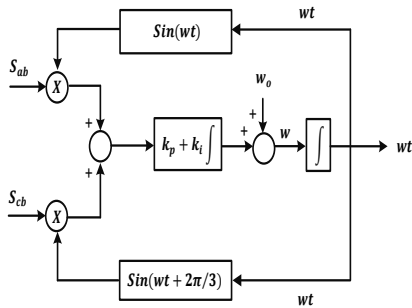
$$V_b = V \sin \left(\theta - \frac{2\pi}{3} \right) \quad (8)$$

$$V_c = V \sin \left(\theta + \frac{2\pi}{3} \right) \quad (9)$$

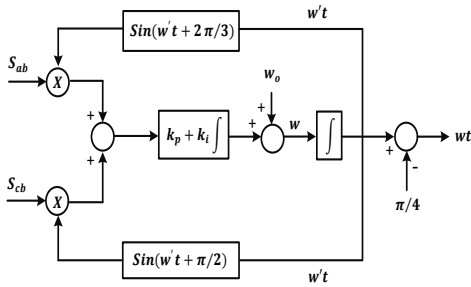
$$\rho = -\frac{3}{2} V \sin(\theta - \theta_p) \quad (10)$$



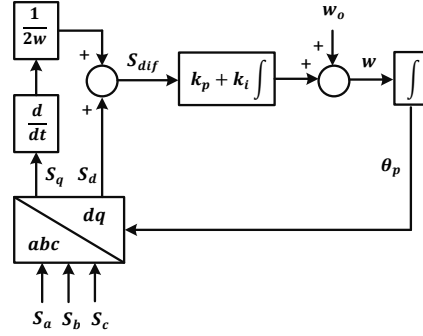
Şekil-1-a: DQ-PLL



Şekil-1-b: Three Phase Power PLL



Şekil-1-c: Modifiye PLL



Şekil-1.d: Dif-PLL

Şekil-1: 3 faz PLL Blok Diagramları

C. Modifiye Edilmiş PLL

Modifiye Edilmiş PLL[6] sistemin şebeke gerilim açısını hesaplamak için, üç faz anlık şebeke gerilimlerini kullanarak üç faz toplam gücü kullanır. Modifiye Edilmiş PLL devresi bozuk ve dengesiz gerilim dalga formları altında tamamen uygun bir şekilde işlem yapması için dizayn edilmiştir. Şekil-1-c'de görüldüğü gibi, üç faz hat gerilimleri ölçülür ve input sinyali olarak kullanıldıktan sonra, açı (wt) MPLL'in çıkış sinyali olarak hesaplanır.

Klasik PLL'ler ile karşılaştırıldığında Modifiye Edilmiş PLL daha iyi bir performansa sahiptir. Çünkü MPLL'in çıkışı (wt) bozuk ve dengesiz sistem durumlarında daha düşük osilasyona sahiptir.

Çıkışı sabit hale getirmek için, PI kontrolcünün çıkışına referans temel açısal frekans olan $w_0 = 2\pi f$ eklenir. İntegralleme işlemi sonucunda w't elde edilir. Fakat elde edilen bu açı sistemin temel frekansında 90° ileridedir. Bu nedenle sistemin temel frekansına ulaşmak için integratörün çıkışından $\pi/2$ çıkarılır. PLL devresi stabil çalışma noktasına ulaştığı zaman üç faz anlık aktif güç sıfır veya düşük frekans osilasyonuna sahip olacaktır. Ek olarak elde edilen açı, hat gerilimlerinin pozitif sıra bileşenlerine eşit olduğu açıdır. Bu nedenle MPLL'deki açının sinüs bileşeni, ölçülen şebeke gerilimlerinin temel pozitif sıra bileşeni ile aynı fazda olacaktır.

D. Dif-PLL

Senkron Referans Düzlem (SRF) tekniğine dayalı faz kilitlemeli döngü (PLL), besleme sinyalinin bozuk olduğu durumlarda en kapsamlı açı bilgisi elde etme metodlarındandır. Bilinen SRF-PLL kapalı döngü kontrollü bir sistem olup, ürettiği açı bilgisi giriş sinyalinin açı bilgisine eşit oluncaya kadar hatayı sıfıra indirmeye çalışır. SRF-PLL, dengeli durumdaki bozulmalarda yeterli performans gösterebilirken, üç faz giriş sinyalinin dengesiz olduğu zamanlarda yetersiz kalmaktadır. Çünkü, üç faz giriş sinyalindeki dengesizlik, hata sinyalinde çift-frekans dalgalanmasına sebep olmaktadır. Literatüre bu

dalgalanmayı yok etmeyi ve dolayısıyla SRF-PLL geliştirmeyi amaçlayan çok sayıda çalışma mevcuttur. Bu çalışmalarda ana amaç orijinal hata sinyaline zaman gecikmeli sinyal ya da sinyaller eklemektir. Bu çalışmalarda ideal çıkış sinüs sinyalleri vermeye yardımcı olsalar da, zaman gecikmeli sinyal eklediklerinden dolayı çıkış sinyalinde belirli bir zaman gecikmesi oluşmaktadır. Şekil 1-d 'de blok şeması sunulan DIF-PLL[5], hata sinyalinde oluşan dalgalanmaya ters polaritede dalgalandan bir sinyal eklenen etkili bir metod olup, bununla ideal çıkış sinüs dalgası elde etmek ve faz açısının hızlı takibi mümkün olabilmektedir.

3. Tek Faz- Faz Kilitlemeli Döngüler

A. T4 PLL

Şekil-2-a, quadrature sinyali üretmek için bir taşıma gecikme kullanımına dayanan dq-PLL blok diagramını göstermektedir. Bu gecikme, giriş sinyaline temel frekansa göre 90°'lik bir faz kayması vermek için ayarlanır. DQ dönüşümü quadrature bileşen oluşturmak için ilk giren ilk çıkar register kullanılır. Sabit uzunlukta gecikme nedeni ile faz açısı hatalarının önde gitmesini ve giriş gerilimindeki frekans sapmasını ayarlamak mümkün değildir. Hilbert dönüşüm yöntemi ile karşılaştırıldığında temel fark, giriş sinyalinin her harmoniğin içeriğinin aynı zaman gecikmesine tabii tutulmasıdır. Hilbert dönüşüm için bu durum, tüm harmonik içeriğin 90° kaydırılması aşamasıdır[2,3].

B. Ters Park PLL(Inv-PLL)

Şekil-2-b ' de Ters Park PLL görülmektedir. Frame orientation yöntemine dayanmaktadır. Quadrature bileşen V_α ters park dönüşüm yolu ile bulunur. Park dönüşümün d eksen çıkışı, giriş sinyalinin faz ve frekans bilgilerini elde etmek için kontrol döngüsünde kullanılır[2,3].

$$\begin{bmatrix} V_q \\ V_d \end{bmatrix} = \begin{bmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \begin{bmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} V_q \\ V_d \end{bmatrix} \quad (2)$$

Aslında Doğrudan Park dönüşüm bloğunun çıkışı dq/αβ bloğunun girişi olarak kullanılmaktadır. Bir çift birinci dereceden alçak geçiren filtre, her dq gerilim sinyali için cebirsel döngüler oluşması olmadan iki blok arasında enerji depolama elemanı olarak kullanılır[2,3].

C. EPLL

EPLL[4]'in blok diyagramı Şekil-2-c'de görülmektedir. EPLL'in Klasik PLL'lere göre avantajı giriş sinyalinin açısının yanında amplitud(büyük) bilgisini elde edebilmesidir. EPLL, tek faz ve 3-faz

sistemlere uygulanabilirliği, harmonik, reaktif akım ve bileşen bilgilerini aynı anda çıkarabilmesi, frekans ile adaptif olması, noise ve diğer bozukluklardan etkilenmemesi, tepki süre ve doğruluğunun kontrol edilebilirliği gibi özelliklere sahiptir. EPLL yapısı itibarıyla adaptif olup, giriş sinyalindeki büyüklük, faz açısı ve frekans bilgilerindeki değişimleri takip edebilen bir yapıya sahiptir. EPLL basit yapısı sayesinde gerçek zamanlı gömülü uygulamalarda kullanılabilir. EPLL

D. SOGI PLL

Şekil-2-d'de SOGI-PLL[4] blok diagramı gösterilmektedir. Bu PLL çıkış sinyali olarak iki adet sinyal üretmektedir. Bunlar V' ve qV' sinyalleridir. Bu sinyaller arasında 90° derece faz farkı vardır. V' sinyali, giriş sinyali olan V ile aynı faz ve büyüklüğe sahiptir.

Kapalı çevrim transfer fonksiyonu aşağıdaki şekilde ifade edilmektedir:

$$H_d = \frac{V'}{V} \quad (11)$$

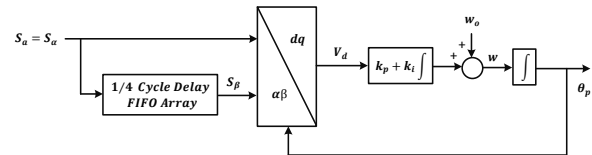
$$H_q = \frac{qV'}{V} \quad (12)$$

$$H_d(s) = \frac{kws}{s^2 + kws + w^2} \quad (13)$$

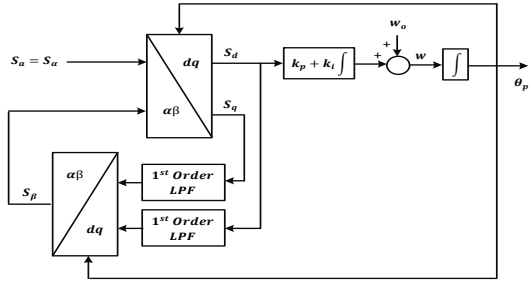
$$H_q(s) = \frac{kW^2}{s^2 + kws + w^2} \quad (14)$$

Burada, $H_d(s)$:Bant geçiren filtre, $H_q(s)$:Alçak geçiren filtre, w : SOGI rezonans frekansı, k : kapalı çevrim transfer fonksiyonu bant genişliği etkisini göstermektedir.

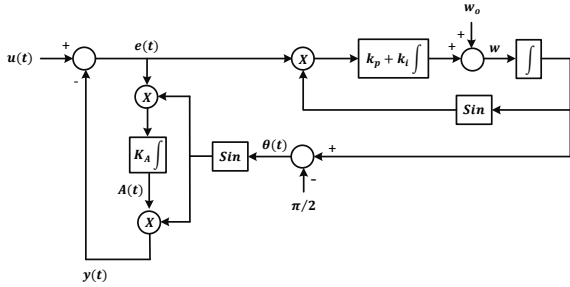
Bu PLL zaman gecikmesiz filtreleme yapabilmektedir. Ortogonal gerilim sistemi üretmekte ve frekans değişimlerine adaptif bir yapı göstermektedir. Giriş sinyali V filtrelenerek iki temiz ortogonal sinyale dönüştürür. Bunlar V' ve qV' dür. Filtreleme seviyesi k değeri ayarlanarak sağlanır. Eğer k değeri düşürülürse sistemin dinamik tepkisi yavaşlar, sistem ağır filtreleme gösterir. k değeri arttığında PLL in filtreleme kapasitesi artar. SOGI-PLL negatif yönüne bakacak olursak SOGI'yi ayarlamak frekans bağımlı olduğu için ani frekans dalgalandırma bazı problemlere yol açar.



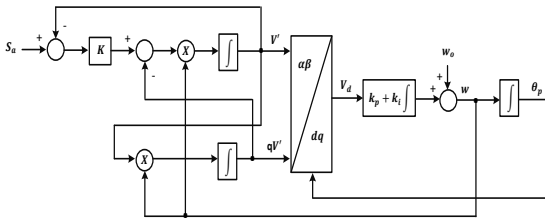
Şekil-2-a: T4 PLL



Şekil-2-b: Inverse Park PLL



Şekil-2-c: EPLL



Şekil-2-d: SOGI PLL

Şekil-2: Tek faz PLL Blok Diagramları

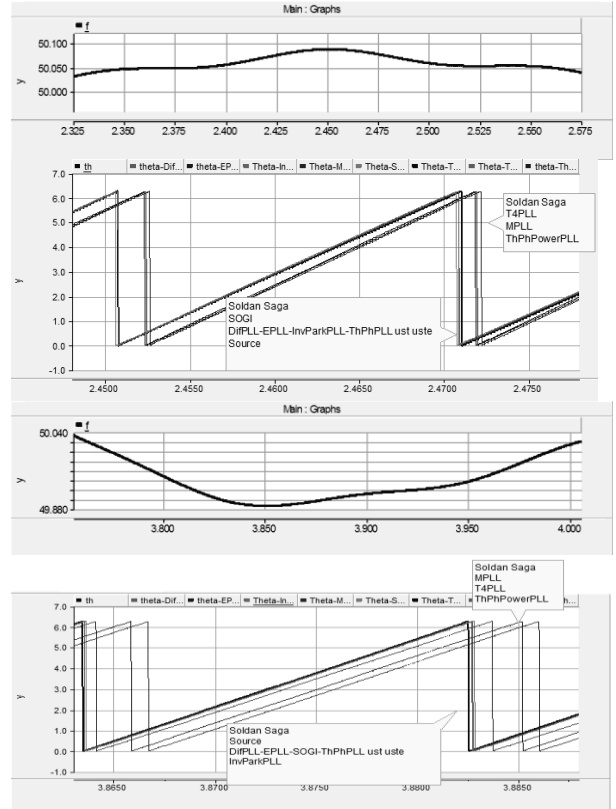
4. Simulasyon Sonuçları ve Performans Karşılaştırması

PLL yöntemlerinin PSCAD simülasyonları FORTRAN dili kullanılarak tamamen kod ile hazırlanmıştır. Simulasyon süresi 12 saniye olarak ayarlanmıştır ve simulasyonun çözüm adım zamanı 40µs olarak seçilmiştir.

PLL yöntemlerinin güç kalitesi olaylarındaki performanslarını inceleyebilmek için belirli zamanlarda belirli güç kalitesi olaylarını oluşturan bir sinyal kaynağı oluşturulmuştur. Bu güç kalitesi olayları frekans salınımı, gerilim değişimi, harmonikli durum ve dengesizlik durumudur.

A. Frekans Salınımı

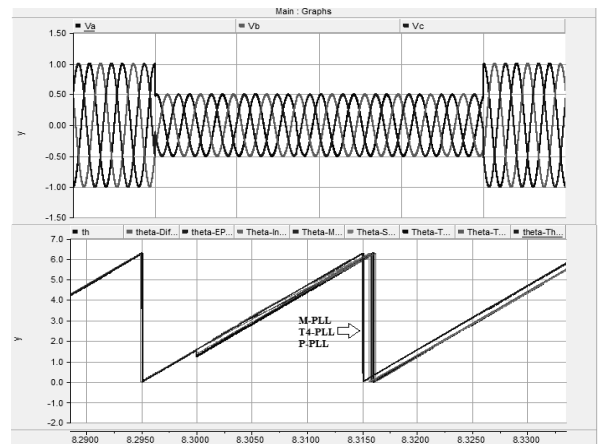
Frekans salınımı sırasında PLL'lerin davranışlarını test etmek amacı ile bu test yapılmıştır. Sonuçlar Şekil-3 görülmektedir. Frekanstaki aşırı salınımlar dışında Dif-PLL, EPLL, Inv-Park PLL, Sogi-PLL ve dq-PLL'de teta açısında çok az miktarda kayma meydana gelmiştir. M-PLL, T4-PLL ve P-PLL 'de ise "θ" açısında kayma oldukça fazladır.



Şekil-3 :Frekans Salınımı

B. Gerilim Değişimi

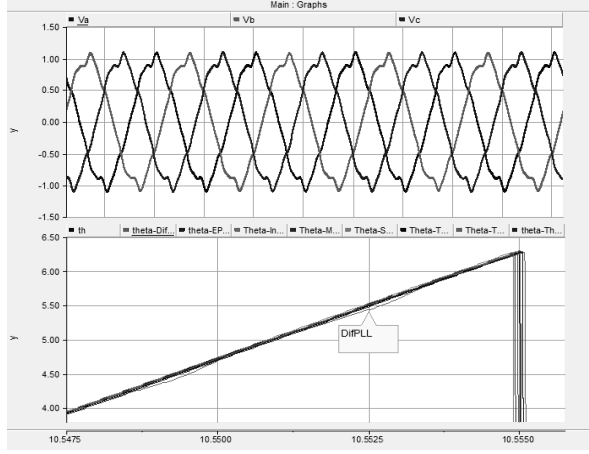
Dengeli gerilim düşmesi durumu incelenmiştir. Sonuçlar Şekil-4 de görülmektedir. Dengeli gerilim düşmesi durumunda Dif-PLL, EPLL, Inv-Park PLL, Sogi-PLL ve dq-PLL iyi performans göstermiştir. Tepki süreleri oldukça hızlı ve tetalarındaki kayma oldukça azdır. Bunun yanında M-PLL, T4-PLL ve P-PLL tıpkı frekans değişimindeki performansları gibi tetalarında önemli ölçüde faz kayması oluşmuştur.



Şekil-4 :Gerilim Düşmesi

C. Harmonikli Durum

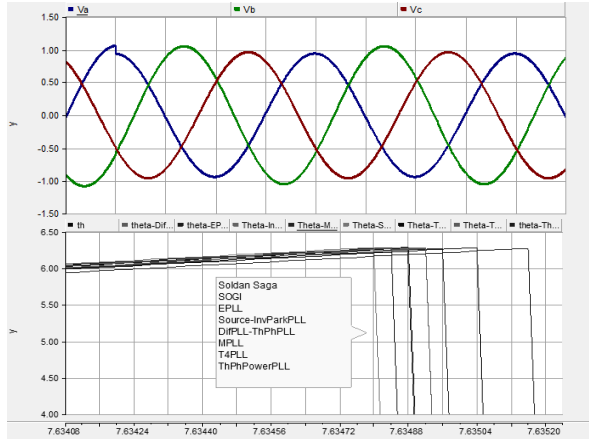
Harmonikli duruma karşın PLL performansları Şekil-5 gösterilmektedir. Dif-PLL hariç diğer tüm PLL'ler harmonikli durumda çok iyi performans göstermişlerdir. Tetalarında faz kayması çok az gerçekleşmiştir. Dif-PLL'de ise salınım oldukça fazladır.



Şekil-5:Harmonikli Durum

D. Dengesizlik Durumu

Dengesizlik Durumuna ilişkin PLL'lerin göstermiş olduğu performans Şekil-6 de gösterilmektedir. P-PLL hariç diğer tüm PLL'ler dengesizlik durumunda oldukça iyi performans göstermiştir. P-PLL'de ise tetada kayma çok fazla miktarda meydana gelmiştir.



Şekil-6 :Dengesizlik Durumu

5. Sonuç ve Öneriler

Çalışmada incelenen PLL yöntemleri kilitleme zamanı ve güç kalitesi olaylarındaki performansı bakımından karşılaştırılmıştır. PLL yöntemlerinde kullanılan parametreler, yöntemlerin kilitleme zamanı ve güç kalitesi olaylarındaki performansını doğrudan etkilemektedir. Bu parametreler simülasyon çalışması sırasında, tüm durumlarda optimum

performans alınacak şekilde ayarlanmıştır. Performanslar incelendiğinde, Ters Park PLL, EPLL ve SOGI-PLL yöntemlerinin kilitleme zamanı ve güç kalitesi olaylarındaki performanslarının diğer PLL yöntemlerinden daha iyi olduğu görülmektedir. Bu üç PLL yöntemi içerisinde Ters Park PLL özellikle güç kalitesi olaylarında oldukça iyi performans göstermiştir.

6. Referanslar

- [1] http://www.yildiz.edu.tr/~ayten/47_cemre_kizilarmut.pdf
- [2] R. M. S. Filho, P. F. Seixas, P. C. Cortizo, "A comparative study of three-phase and single-phase pll algorithms for grid-connected systems"
- [3] S. M. Silva, B. M. Lopes, B. J. C. Filho, R. P. Campana, W.C. Bosventura, "Performance evaluation of PLL algorithms for single-phase grid-connected systems" Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE, Volume: 4, Page(s): 2259 – 2263, 3-7 Oct. 2004
- [4] S. Gao, M. Barnes, "Phase-locked loop for ac systems: analyses and comparisons"
- [5] M.E.Meral, "Improved phase-locked loop for robust and fast tracking of three phases under unbalanced electric grid conditions", IET Generation, Transmission & Distribution, Volume:6, issue:2,February 2012, p.152 – 160
- [6] M. Kesler, E. Özdemir, "Synchronous-Reference-Frame-Based Control Method for UPQC Under Unbalanced and Distorted Load Conditions" Industrial Electronics, IEEE Transactions on, Volume:58, Issue: 9, Page(s):3967-3975,Sept.2011