

MOSFET'LERDE SICAK TAŞIYICILARIN EŞİK GERİLİMİNE ETKİSİNİN MODELLENMESİ İÇİN YENİ BİR YAKLAŞIM

Fırat KAÇAR¹ Ayten KUNTMAN² Hakan KUNTMAN³ Gürsel DÜZENLİ⁴

^{1,2}Elektrik-Elektronik Mühendisliği Bölümü
Mühendislik Fakültesi, İstanbul Üniversitesi, 34800,
Avcılar, İstanbul

³Elektronik ve Haberleşme Mühendisliği Bölümü
Elektrik-Elektronik Fakültesi

İstanbul Teknik Üniversitesi, 80626, Maslak, İstanbul

⁴Sakarya Üniversitesi, Mühendislik-Mimarlık Fakültesi, Sakarya

¹e-posta:fkacar@istanbul.edu.tr

³e-posta:kuntman@ehb.itu.edu.tr

²e-posta: akuntman@istanbul.edu.tr

⁴e-posta: düzenli@esentepe.sau.edu.tr

Anahtar sözcükler: MOS tranzistor, Sıcak Taşıyıcılar, MOS modelleri

ABSTRACT

Hot-carrier-induced degradation of MOSFET parameters over time is an important reliability concern in modern microcircuits. High energy carriers also called hot carriers are generated in the MOSFET by the large channel electric fields near the drain region. The electric fields accelerate the carriers to effective temperatures well above the lattice temperature. These hot carriers transfer energy to the lattice through phonon emission and break bonds at the Si/SiO₂ interface. The trapping or bond breaking creates oxide charge and interface traps that effect the channel carrier mobility and the effective channel potential.

Interface traps and oxide charge effect transistor performance parameters such as threshold voltage and drive currents in all operating regimes. In this paper, the influence of the hot carriers on the threshold voltage of MOS transistors is examined experimentally. Using these experimental results a new method for representation of hot-carrier effect on the threshold voltage of MOS transistors is proposed.

1. GİRİŞ

Günümüzde elektronik cihazların, birçok nedenden ötürü küçültülmesi amaçlandığı için, aynı kırmık alanına daha çok yapı bloku sığdırılmaya çalışılmaktadır. Bunun gerçekleştirilmesi için daha çok sayıda tranzistorun yoğun bir biçimde kırmık alanına yerleştirilmesi, dolayısıyla da MOS tranzistorların boyutlarının ve kanal boylarının kısaltılması gerekmektedir. MOS tranzistorun kanal boyunun kısaltılması sonucu kanaldaki elektriksel alan

artmaktadır. Bu nedenle, tranzistorun kanalının savak ucuna yakın kısmında elektriksel alan nedeniyle taşıyıcıların enerjileri artar ve hızlanırlar; bunlar SiO₂ geçit oksidinin enei seviyesini de aşabilirler. Bu yüksek enerjili taşıyıcılara *sıcak taşıyıcılar (hot carriers)* adı verilmektedir. Sıcak taşıyıcılar geçit oksidinin ve Si-SiO₂ ara yüzeyinin zarar görmesine yol açarlar. Tranzistorun geçit oksidinin ve Si-SiO₂ ara yüzeyinin zarar görmesi sonucunda tranzistorun çalışma parametreleri değişebilmektedir. Bu olaya *yorulma* adı verilir.

Bir devredeki tranzistorun yorulmaya uğraması sonucu devre parametrelerinin değişmesinden dolayı devrenin hatasız çalışabilmesi için tranzistorun en kötü çalışma durumu altında belirli bir süre boyunca belirli bir sınır değeri aşmaması istenir. Bu tür sınır değerlerin belirlenmesi ve tranzistorun hangi parametrelerine uygulanması gerekli olacağı için güvenlik kriterleri oluşturulmaktadır. Tranzistorunun sıcak taşıyıcılardan etkilenen en önemli parametresi V_{TH} eşik gerilimidir. Eşik geriliminin sıcak taşıyıcılar etkisiyle değişmesi sonucunda analog devrelerde çalışma noktası kaymakta, bunun sonucunda da söz konusu analog devrenin performansı önemli ölçüde etkilenmektedir.

Son on yıl içinde sıcak taşıyıcı etkisiyle yorulma akademik bir araştırma konusu iken, gelecek VLSI MOSFET tasarımcıları için önemli bir sorun olmaya başlamıştır. Bu nedenle, çok sayıda çalışma yapılmış ve literatürde yer almıştır [1-7].

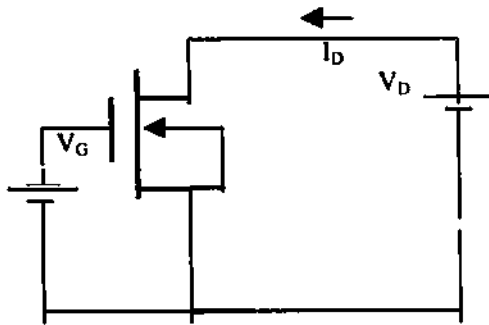
Eşik geriliminin sıcak taşıyıcılar etkisiyle değişiminin modellenmesi için çeşitli çalışmalar yapılmıştır. Bunların bazıları tümüyle fiziksel büyüklüklerle

dayandırılmıştır [8]; diğer bir grup çalışma ise fiziksel büyüklüklerle davranış karakteristiklerini bir araya getirmektedir [6]. Bu iki tür modelleme yöntemi de karmaşık ve yorucu işlemler gerektirmekte. kullanıcı açısından zorluklar göstermektedir.

Bu çalışmada, sıcak taşıyıcıların N-MOS tranzistorların eşik gerilimi üzerindeki etkileri incelenmiş ve yukarıda değinilen zorluklardan kurtulmak, bu çalışmalara bir alternatif oluşturmak üzere, polinomsal eğri uydurmaya dayanan bir model önerilmiştir. Önerilen yöntemde, belirli bir proses için tranzistorun sıcak taşıyıcılardan ne şekilde etkilendiği başta deneysel olarak belirlenmekte, bu davranışa bir polinom uydurulmakta, elde edilen sonuçlar aynı proses yardımıyla üretilen tüm tranzistorlara uygulanabilmektedir.

2. SICAK TAŞIYICILARIN NMOS TRANZİSTORUN EŞİK GERİLİMİNE ETKİSİ, DENEYSEL SONUÇLAR

Bu çalışmadaki deneyler CD4007 dizi tranzistorları üzerinde gerçekleştirilmiştir. CD4007 tranzistor dizisi lojik evirici olarak tasarlanmış bir tümdevredir. Ancak yapısının elverişli olmasından ötürü, analog devre uygulamalarına da uygun düşmekte ve dizi tranzistor olarak kullanılabilir. Bu tümdevre MAM-YİTAL Laboratuvarı'nda açılarak tranzistor boyutları ölçülmüş, NMOS tranzistorun boyutları $W=305\mu m$, $L=14\mu m$ olarak belirlenmiştir. Deneylerde tranzistorların test edilmesi için ölçüm cihazı olarak HP 4155 parametre analizörü (*semiconductor parameter analyser*) kullanılmıştır.



Şekil 1. N-MOS ölçümleri için deney düzeni

Şekil-1'deki devre düzeninde, N-MOS tranzistorun zorlanarak yorulması için kurulan kutuplama devresi görülmektedir. Bu düzenek HP4155 parametre analizörü ile kurulmuştur. Zorlama gerilimi olarak $V_D=10V$ verilerek savaktan bir akım akıtılmış, sırasıyla kesimde, lineer bölgede ve doyma bölgesinde birer çalışma noktası seçilmiş ve bu noktalar $V_G=1V$, $V_G=3V$ ve $V_G=5V$ olarak belirlenmiştir..

Yapılan deneylerde, ilk önce, seçilen bir N-MOS tranzistor için $V_D=10V$ ve $V_G=1V$ luk zorlama gerilimleri uygulanmıştır. Toplam zorlama süresi olarak 10 saatlik bir zaman aralığı alınmış, veriler

yarım saat aralıklarla kaydedilmiştir. Veriler kesimde, lineer bölgede ve doyma bölgesindeki değerler olan $V_G=1V$, $V_G=3V$ ve $V_G=5V$ için ayrı ayrı kaydedilmiştir. Kaydedilen veriler, savak akımının ve taban akımının geçite göre değişimi ve savak akımının savak gerilimine göre değişimi için elde edilmiştir.

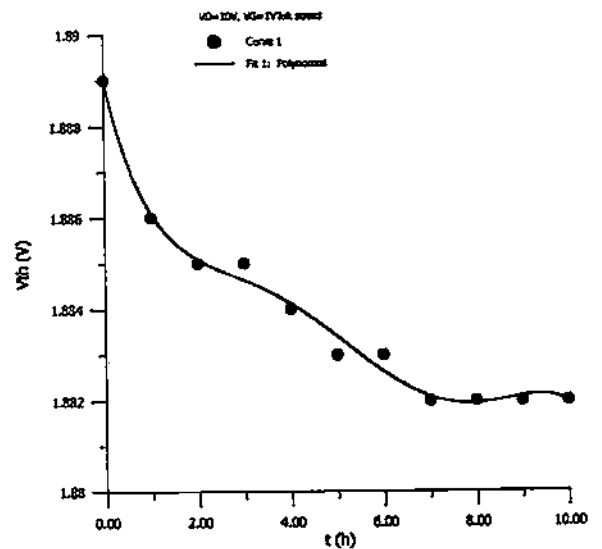
Daha sonra aynı özellikteki başka bir N-MOS kullanılarak $V_D=10V$ ve $V_G=3V$ luk zorlama gerilimleri uygulanmış, zorlama süresi tekrar 10 saat olarak uygulanmış ve veriler yarım saat aralıklarla kaydedilmiştir. veriler kesimde, lineer bölgede ve doyma bölgesindeki değerler olan $V_G=1V$, $V_G=3V$ ve $V_G=5V$ için önceki tranzistordakine benzer biçimde ayrı ayrı elde edilmiştir.

Son olarak aynı özellikteki başka bir N-MOS kullanılarak $V_D=10V$ ve $V_G=5V$ luk zorlama gerilimleri uygulanarak, aynı zorlama süresi için benzer işlemler tekrarlanmıştır.

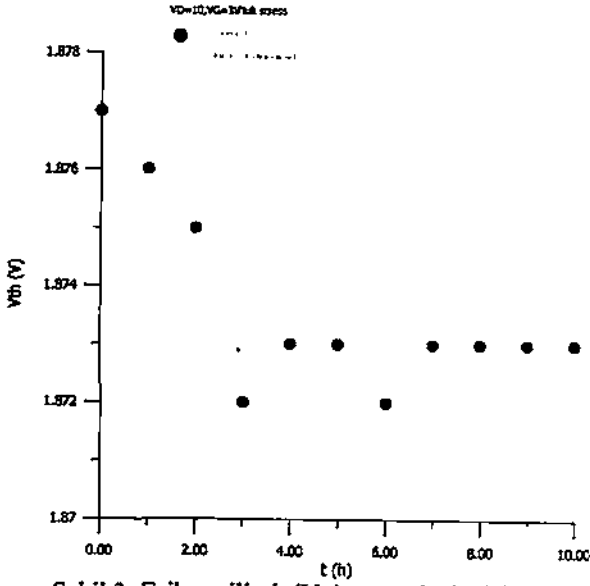
Deneysel sonuçlar Şekil-2, Şekil-3 ve Şekil-4'de görülmektedir. Yapılan bu deneylerden sonra elde edilen verilerden eşik gerilimleri hesaplanmış ve sonuçlar Şekil-2, Şekil-3 ve Şekil-4'deki eğrilerle gösterilmiştir. Grafiklerde verilen ve deneysel olarak elde edilmiş olan datalara polinomsal yaklaşımla uygun birer eğri uydurulmuştur. Polinom aşağıda verilmiştir.

$$V_{th}(t) = a_0 + a_1t + a_2t^2 + a_3t^3 + a_4t^4 + a_5t^5 \quad (1)$$

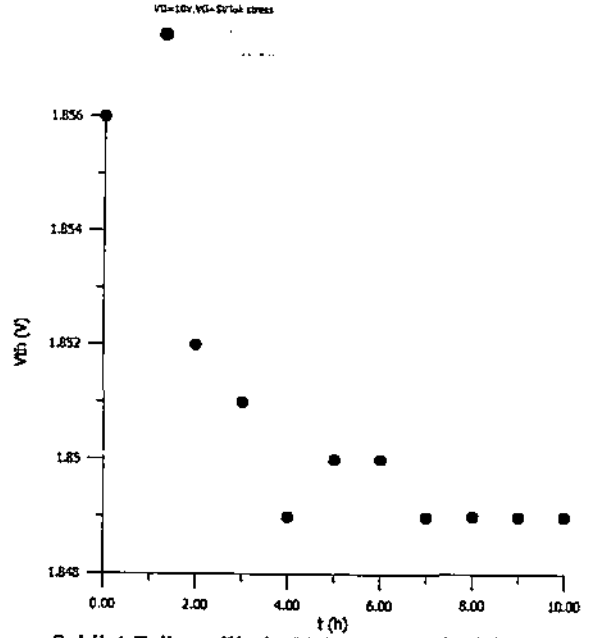
Farklı kutuplama gerilimleri için elde edilen polinom katsayıları da Tablo 1'de verilmiştir.



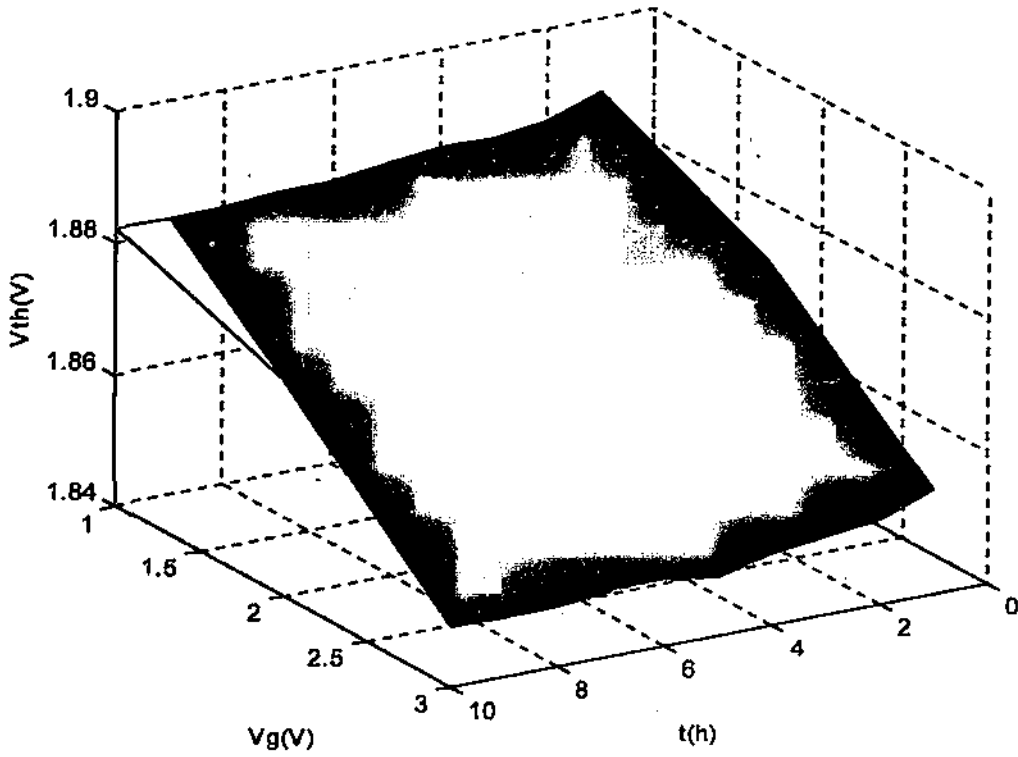
Şekil 2. Eşik geriliminin (V_{th}) zamanla değişimi; $V_D = 10V$, $V_G = 1V$



Şekil 3. Eşik geriliminin(V_{th}) zamanla değişimi;
 $V_D=10V, V_G= 3V$



Şekil 4. Eşik geriliminin(V_{th}) zamanla değişimi ;
 $V_D=10V, V_G= 5V$

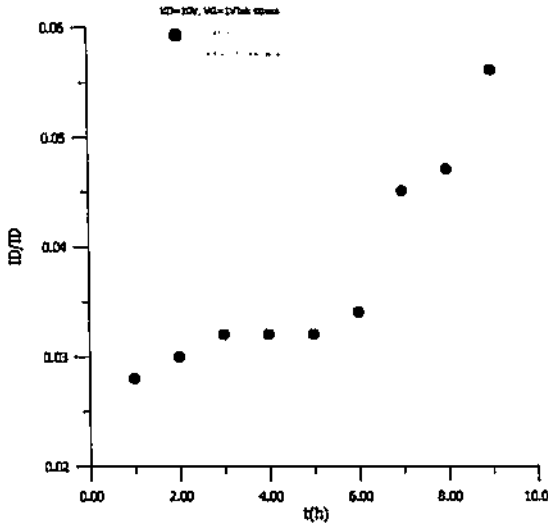


Şekil 5. Eşik geriliminin (V_{th}), geçit gerilimine (V_G) ve zamana(t) göre değişimi

Tablo 1. Farklı zorlama gerilimleri için polinom katsayıları

	$V_G=1V$	$V_G=3V$	$V_G=5V$
a_0	1.88896	1.87703	1.85601
a_1	-0.00444809	-0.000279987	-0.00155951
a_2	0.00197898	-0.00102002	-0.000622009
a_3	-0.000444504	0.000319338	0.000266942
a_4	4.44344E-005	-3.46737E-005	-3.29985E-005
a_5	-1.60251E-006	1.28209E-006	1.33907E-006

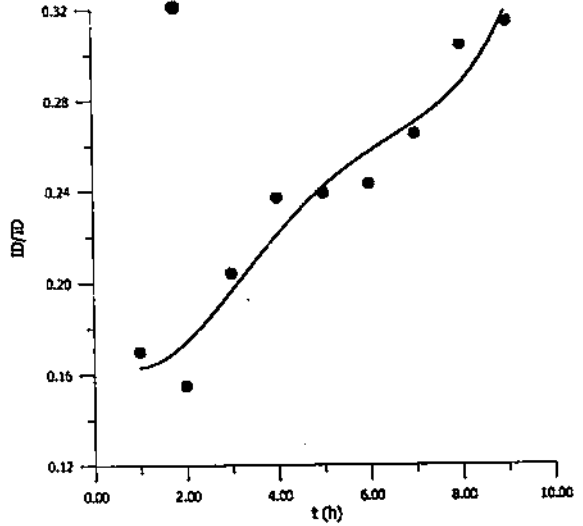
DeneySEL sonuçlar toplu halde Şekil-5'deki üç boyutlu bir grafikte verilmiştir. Şekil-5'de görüldüğü üzere zamanla eşik gerilimin (V_{th}) zamanla azaldığı ve geçit gerilimine bağlı olarak geçit gerilimin değerinin artırılması ile eşik gerilimin azaldığı gözlenmektedir. Savak akımındaki bağıl değişimin $V_D=10V$, $V_G=1V$, $V_D=10V$, $V_G=3V$ ve $V_D=10V$, $V_G=5V$ için zamana bağımlılığı deneysel olarak elde edilmiş ve Şekil-6, Şekil-7 ve Şekil-8'de gösterilmiştir. Şekillerden Fark edilebileceği gibi, akımdaki bağıl değişim zamanla artmaktadır.



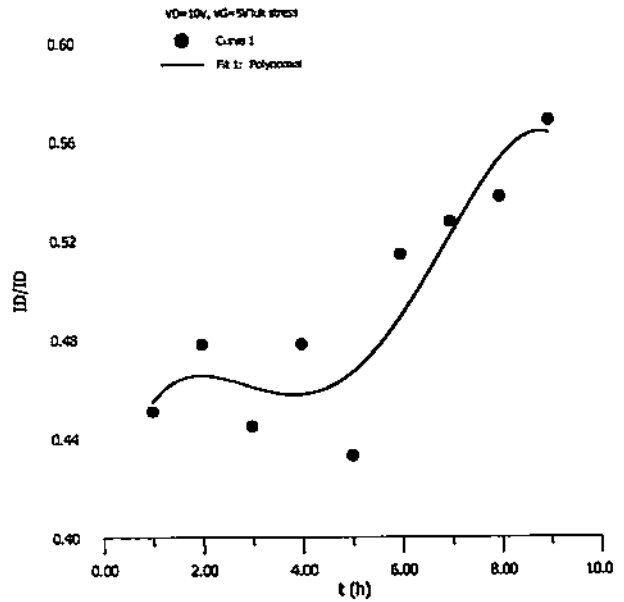
Şekil.6. $\Delta I_D/I_D$ (%)'nin zamanla değişimi; $V_D = 10V$, $V_G = 1V$

MOSFET'lerin kanal uzunluklarının küçültülmesi sonucunda savak jonksiyonuna yakın çok büyük elektriksel alan oluşmaktadır. Bu yüksek elektrik alan kanaldaki elektronu hızlandırmakta ve bu hızlanan elektron sıcak taşıyıcı etkisini oluşturabilmektedir. Bu sıcak elektronların geçit oksidine enjekte olmasının sonucunda elemanın savak akımı artmakta ve ayrıca eşik gerilimi de değişmektedir. Geçit-savak jonksiyonuna yakın yüksek elektrik alanlı bu bölgedeki çarpışmalar iyonizasyonu da artırmaktadır. Bunun sonucunda savak ve taban akımı artmaktadır. Şekil 2, Şekil 3 ve Şekil 4'teki grafikler incelendiğinde eşik geriliminin

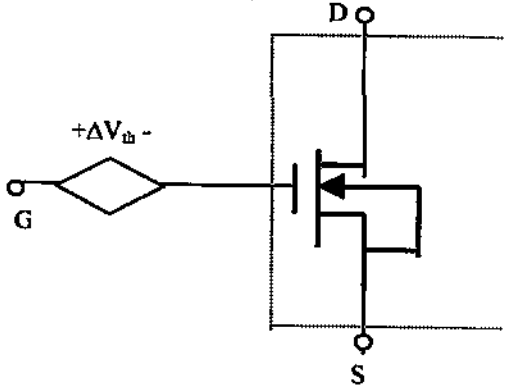
zamanla azaldığı açıkça görülmektedir. Eşik geriliminin azalması sonucunda savak akımı artmakta ve dolayısıyla MOS'ta bir bozunma oluşmaktadır. Bu çalışmada, söz konusu etkiyi temsil etmek üzere uygun bir model düşünülmüştür. Elde edilen zamana bağlı fonksiyonlar yardımıyla MOS transistörün geçidine bağımlı bir gerilim kaynağı bağlanarak eşik geriliminin zamanla azalan değeri için bir çözüm oluşturulmaktadır. Şekil.9'da bu modelin şeması görülmektedir.



Şekil.7. $\Delta I_D/I_D$ (%)'nin zamanla değişimi; $V_D = 10V$, $V_G = 3V$



Şekil.8. $\Delta I_D/I_D$ (%)'nin zamanla değişimi; $V_D = 10V$, $V_G = 5V$



Şekil-9. Eşik geriliminin zamana bağlı olarak değişimini modellemek için önerilen model

3. SONUÇ

Bu çalışmada, sıcak taşıyıcıların N-MOS tranzistorların eşik gerilimi üzerindeki etkileri deneysel olarak incelenmiş, deneysel sonuçlardan hareket edilerek literatürde verilen ve parametrelerinin belirlenmesi açısından zorluklar gösteren modellere bir alternatif oluşturmak üzere, polinomsal eğri uydurmaya dayanan bir model önerilmiştir. Önerilen modelde, belirli bir proses için tranzistorun sıcak taşıyıcılardan ne şekilde etkilendiği başta deneysel olarak belirlenmekte, bu davranışa bir polinom uydurulmakta, elde edilen sonuçlar aynı proses yardımıyla üretilecek tüm tranzistorlara uygulanabilmektedir. Deneyler büyük boyutlu bir tranzistor yapısı için gerçekleştirilmiş olmakla beraber, önerilen yöntem ölçüm sonuçlarına dayandığından, çok farklı boyuttaki PMOS ve NMOS tranzistorlara da kolayca uygulanabilir. Önerilen yöntemle, belirli bir proses için polinom katsayıları

elde edildikten sonra, bu sonuçları SPICE benzetiminde kullanarak herhangi bir analog devrede belirli bir çalışma süresi için sıcak taşıyıcıların nasıl etki ettiklerini ve bu etkinin devrenin performansını ne yönde etkileyeceğini saptamak ve buna göre tasarım yapma olanağı elde edilmektedir. Bu da tümdevre tasarımcıları için önemli ölçüde kolaylık sağlayacaktır.

KAYNAKLAR

1. Mitsubishi Electric Co., "Failure Mechanism of Semiconductor Devices", pp:11-15
2. A. Bravaix, D. Gougenhim, N. Revil, M. Varrot, P. Mortini. "Effects of High Temperature On Performances And Hot-Carrier Reliability In DC/AC Stressed 0.35µm n-MOSFET 's", Electronic Industries Association Publication:www.iea.org
3. R. Thewes, M. Brox, G.Tempel, Karl Goser. "Channel-Length-Independent Hot Carrier Degradation In Analog p-MOS Operation", IEEE Electron Device Letters, Vol:13, 1992, No:11, pp:590-592
4. W. Weber, M. Brox, A.V. Schwerin, R.Thewes. "Hot Carrier stress effect in p-MOSFETs:physical effects relevant for circuit operation", Elsevier Science Pub., 22, 1993, pp:253-260
5. Y. Pan, "A physical-based analytical model for the hot carrier induced saturation current degradation of p-MOSFETs", IEEE Trans. Electron Devices, Vol. 41, No.1, 1994, pp:84-89
6. R. Thewes, W. Weber, "effects of hot Carrier degradation in analog CMOS circuits", Micro Elec. Eng., Vol. 36, 1997, pp:285-292
7. W. Weber. "Dynamic stress experiments for understanding hot-carrier degradation phenomena", IEEE Trans. Electron Devices, Vol.35, No.9, 1988, pp:1476-1486