

HATA TOLERANSLI SERİ İLETİŞİM HATTI KULLANARAK BİR PC'YE VERİ AKTARIMI

Ahmet Turan ÖZCERİT

Sakarya Üniversitesi Tek.Eğt.Fak.Elt-Bil.Eğt.Böl.

aozcerit@sakarya.edu.tr

Abstract

A fault-tolerant serial data communication system has been designed to be used in mission critical serial communication systems. It allows the data transferring between a general-purpose embedded data processing system and a PC. The I/O card has two redundant serial data buses, which are used in place of each other in the case of a bus failure, transfer processed data from processing elements to the PC. As well as processing elements, the I/O card also includes an intelligent bus manager constantly monitoring the buses and chooses the healthy bus to transfer the data in bi-directional manner.

Anahtar sözcükler: Hata Toleransı, Seri İletişim, I²C-bus, Mikrodenetleyici

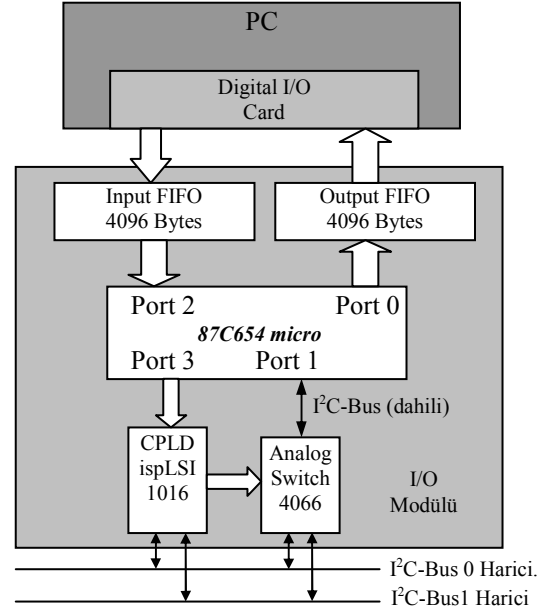
1. Giriş

Bir seri iletişim sistemindeki verilerin, bir I/O kart yardımıyla bir bilgisayara hata tolerans tekniği kullanarak aktarılması amaçlanmıştır. Seri iletişim protokolü olarak yaygın kullanımı ve basitliği sebebiyle I²C-bus seçilmiştir. I²C-bus genellikle yerleşik (embedded) sistemlerdeki entegreler arası seri iletişimi sağlamak üzere Philips™ tarafından tasarlanmıştır. Bu seri iletişim protokolünde hız 100Kbit/s'dir ve iletişim seri saat (SCL) ve seri veri (SDAT) hatları kullanılarak TTL seviye uyumlu olarak gerçekleştirilir [1]. Seri iletişim yolundan gelen veriler, iletişim kanalına bağlı olan bir çok veri işlem modülleri tarafından sağlanmaktadır. Veriyollarında meydana gelebilecek fiziksel (kopma, kısa devre vb.) veya protokol çökmelerinde (bus collision) bozuk olan veri yolunun bakım periyoduna alınması ve yedekte bekletilen sağlıklı veriyolunun geçerli veriyolu olarak kullanılması hedeflenmiştir. Her bir veri işleme ve I/O modülündeki veriyolu izleme devreleri, veriyollarından hangisinin kullanılacağına karar vermektedir. Bu tip bir çalışma, kritik bir görev sahip veri işleme ve seri veri transferi fonksiyonlarına sahip bir sistem için düşünülebilir.

2. I/O Modülü Tasarım Kriterleri

I/O modülünün amacı gelen seri bilgileri paralel bilgiye dönüştürüp PC anakartında ISA yuvasına

takılı olan bir dijital I/O kartına bu paralel bilgileri transfer etmektir. Transfer edilen bu veriler PC



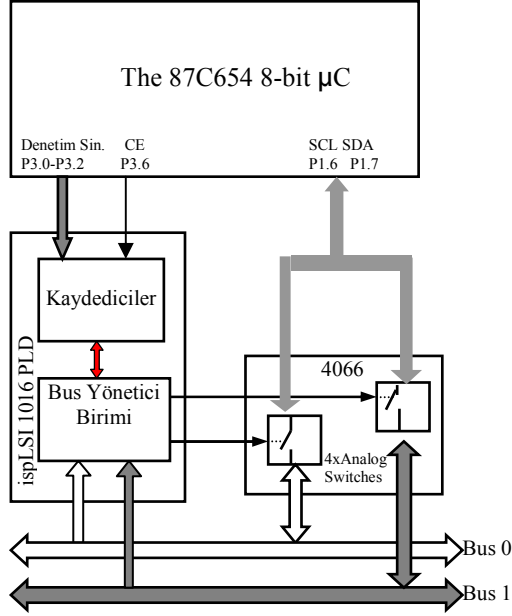
Şekil 1. I/O modülünün genel blok diyagramı.

üzerinde çalışan ilgili bir uygulama programı yardımıyla kullanıma hazır hale getirilebilir. I/O modülü Şekil-1'de görüldüğü gibi bir CPLD (Lattice ispLSI 1016), bir analog anahtar, bir mikrodenetleyici ve biri giriş ve diğeri de çıkışa hizmet eden iki adet FIFO dan ibarettir.

I/O modülüne şekilden de görüleceği üzere iki adet seri veriyolu bağlanmıştır. Yollardan biri varsayılan yol olarak belirlenebilir ve iletişim herhangi bir sorun olmadığı sürece bu yol üzerinden gerçekleştirilebilir. Varsayılan veriyolunda meydana gelebilecek bir olumsuzluk, veriyolunu sürekli takip etmekte olan ve CPLD entegresi üzerinde oluşturulmuş bir veriyolu yöneticisi tarafından belirli bir senaryo doğrultusunda tolere edilir ve sistem küçük bir zaman gecikmesi ile veri transferine kaldığı yerden devam eder. Normal şartlar altında, sistemin hata yapma ihtimali çok uzun süreli bir test sürecini gerektireceğinden, sistem hata enjeksiyon mekanizmaları ile desteklenmiştir. Bu sayede üretilen yapay hatalarla, sistemin kararsız durumdaki (veriyolu olumsuzlukları süreci) davranışları hassas bir lojik analizörle izlemeye alınmıştır. Bu amacı gerçekleştirebilmek için 16 kanallı ve 100Mhz.'lik bir lojik analizör yeterli gelebilmektedir.

3. Donanımsal Çözümler

Şekil 2’de görüldüğü gibi her iki veriyolu da mikrodenetleyicinin seri iletişim arayüzüne bir analog anahtar yoluyla erişebilmektedir. Analog anahtarlar CPLD üzerindeki veriyolu yöneticisi



Şekil 2. Veriyolu yönetiminin detaylı diyagramı

tarafından denetlenmekte ve analog anahtarların kontrolü için gerekli sinyaller üretilmektedir. CPLD üzerindeki sistem Lattice™ firması tarafından sağlanan bir geliştirme sistemi (pDS™) ve bir donanım tanımlama dili (Lattice HDL™) kullanılarak gerçekleştirilmiştir. Bu dil daha çok yapısal ve makro temelli bir dil olup VHDL dilindeki gibi davranışsal tasarımlara imkan vermemektedir [2][3]. Ancak tasarım, diğer yazılım paketleri ve araçları kullanılarak VHDL dilinde de yazılabilir. Bu tip bir tasarımın daha geniş bir bütçeye ihtiyaç duyacağı da unutulmamalıdır.

Sistemin tamamının detaylı elektronik devresi ise Şekil-3’te verilmiştir. Bu şemada temel bileşenlere ek olarak sistemin istenilen şekilde çalıştığının testine imkan veren görsel elemanlar (LED, display) ve sistem için gerekli saat ve resetleme ünitelerini içermektedir.

Veriyolu yöneticisi içerisindeki veriyolu kaydedicileri mikrodenetleyici (87C654) tarafından gerektiğinde güncellenmektedir. Örneğin modül bir mesaj göndermek istediğinde varsayılan veriyolunun hangisi olduğu mikrodenetleyici tarafından veriyolu yöneticisine Port-3’ten gönderilen sinyallerle belirlenir. Aynı şekilde varsayılan veriyolundaki bir olumsuzluk anında, Port-3’teki sinyaller yedek veriyolunu kullanmak için veriyolu yöneticisi kaydedicilerini günceller.

Veriyolu yöneticisi devresinden analog anahtarlara uygulanan denetim sinyallerinde dikkat edilecek çok önemli bir husus vardır: Veriyolu yöneticisi tarafından her iki veriyolunun geçici çip içi düzensizliklerden dolayı aynı anda seçilmesi. Böyle bir durumda tüm veriyolları kısa devre haline geleceğinden, sistem komple çökme problemi ile karşı karşıya gelecektir. Bu sorunu aşmak için veriyolu seçme sinyallerinin çıkışına özel bir devre tasarlanmış ve aynı anda sadece bir veriyolunu etkinleştirmesi sağlanmıştır. Aslında mikrodenetleyici bir mesaj göndermiyor veya alıyorsa o an için modül her iki veriyolundan da yalıtılmış durumda beklemektedir. Bu bekleme periyodunda diğer giriş çıkış verisinin FIFO aracılığı ile alınıp verilmesi gerçekleştirilebilir.

Bir diğer önemli problem de şudur: I/O modülünün herhangi bir veriyolundan gelecek mesajı alabilmesi için nasıl ilgili veriyolunu seçebilecektir. Bütün modüllerin aynı veriyolunu kullanmayacaklarını düşünülürse böyle bir durum ortaya çıkacaktır.

Dikkat edilirse Şekil 2’de veriyolu yöneticisinin seri veriyollarına doğrudan bağlandığı görülebilir. Veriyolu yönetim birimi her iki veriyolunu da sürekli takip etmekte ve herhangi bir etkinlik anında takip edilen senaryo gereği ilgili kaydedicileri güncellemektedir. Bu birim, veriyolundaki iki önemli amaç dikkatlice ve yüksek hızlı bir örnekleme işlemiyle takip etmektedir. Bunlar mesajın başladığını gösteren START ve bittiğini gösteren STOP anlarıdır. Birim herhangi bir veriyolunda START durumunu tespit ederse süratle ilgili veriyoluna bağlı analog anahtarı kapatır (aktif yapar) diğer anahtarı da veriyolu çökmelerini önlemek için açar (pasif yapar). Böylece sistem hangi veriyolundan gelirse gelsin tüm mesajları alabilme yeteneğine kavuşmaktadır.

Burada yine bir önemli nokta ortaya çıkmaktadır. Varsayılan veriyolunu dinleyen I/O modülünün işlemcisi (87C654), veriyolu yöneticisinin START durumunu algılaması ve ilgili analog anahtarlarını ayarlaması sırasında geçen süre sonunda mesajın başlangıç kısmı olan START durumunu kaçırabilir mi? Her işlemci içerisinde bulunan I²C-bus denetleyicisi sistemde dolaşan mesajların takip edilmesi ve mesajın kendisine gönderilmediği anlaşıldığında, veriyolunun takip edilmesinin bir sonraki START durumuna kadar kesilmesini öngörür. Ancak START durumunu kaçırarak bir modül hiçbir şekilde bu mesajın kendisini ilgilendirip ilgilendirmedikine karar veremez, çünkü veriyolunda yeni bir mesaj olduğunu belirtecek durum algılanamamıştır. Ancak veriyolu yöneticisinin START anını hissetmesi ve ilgili anahtarları ayarlaması arasında geçen süre birkaç yüz nano saniye sürmektedir ve bu süre de I²C-bus teknik dokümanında belirtilen START ve STOP

durumlarını en az 4.0 mikro saniye olma şartını fazlasıyla karşılamaktadır [1]. Böylece herhangi bir veriyolunda başlayan START durumu iletişimi engelleyecek bir problem olmaksızın çok küçük bir gecikmeyle ilgili mikrodenetleyicinin seri iletişim arayüzüne analog anahtarlarla bağlanmış olmaktadır. Diğer başka bir problem, herhangi bir veriyolundan mesajı iletişimi başladığında diğer veriyolundan START durumunun veriyolu yöneticisi tarafından algılanmasıdır. Bu durumda, veriyolu yöneticisinin devam etmekte olan mesaj iletişimine zarar vermemesi için özel bir mekanizma tasarlanmıştır. Bu mekanizma sayesinde veriyolu yöneticisi içerisindeki analog anahtarlar hükmeden kaydediciler daha önce kurulmuş ise STOP durumunun ortaya çıkmasına kadar tekrar kurulmasının önüne geçilmiştir. Daha açık bir ifadeyle mikrodenetleyici tarafından kaydedicilere uygulanan denetim sinyalleri veriyolu yöneticisinin içinde bulunan algılama ünitesi sinyallerinden daha baskındır.

Veriyolu seçim mekanizması aşağıdaki üç temel kritere göre çalışmaktadır.

- Aynı anda sadece tek bir veriyolu seçilir
- Veriyolu seçme kaydedicilerine harici erişim (mikrodenetleyici tarafından) , START ve STOP algılama ünitesinin dahili erişimine göre baskındır
- Herhangi bir veriyolundan mesaj iletişimi yapılırken diğer veriyolundaki aktiviteler ihmal edilir.

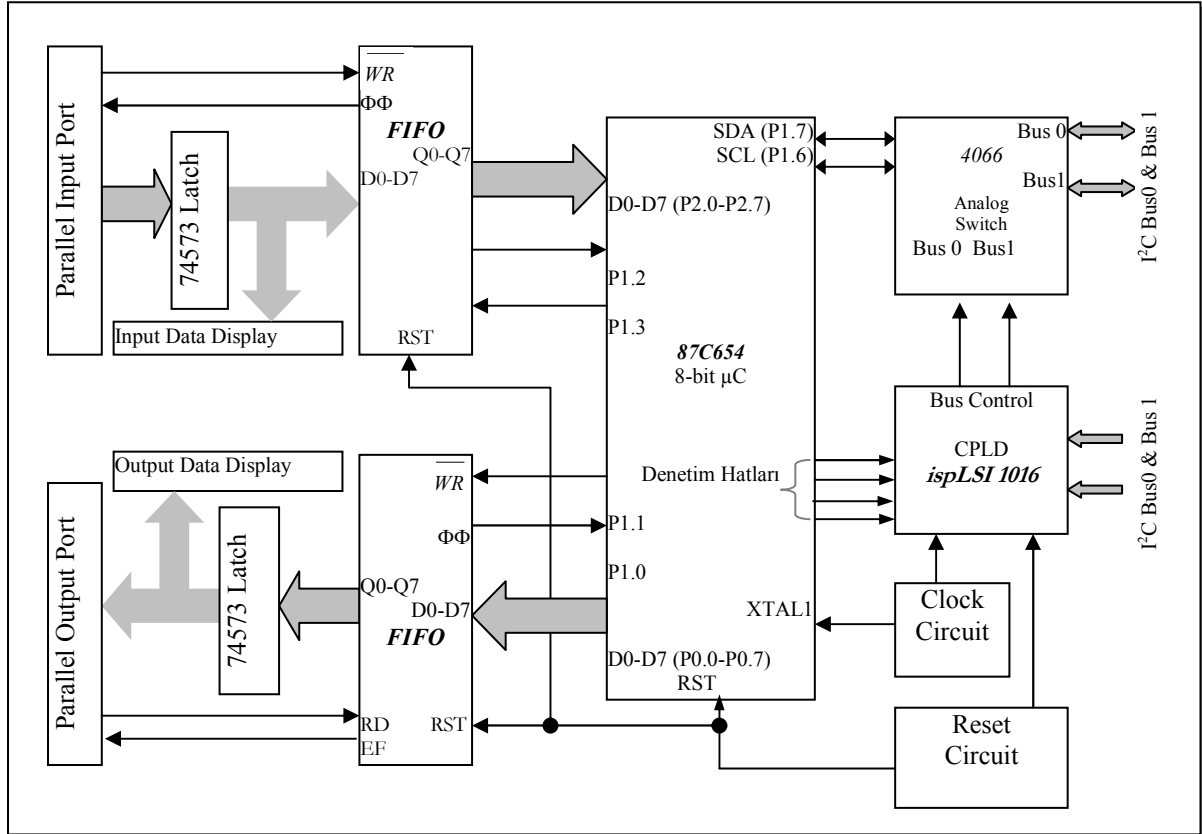
4. Yazılımsal Çözümler

I/O modülüne ait master ve slave haberleşme rutinleri birbirinden bağımsız olup, master rutin çok sayıda dahili ve harici parametrelere dayandığından oldukça komplekstir. Şekil-4'te bir I/O modülüne ait master rutininin akış diyagramı verilmiştir.

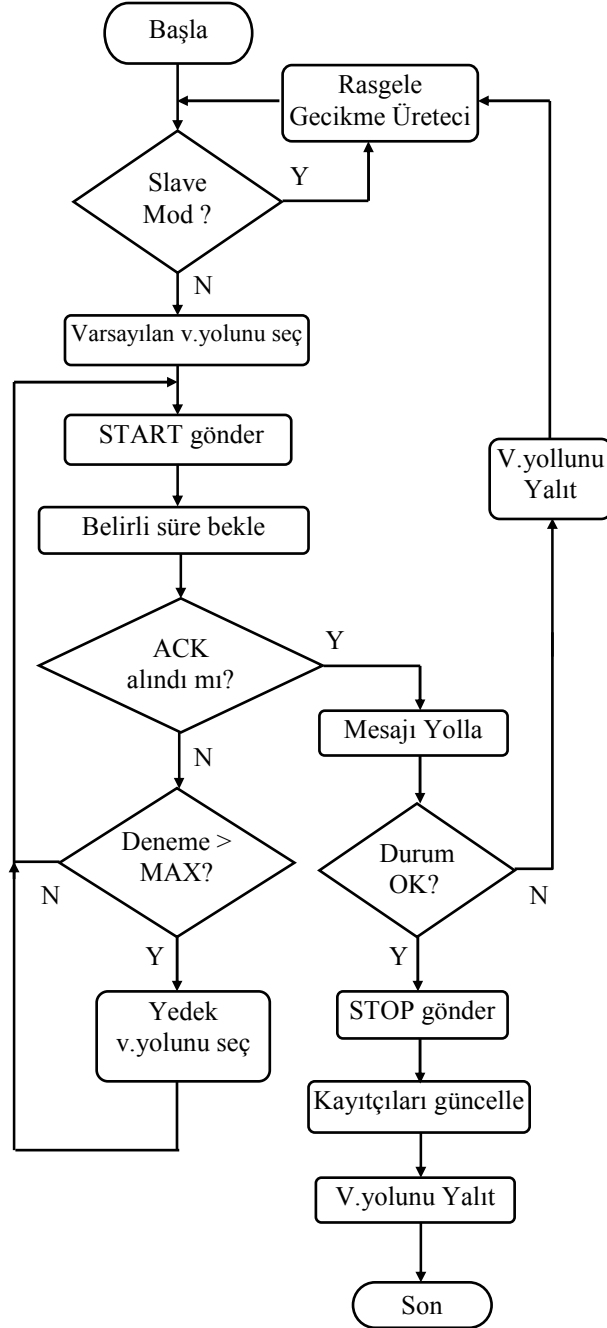
Master mod, o modülün iletişimi kendisinin başlatacağını ve kendisinin bitireceğini gösterir. Ancak veriyolunda dolaşan mesajın master tarafından gönderilme şartı yoktur. Bir slave modül bir master tarafından slave-gönderici olarak çalıştırılabilir. Bu moda da iletişim master tarafından başlatılıp bitirilmek zorundadır.

Bir master-göndericinin, yani veriyoluna mesaj göndermek isteyen bir master'ın mutlak iki kriteri karşılaması gerekir. Birincisi, modülün o anda slave modda olmaması ikincisi de seçilen veriyolunda herhangi bir iletişim aktivitesi olmaması gerekir. Birinci kriteri mikrodenetleyici dahili hafızasında güncellediği bir değişken ile kontrol ederken, ikinci kriteri yine mikrodenetleyici içerisindeki (on-chip) I²C-bus denetleyicisindeki bir denetim biti ile kontrol eder. Eğer bu kriterlerden herhangi biri sağlanmazsa modül rasgele bir zaman içerisinde kriterleri tekrar kontrol eder ve bu işlem periyodik olarak kriterler sağlanıncaya kadar devam eder.

Modül bu iki kriteri sağladıktan sonra varsayılan veriyolunu seçer ve START durumunu veriyoluna bırakır. ACK (kabul) sinyalinin adreslenmiş



modülden gelmesi beklenir. ACK sinyali alındıktan sonra ilgili mesaj hedef modüle gönderilmek üzere veriyoluna iletilir. Başarılı bir şekilde biten mesaj çerçevesinin sonunda master veriyoluna bir STOP durumu yayınlayarak iletişim bitirir ve veriyolunu tekrar mikrodenetleyiciden yalıtılmak üzere veriyolu yöneticisinin ilgili kaydedicilerini günceller.



5. Sonuç

Tasarlanan ve gerçekleştirilen sistem, yedeklenmiş bir seri haberleşme sisteminden gelen bilgileri bilgisayar aktarmada ve bilgisayardan gelen verilerin de sisteme ulaşmasında kullanılmış ve hata toleranslı bir çalışmaya örnek teşkil etmiştir. Sistemin en büyük dezavantajı bilgisayar-sistem arasındaki veri akış hızı istenen hızda olmayışıdır (yaklaşık 8KB/s). Bunun nedeni kullanılan dijital I/O kartının Windows™ işletim sistemi altında çalışması ve yazılım sürücüsünün oldukça yavaş olmasıdır. Çözüm olarak PCI yuvada çalışan daha hızlı kartlar ve bunlara ait hızlı sürücüler bulunabilir. Sistem gelecekte CAN™, USB™, SPI™, ve Microwire™ gibi diğer yerleşik seri haberleşme protokolleri için de uygulanabilir.

Referanslar

- [1] I²C Peripherals, IC12, Philips Publication, 1996, p46
- [2] Lattice Semiconductor Data Book, 1998
- [3] pLSI / ispLSI Development System User Manuel, 1998