

CMOS YAPILARDA YORULMA VE ÖMÜR KESTİRİMİNİN İSTATİSTİKSEL OLARAK İNCELENMESİ

Fırat KAÇAR¹ Ayten KUNTMAN² Hakan KUNTMAN³

^{1,2}Elektrik-Elektronik Mühendisliği Bölümü
Mühendislik Fakültesi, İstanbul Üniversitesi, 34800,
Avcılar, İstanbul

³Elektronik ve Haberleşme Mühendisliği Bölümü
Elektrik-Elektronik Fakültesi
İstanbul Teknik Üniversitesi, 80626, Maslak, İstanbul

¹e-posta: fkacar@istanbul.edu.tr

²e-posta: akuntman@istanbul.edu.tr

³e-posta: kuntman@ehb.itu.edu.tr

Anahtar sözcükler: MOS tranzistorlar, Sıcak taşıyıcılar, İstatistiksel yöntemler

ABSTRACT

In this paper the degradation in the drain current and threshold voltage are observed by operating the MOS transistors under voltage stress conditions. The linear regression method is used to estimate the Power, Power-LogI, Power-LogII, Weibull and Logarithmic parameters and the correlation coefficient is used to confirm the results. The observed and the estimated values of the degradation are compared with each other.

1. GİRİŞ

Bilgisayar ve uzay teknolojilerindeki ilerlemelere paralel olarak, boyutların küçülmesine karşın; diğer tümdevre yapıları ile uyumun bozulmaması için besleme gerilimleri ve devrenin çalışma gerilimleri değiştirilememektedir. Bu da tümdevrelerde sıcak taşıyıcı etkisi; güvenilirlik ve ömür belirlenmesi gibi konuları daha önemli kılmaktadır.

MOS yapılarında güvenilirliği etkileyen en önemli faktörlerden biri olan sıcak taşıyıcı etkisi ile ilgili çok sayıda çalışma yapılmaktadır [1-15]. Yapılan çalışmalar dört farklı grupta toparlanabilir. Bunlar sırasıyla yeni tip MOS yapılar üzerinde sıcak taşıyıcı etkisi incelenmiştir [1-3]. İkinci grup çalışma ise farklı üretim prosesleri ve farklı teknolojiler için elde edilen MOS'larda sıcak taşıyıcı yorulması incelenmiştir [4-7]. Üçüncü grup çalışmada ise farklı stres yöntemleri ve ölçüm teknikleri (Fowler-Nordheim yöntemi, yeni yük pompası yöntemi, kanal sıcak taşıyıcı enjeksiyonu yöntemi) kullanılarak sıcak taşıyıcı oluşum mekanizması ve etkisi incelenmiştir [8-10]. Son grup çalışma ise elektriksel karakteristikleri kullanarak yeni analitik modeller önerilmiştir [10-13].

Literatürde yer alan modelleme çalışmalarının büyük bir çoğunluğu fiziksel model önerilmiştir. Ancak fiziksel modelin oluşturulmasındaki zorluklar, teknolojinin değişmesi ile günceliğinin kaybolması

ve simülasyon süresinin oldukça uzun olması modelin dezavantajları olarak görülmektedir. Fiziksel modelin dezavantajlarından kurulmak için gözlem sonucuna dayalı, teknolojiye bağımsız, simülasyon süresi oldukça kısa ve yüksek doğruluklu istatistiksel bir yöntem önerilmiştir [14].

Bu çalışmada teknolojileri aynı kanal boyları birbirinden farklı N-MOS ve P-MOS tranzistorlar için sıcak taşıyıcı etkisi istatistiksel olarak incelenmiştir. Bu çalışmada tranzistorların sıcak taşıyıcı yorulmasını modellemek için N-MOS ve P-MOS için beş farklı istatistiksel yöntem kullanılmıştır. N-MOS için beş farklı kanal uzunluğuna sahip tranzistorlar kullanılırken P-MOS için ise iki farklı kanal uzunluğuna sahip tranzistorlar kullanılmıştır. Tranzistorların savak akımı ve eşik gerilimi gibi elektriksel parametrelerin değişimi incelenmiştir. Kullanılan istatistiksel yöntemler sırasıyla Power yöntemi, Power-log-I yöntemi, Power-log-II yöntemi, Logartimik yöntem ve Weibull yöntemidir. Bu yöntemlere ait fonksiyonlardan yararlanılarak N-MOS ve P-MOS tranzistor için savak akımı ve eşik gerilimi değişimini ifade eden birer model önerilmiştir. Önerilen bu modeller kullanılarak bir örnek devre için sıcak taşıyıcı yorulması incelenmiştir.

2. KULLANILAN İSTATİSTİKSEL YÖNTEMLER

Bu çalışmada sıcak taşıyıcıların MOS tranzistorların elektriksel parametreleri üzerindeki etkilerini inceleyebilmek için laboratuvar şartlarında hızlandırılmış ölçümler gerçekleştirilmiştir. Bu çalışmada kullanılan ölçüm sonuçları SIEMENS AG München, Germany tarafından sağlanmıştır. Bu ölçümler N-MOS ve P-MOS gibi iki farklı tip tranzistor kullanılmıştır. N-MOS tranzistorlar için teknolojileri aynı kanal boyları birbirinden farklı 5

adet tranzistor kullanılmıştır. Kullanılan tranzistorların proses parametreleri $t_{ox}=15\text{nm}$, $x_j=400\text{nm}$ ve boyutları $W=10\mu\text{m}$, $L=1\mu\text{m}$, $L=1.2\mu\text{m}$, $L=1.5\mu\text{m}$, $L=2\mu\text{m}$ ve $L=3\mu\text{m}$ şeklindedir. P-MOS tranzistorlar için aynı teknoloji ve kanal boyu birbirinden farklı iki tranzistor kullanılmıştır. P-MOS tranzistorların proses parametreleri $t_{ox}=20\text{nm}$, $x_j=400\text{nm}$ ve boyutları ise $W=10\mu\text{m}$, $L=1.5\mu\text{m}$, $L=3\mu\text{m}$ şeklindedir. N-MOS ve P-MOS tranzistorların modellenmesinde kullanılan istatistiksel yöntemleri şu şekilde sıralayabiliriz ;

Weibull Dağılımı;

$$F(t)= 1-\exp [-(t/a)^b] \quad (1)$$

Power Dağılımı

$$F(t)= a.t^b \quad (2)$$

Power-Log-I Dağılımı

$$F(t)= a. \ln(t)^b \quad (3)$$

Power-Log-II Dağılımı

$$F(t)= a.t^b \ln(t) \quad (4)$$

Logaritmik Dağılım

$$F(t)= a+b \ln(t) \quad (5)$$

Yukarıda verilen tüm yöntemler için ;

t: zaman

a: ölçekleme parametresi

b: şekil parametresidir

İncelenen tüm yöntemler için a ve b katsayıları aşağıda verilen en küçük kareler yöntemiyle üssel dağılım, en küçük kareler yöntemiyle logaritmik dağılım ve en küçük kareler yöntemiyle power dağılımı yöntemleri ile elde edilen katsayılarla ait formüller kullanılarak hesaplanabilir.

2.1. En Küçük Kareler Yöntemiyle Üssel Dağılım

Fonksiyon aşağıdaki formda verilirse

$$y = Ae^{Bx} \quad (6)$$

Denklemin her iki yanının logaritmasını alırsak

$$\ln y = \ln A + Bx \quad (7)$$

En iyi uydurma parametresi aşağıdaki formülle elde edilir.

$$a = \frac{\sum_{i=1}^n \ln y_i \sum_{i=1}^n X_i^2 - \sum_{i=1}^n x_i \sum_{i=1}^n x_i \ln y_i}{n \sum_{i=1}^n x_i^2 - (\sum_{i=1}^n x_i)^2}$$

$$b = \frac{n \sum_{i=1}^n x_i \ln y_i - \sum_{i=1}^n x_i \sum_{i=1}^n \ln y_i}{n \sum_{i=1}^n x_i^2 - (\sum_{i=1}^n x_i)^2}$$

burada $B \equiv b$ ve $A \equiv \exp(a)$ 'dır.

2.2. En Küçük Kareler Yöntemiyle Logaritmik Dağılım

Fonksiyon aşağıdaki şekilde verilmişse

$$y = a + b \ln x \quad (8)$$

Katsayılar en küçük kareler uydurma metodu ile bulunur

$$b = \frac{n \sum_{i=1}^n (y_i \ln x_i) - \sum_{i=1}^n y_i \sum_{i=1}^n \ln x_i}{n \sum_{i=1}^n (\ln x_i)^2 - (\sum_{i=1}^n \ln x_i)^2}$$

$$a = \frac{\sum_{i=1}^n y_i - b \sum_{i=1}^n (\ln x_i)}{n}$$

2.3. En Küçük Kareler Yöntemiyle Power Dağılımı

Fonksiyon aşağıdaki gibi verilirse

$$y = Ax^B \quad (9)$$

En küçük kareler uydurma yöntemi ile denklemin katsayıları bulunur

$$b = \frac{n \sum_{i=1}^n (\ln x_i \ln y_i) - \sum_{i=1}^n (\ln x_i) \sum_{i=1}^n (\ln y_i)}{n \sum_{i=1}^n (\ln x_i)^2 - (\sum_{i=1}^n \ln x_i)^2}$$

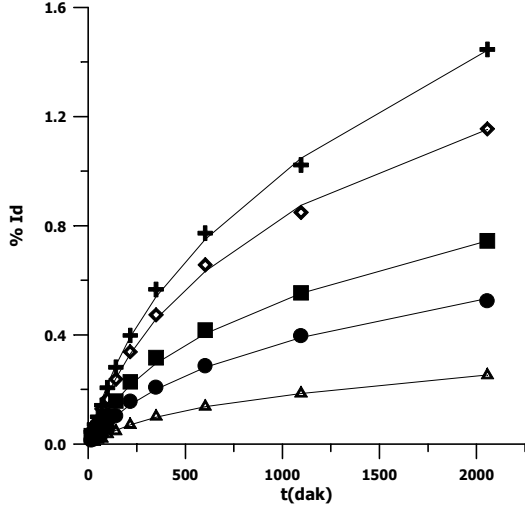
$$a = \frac{\sum_{i=1}^n (\ln y_i) - b \sum_{i=1}^n (\ln x_i)}{n}$$

burada $B \equiv b$ ve $A \equiv e^a$.

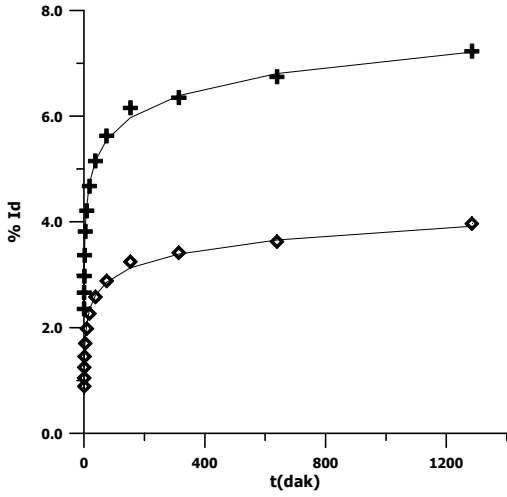
3. ELDE EDİLEN SONUÇLAR:

Tranzistorların elektriksel parametrelerindeki değişimler üç farklı çalışma şartları için elde edilmiştir. Yapılan inceleme sonucunda birer örnek olması açısından N-MOS için savak akımının zamanla değişimi Şekil.1'de, P-MOS için savak akımının zamanla değişimi Şekil.2'de görülmektedir. Elde edilen savak akımı ve eşik gerilimi değişimlerinden yararlanılarak sonuçların istatistiksel yöntemlerle modellenmesi için beş farklı yöntem olan Power yöntemi, Power-Log-I yöntemi Power-Log-II yöntemi, Logaritmik yöntem ve Weibull yöntemi için elde edilen deneysel sonuçlara uygun fonksiyon ve fonksiyon katsayıları hesaplanmıştır [14]. Elde edilen fonksiyonlar Tablo-1'de görülmektedir.

Önerilen tüm istatistiksel yöntemlerdeki fonksiyonlar iki temel parametreden oluşmaktadır. Ölçüm sonuçları ve hesaplanan değerler için korelasyon katsayıları hesaplanmış ve hata analizi yapılmıştır. Korelasyon katsayılarının maksimum değeri 0,999 ve minimum değeri 0,995 olduğu görülmüş ve RMS hatalar için ise maksimum değer 0,007 ve minimum değer 0,001 olarak hesaplanmıştır.



Şekil 1: NMOS tranzistorun farklı kanal boyları için % I_D değişimleri ($V_D=3V$); ölçülen $L=1(\text{+})$, $1.2(\text{◆})$, $1.5(\text{■})$, $2(\text{●})$, $3(\text{▲})\mu\text{m}$, hesaplanan (—)



Şekil 2: Logaritmik yöntem ile P-MOS tranzistorun $L=1.5\mu\text{m}$ için % I_D değişimleri ölçülen, $V_D=0.5(\text{+})$, $V_D=3V(\text{◆})$, hesaplanan (—)

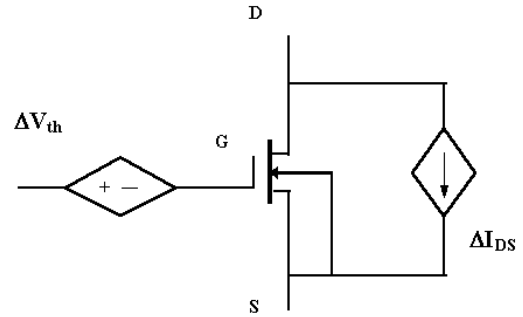
Tablo .1: İncelenen yöntemlerden elde edilen fonksiyonlar

İncelenen yöntem	Elde edilen fonksiyonlar
Power	$\% I_D(t) = a \cdot t^b$ $\% V_{TH}(t) = a \cdot t^b$
Power-Log-I	$\% I_D(t) = a \cdot \ln(t)^b$ $\% V_{TH}(t) = a \cdot \ln(t)^b$
Power-Log-II	$\% I_D(t) = a \cdot t^b \cdot \ln(t)$ $\% V_{TH}(t) = a \cdot t^b \cdot \ln(t)$
Logaritmik	$\% I_D(t) = a + b \cdot \ln(t)$ $\% V_{TH}(t) = a + b \cdot \ln(t)$
Weibull	$\% I_D(t) = 1 - \exp[-(t/a)^b]$ $\% V_{TH}(t) = 1 - \exp[-(t/a)^b]$

4. ÖNERİLEN N-MOS VE P-MOS MODEL

Deney sonuçlarından da anlaşılacağı üzere zamana bağlı olarak, N-MOS tranzistorun savak akımı ve eşik geriliminin azaldığı, P-MOS tranzistorun savak akımı ve eşik geriliminin ise arttığı açıkça görülmektedir.

Bu çalışmada tranzistorlardaki sıcak taşıyıcı etkisini temsil etmek üzere uygun bir model tasarlanmıştır. Elde edilen zamana bağlı fonksiyonlar yardımıyla N-MOS tranzistorun savak ve kaynak arasına bağımlı bir akım kaynağı bağlanarak savak akımının zamanla azalan değeri, geçidine ise bağımlı bir gerilim kaynağı bağlanarak eşik geriliminin zamanla azalan değeri için bir çözüm oluşturulmuştur. N-MOS için önerilen modelin şeması şekil Şekil-3'te görülmektedir. Benzer şekilde P-MOS tranzistor içinde savak akımındaki ve eşik gerilimindeki artan değeri için bir model önerilmiştir.

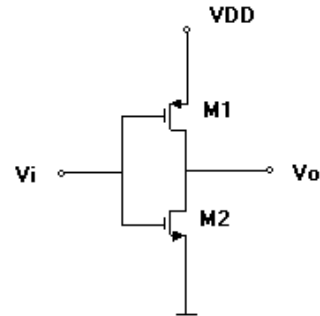


Şekil 3: Önerilen N-MOS ve tranzistor modelinin şematik gösterimi

5. UYGULAMA

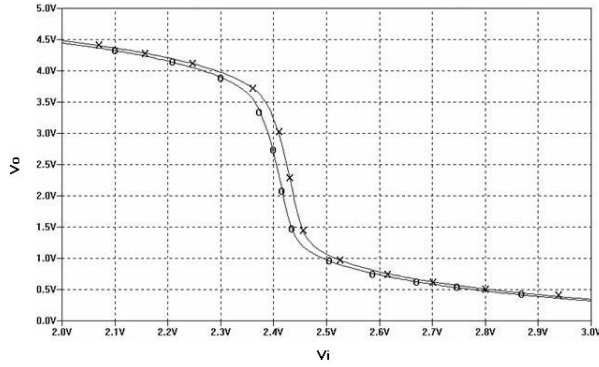
Bu bölümde önerilen yöntemin devreye nasıl uygulanacağı ve yöntemin pratikliğini göstermek üzere bir CMOS evircinin SPICE benzetimi yapılmıştır. Yapılan simülasyonlarda, günümüz simülasyonlarında yaygın olarak kullanılan BSIM3 MOSFET model parametreleri kullanılmıştır.

Şekil-4'deki basit bir CMOS yapısı kullanılarak devre simülasyonu yapılmıştır. Şekilden de görüldüğü üzere her iki tranzistorun (NMOS ve PMOS) girişine yüksek seviyede gerilim uygulanmıştır. Devrenin besleme gerilimi $V_{DD}=5V$ olarak alınmış, NMOS tranzistor için boyutları $W=10\mu\text{m}$, $L=3\mu\text{m}$ ve PMOS tranzistor için boyutları $W=10\mu\text{m}$, $L=1.5\mu\text{m}$ olan tranzistorlar kullanılmıştır.

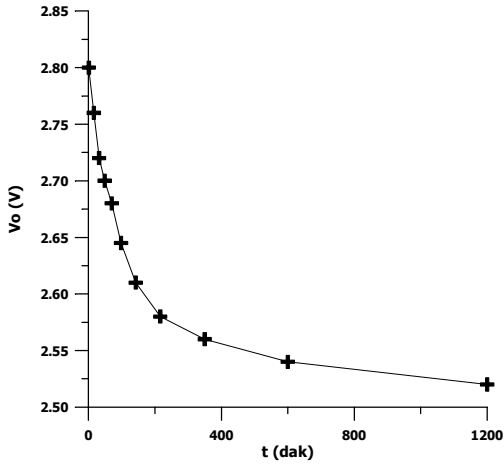


Şekil-4: CMOS evirci devresi

Yapılan SPICE simülasyonu sonucunda devrenin stres öncesi ve stres sonrasındaki DC geçiş karakteristiğindeki değişim Şekil-5’de görülmektedir. CMOS eviricilerde tranzistorlara ait akımın ve eşik geriliminin değişmesi eviricinin evirtim gerilimi değeri üzerinde önemli bir etkisi vardır. Eviricinin evirtim gerilimi değeri noktası $V_I=2,41V$ ve $V_O=2,81V$ olarak belirlenmiştir. 18 saatlik stres uygulaması sonucunda gerilim geçiş karakteristiğinin evirtim noktasının değerinin $V_I=2,41V$ ve $V_O=2,51V$ ’a kaydığı gözlemlenmiştir. Evirtim gerilimi değerinin zamanla değişimi Şekil-6’da görülmektedir.



Şekil-5: CMOS eviricinin stres öncesi (x) ve stres sonrası (o) gerilim geçiş karakteristiği



Şekil-6: CMOS eviricinin evirtim geriliminin zamanla değişimi

6. ÖMÜR TAHMİNİ

Bu bölümde literatürde parametre yorılmasının %10'luk ömür kriteri kullanılarak N-MOS, P-MOS ve evirici için ömür tahmini hesabı yapılmıştır. Sıcak taşıyıcıların DC stres uygulamasında %10'luk ömür kriterine ulaşması 10 yıldan daha az bir süreye karşı gelmektedir [15].

Önerilen yöntemlerdeki fonksiyonlar kullanılarak NMOS ve P-MOS için literatürde yer alan %10'luk savak akım kriteri kullanılarak ömür tahmini hesabı sırasıyla NMOS için Power-Log yöntemi PMOS için ise logaritmik yöntemle göre yapılmıştır. Hesaplama

sonucunda elde edilen farklı çalışma şartları için ömür süreleri Tablo-2 ve Tablo-3'te verilmiştir. Benzer şekilde CMOS eviricinin çıkış karakteristiğinin zamanla değişimi için bir fonksiyon elde edilerek, CMOS eviricinin ömür tahmini hesaplanmış ve Tablo-4'de görülmektedir.

Tablo-2: N-MOS tranzistorun farklı kanal boyları için hesaplanan tahmini ömür süreleri

Kanal boyu (μm)	N-MOS Tahmini ömür süresi (s)	
	Eşik altı bölgesi	Eşik üstü bölgesi
L=1	$9,3 \times 10^2$	$3,7 \times 10^3$
L=1.2	$1,8 \times 10^3$	$1,0 \times 10^6$
L=1.5	$9,1 \times 10^3$	$1,8 \times 10^7$
L=2	$5,1 \times 10^4$	$5,8 \times 10^7$
L=3	$3,1 \times 10^6$	$6,8 \times 10^9$

Tablo-3: P-MOS tranzistorun farklı kanal boyları için hesaplanan tahmini ömür süreleri

Kanal boyu (μm)	P-MOS Tahmini ömür süresi (s)	
	Eşik altı bölgesi	Eşik üstü bölgesi
L=1.5	$1,3 \times 10^5$	$2,86 \times 10^8$
L=3	$2,4 \times 10^6$	$3,66 \times 10^{10}$

Tablo-4: CMOS eviricinin ömür hesabı

İncelenen devre	Tahmini ömür süresi (s)
CMOS evirici	$9,1 \times 10^4$

7. TARTIŞMA VE SONUÇ

Bu çalışmada N-MOS ve P-MOS tranzistorların farklı kanal boyları ve farklı stres gerilimlerinin uygulanması sonucunda, savak akımındaki ve eşik gerilimindeki sıcak taşıyıcı etkisine bağlı değişimleri incelenmiştir. Yapılan inceleme sonucunda N-MOS tranzistorlar için savak akımının ve eşik geriliminin zamanla azaldığı de, P-MOS tranzistorlar için ise savak akımının ve eşik geriliminin zamanla arttığı görülmüştür.

Tranzistorların sıcak taşıyıcı yorulmasını modellemek için N-MOS ve P-MOS için beş farklı istatistiksel yöntem incelenmiştir. İncelenen tüm yöntemlerde sıcak taşıyıcı değişimi iki değişkenli bir fonksiyonla ifade edilmekte ve bu katsayılar tranzistorun teknolojisine ve çalışma şartlarına bağlı olarak belirlenebilmektedir.

İncelenen yöntemlere ait fonksiyonlardan yararlanılarak N-MOS ve P-MOS tranzistor için savak akımı ve eşik gerilimi değişimini ifade eden birer model önerilmiştir. Önerilen bu modeller kullanılarak sıcak taşıyıcı yorulmasının CMOS evirici devresi üzerine etkisi incelenmiştir. SPICE benzetimi ile önerilen modeller kullanılarak devrenin sıcak taşıyıcı yorulması sonucunda performansı tekrar değerlendirilmiştir.

Çalışmanın son bölümünde önerilen fonksiyonlar kullanılarak ömür tahmini hesabı yapılmıştır. N-MOS ve P-MOS tranzistorlar için kanal boyu azaldıkça tranzistor ömrünün azaldığı görülmüştür.

Yapılan bu çalışma sonucunda incelenen yöntemlerden elde edilen fonksiyonlar kullanılarak N-MOS ve P-MOS tranzistorun sıcak taşıyıcı etkisinin zamanla değişimini veren model önerilmiştir. Bu model sayesinde herhangi bir dijital veya analog devrenin sıcak taşıyıcı yorulmasından ne kadar etkilendiğini belirlemektedir. Ayrıca önerilen model kullanılarak tranzistorun ve/veya herhangi bir devrenin ömrü yaklaşık olarak tahmin edilebilmektedir.

Önerilen yöntem ölçüm sonuçlarına dayandığından, teknolojiye bağımsız olmasından dolayı çok farklı boyuttaki N-MOS ve P-MOS tranzistorlara da kolayca uygulanabilir. Fiziksel modelin oluşturulmasına göre daha pratik bir şekilde modellenmesi, simülasyon süresinin fiziksel modele göre oldukça kısa olması önemli üstünlük sağlamaktadır.

KAYNAKLAR

[1] WANG, Y., ZHAO, Y., KHAN, B.M., DOHERTY, C.L., KRAYER, J.D., WHITE, M.H., A novel SONOS nonvolatile flash memory device using substrate hot-hole injection for write and gate tunneling for erase, *Solid-State Electronics*, Vol: 48, pp. 2031–2034, 2004.

[2] CORTE'S, I., ROIG J., FLORES, D., URRESTI, J., HIDALGO, S., REBOLLO, J., Analysis of hot-carrier degradation in a SOI LDMOS transistor with a steep retrograde drift doping profile, *Microelectronics Reliability*, In press, 2004.

[3] CHAUDHRY, A., KUMAR, M.J., Controlling short-channel effects in deep-submicron SOI MOSFETs for improved reliability: A review, *IEEE Transactions On Device And Materials Reliability*, Vol: 4 (1), pp. 99-109, 2004.

[4] MOENS, P., VLACHAKIS, B., BAUWENS, F., DE SCHEPPER L., Spatial distribution of interface

traps in DeMOS transistors, *IEEE Electron Device Letters*, Vol: 25(8), pp. 577–579, 2004.

[5] GOGUENHEIM, D., BRAVAIX, A., GOMRI, S., MORAGUES, J.M., MONSERIE, C., LEGRAND, N., BOIVIN, P., Impact of wafer charging on hot carrier reliability and optimization of latent damage detection methodology in advanced CMOS technologies, *Microelectronics Reliability*, In press. 13-18, 2004.

[6] JANG, T.S., HA, M.H., YOO, K.D., KANG, B.K., Plasma process induced damages on n-MOSFET with plasma oxidized and nitrided gate dielectrics, *Microelectronic Engineering*, Vol:75, pp. 443-452, 2004.

[7] BRAVAIX, A., GOGUENHEIM, D., REVIL, N., VINCENT, E., Deep hole trapping effects in the degradation mechanisms of 6.5–2 nm thick gate-oxide PMOSFETs, *Microelectronic Engineering* Vol:72, pp. 106–111, 2004.

[8] HASTAS, N.A., ARCHONTAS, N., DIMITRIADIS, C.A., KAMARINOS, G., NIKOLAIDIS, T., GEORGOULAS, N., THANAILAKIS, A., Substrate current and degradation of n-channel polycrystalline silicon thin-film transistors, *Microelectronics Reliability*, In press, 2004.

[9] NIGAM, T., SHIBIB, A., XU, S., SAFAR, H., STEINBERG, L., Nature and location of interface traps in RF LDMOS due to hot carriers, *Microelectronic Engineering* Vol :72 (1-4), pp.71-75, 2004.

[10] GERARDIN, S., CESTER, A., PACCAGNELLA, A., GHIDINI G., MOSFET drain current reduction under Fowler–Nordheim and channel hot carrier injection before gate oxide breakdown, *Materials Science in Semiconductor Processing*, Vol:7, pp.175–180, 2004.

[11] HO, C.S., HUANG, K., TANG, M., LIOU., J. J., An analytical threshold voltage model of NMOSFETs with hot-carrier induced interface charge effect, *Microelectronics Reliability*, In press, 2004.

[12] CUI, Z., LIOU, J.J., YUE, Y., A new extrapolation method for long-term degradation prediction of deep-submicron MOSFETs, *IEEE Transactions On Device*, Vol: 50 (5), pp. 1398-1401, 2004.

[13] KUNTMAN, A., ARDALI, A., KUNTMAN, H., and KAÇAR, F., “A Weibull distribution-based new approach to represent hot carrier degradation in threshold voltage of MOS transistors”, *Solid-State Electronics* Vol. 48, Issue 2, pp.217-223, 2004.

[14] KAÇAR, F., “MOSFET’lerdeki sıcak taşıyıcı etkisinin modellenmesi için yeni yaklaşımlar, Ph. D. Thesis, Institute of Sciences, Istanbul University, 2005.

[15] GROSENEKEN, G., Hot carrier degradation and ESD in submicron CMOS technologies: how do they interact?, *IEEE Trans. Device and Materials Reliability*, Vol:1, pp. 23-32, 2001.