

ADC Tasarım Sistemi ile Boru Hatlı ADC tasarımı

Selçuk TALAY

Günhan DÜNDAR

Elektrik – Elektronik Mühendisliği Bölümü,
Boğaziçi Üniversitesi, Bebek 34342 İstanbul
talays@boun.edu.tr dundar@boun.edu.tr

Anahtar sözcükler:Elektronik,Tasarım Otomasyonu, Analog-Dijital Çeviriciler

ABSTRACT:

Bu çalışmada ADC (Analog-Dijital Çevirici) tasarım otomasyon sistemi kullanılarak boruhatlı ADC tasarımı sunulmaktadır. Tasarım 0.6µm 3-metal,2-polisilikon teknolojisi kullanılarak üretilmiştir. Tasarım aşamaları ve tasarım otomasyon sisteminin nasıl kullanıldığı açık olarak gösterilmiştir. Genel amaç, yetkin bir tasarım otomasyon sistemi kullanılarak serim aşamasına kadar ADC tasarımını gerçekleştirmek olsa da bu çalışmada sadece sistem seviyesi tasarımı için tasarım otomasyon sistemi kullanılmıştır. Test tasarımı amaçlandığı için tasarım parametreleri çok kısıtlayıcı seçilmemiştir.

1. GİRİŞ

Analog dijital çeviriciler (ADC), yaşadığımız analog dünya ile yüksek işaret işleme gücümüzün olduğu dijital dünya arasındaki bağlantıyı sağlamaktadır. Dijital işaret işleme ve kablosuz iletişim pazarının genişlemesi ADC'lere olan talebin artmasını sağlamaktadır. Fakat ADC tasarımının özellikle yüksek hız ve yüksek çözünürlükteki sistemler için çeşitli güçlükleri vardır. Bu güçlükler, tasarımcılar için ADC tasarım süresini kısaltacak yeni tasarım otomasyon sistemleri geliştirmesine yol açmıştır. [1],[2],[3]. Tasarım sürelerinin kısalması, tasarımcının tasarım uzayında daha çok çözüm denemesine fırsat tanıyarak eniyelenmiş tasarımlara ulaşılmasını sağlamaktadır. Ayrıca, belirlenen parametrelere göre tasarımı eniyileyecek bazı araçlar da geliştirilmiştir [4]. Fakat, şimdiye kadar birden fazla ADC mimarisi kullanarak sistem seviyesinden serim aşamasına kadar tasarım gerçekleştirebilecek bir tasarım otomasyon sistemi geliştirilmemiştir.

Bu bildiri test tasarımı sırasında elde edilen tasarım tecrübelerinin sunulmasını kapsamaktadır. Bu bildirideki test tasarımı, sistem seviyesinde çalışan ADC tasarım otomasyon aracından yararlanılarak gerçekleştirilmiştir [5]. Amaç daha sonra devre ve serim seviyesi araçları ile birleştirilerek yetkin bir

analog tasarım otomasyon sistemi oluşturacak bir ADC tasarım otomasyon aracı geliştirmektir.

Tasarım otomasyon sistemi çözünürlük, maksimum güç, hız gibi sistem seviyesi parametrelerini ve teknolojiye bağlı parametreleri içeren dosyaları giriş olarak almaktadır. Bir sonraki aşama ise çalışma kipinin belirlenmesidir. Sistem sadece verilen kütüphaneyle sonucu bulmaya çalışabilir. Bu kütüphaneler OPAMP, karşılaştırıcı ve kodlayıcı devre gibi gerekli elemanları karakterize eden parametreleri içeren metin dosyalarıdır. İstenen özelliklerde bir ADC elde etmek için kullanılacak bir başka çalışma kipi ise kullanıcı tarafından belirlenen parametrelerin taranması olabilir. Tasarımcının verilen kütüphane ile istenen sonuca ulaşamaması durumunda bu kip çok yararlı olmaktadır. Tasarımcının çözüme ulaşabilmek için OPAMP'ın DC kazancı gibi parametreleri taraması gerekebilir. Burada bahsedilen çalışma kipleri bu çalışmada tasarımcı tarafından kullanılmıştır.

Bu bildiride ilk olarak ADC'nin mimarisi ve tasarım için belirlenen özellikler açıklanmaktadır. Daha sonraki paragraflarda ise tasarım sırasında karşılaşılan zorluklar ve tasarlanan alt bloklar özetlenmektedir. Daha sonra ise bu alt blokların benzetim sonuçları verilmektedir. Bildiri, tümdevre tasarımı ve seriminin sunulması ile son bulmaktadır.

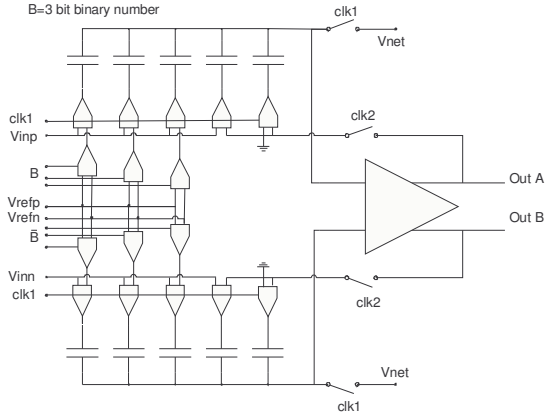
2. SİSTEM TASARIMI

Tasarım akışındaki ilk adım, sistem seviyesi parametrelerine karar verilmesidir. Tasarımımız için teknolojinin sınırında çalışacak bir boruhatlı ADC hedeflenmemiştir. Standart performansı sağlayacak bir boruhatlı ADC tasarım otomasyon sisteminin test edilmesi için daha uygundur. Çalışma parametreleri çok katı olan sistemler, üretim değişikliklerine karşı düşük tolerans gösterirler. Bu da geliştirdiğimiz modellerin doğruluğu konusunda yanılmamıza neden olabilir.

Tasarım otomasyon aracına uygulanan boruhat mimarisi DAÇ (Dijital-Analog Çevirici) ve çarpıcı

Bu çalışma TÜBİTAK tarafından EEE-AG 101E039 numaralı proje çerçevesinde desteklenmiştir.

yerine ÇDAÇ kullanmaktadır [6]. Bu durum ÇDAÇ modelinin önemini arttırmaktadır. Şekil 1’de 3 bitlik farksal ÇDAÇ’ın blok diyagramı görülmektedir.



Şekil 1. Üç bitlik farksal ÇDAÇ.

Boruhatlı ADÇ’nin tasarım özellikleri Tablo 1’de verilmiştir.

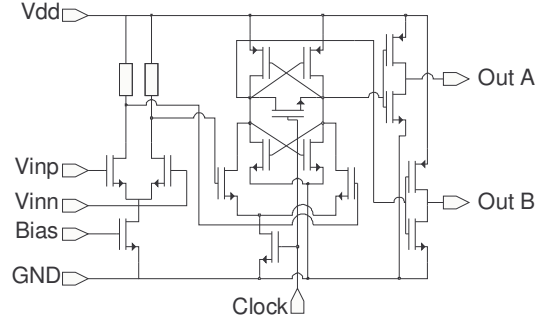
Tablo 1. Bazı tasarım özellikleri

Çözünürlük	9 bit
Fazlalık bitleri	İlk kat 0, Son kat 1, Diğerleri 1 bit
ÇDAÇ Kapasitör değeri	8pF
ÇDAÇ yapısı	Farksal
Alt_ADÇ için direnç değeri	1200 Ohm
Minimum Frekans	1MHz
Toplam alan	minimum
Toplam güç	minimum
Ayar gereken kat sayısı	minimum
Maksimum kat sayısı	18

Tasarım özellikleri karmaşık ADÇ tasarımı gerektirmese de tasarım otomasyon sisteminde belirli özellikleri test etmek için verilmişlerdir. Başlangıç denemelerinde sistem yüksek çözünürlük değerleri vermiştir. Fakat, bu sonuçlar boruhatta her aşama için farklı blok kullanımı gerektirmektedir. Bu devreler kesinlikle daha iyi performans göstereceklerdir ama bu durumda sadece şematik olarak bulunan kütüphane bloklarının serimlerini çizmek için gereken zaman üretime kadar gereken süreyi bile geçecektir. Tasarımcının araç ile olan aşinalığı sayesinde tasarım özellikleri kullanılması gereken blok sayısını en aza indirecek şekilde ayarlanmıştır. Ayrıca tasarımda her aşamada farklı sayıda fazlalık biti kullanılmasına karar verilmiştir. Böylece fazlalık bitlerinin tasarım üzerindeki etkisi de incelenecektir. Birinci aşamanın gereksiz bit değeri sıfır olarak belirlenmiştir. Bu seçimle, 9 bit etkili çözünürlük veren 3-3-3-3 konfigürasyonlu boruhatlı ADÇ yapısının en iyi sonucu vereceği görülmüştür.

3. ALT-ADÇ TASARIMI

Boruhatlı ADÇ’nin her katında kullanılan alt_ADÇ çok dikkatli tasarlanmalıdır. Tasarımın bu kısmı tasarım otomasyon aracının yardımıyla gerçekleştirilmiştir. ADÇ’nin çözünürlüğü çok düşük olduğu ve karmaşık karşılaştırıcı tasarımı gerektirmediği halde, kullanılan tasarım aracı çok daha sıkı kısıtlara cevap verebilecek olan Şekil 2’deki karşılaştırıcıyı seçmiştir. Bunun başlıca nedeni kütüphanenin hepsi de flaş ADÇ’ler için tasarlanmış olan beş tane karşılaştırıcı içermesidir.



Şekil 2. Saatli Karşılaştırıcı.

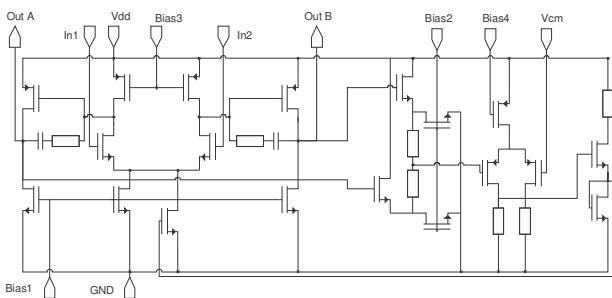
Şekil 2’de verilen devre [7]’de verilen karşılaştırıcının değiştirilmiş halidir. Karşılaştırıcının girişinde önkuvvetlendirici bulunmaktadır. Önkuvvetlendirici sayesinde daha küçük genişlikte ve uzunlukta tutucu (latch) katı kullanılabilir. Fakat benzetim sonuçlarına göre en kötü durumlarda işlem değişiklikleri kabul edilemeyecek büyüklükte dengesizlik (offset) değerleri verebilmektedir. Bu işlem değişikliklerini test etmek amacıyla karşılaştırıcı için Monte-Carlo benzetimleri yapılmıştır. Sonuçlar üç-sigma tasarımının sadece büyük tranzistör genişlik ve uzunluk değerleri ile elde edilebileceğini göstermektedir. Tutucu katındaki tranzistörlerin boyutlarına, bu benzetim sonuçlarına göre karar verilmiştir. Bu boyutlar karşılaştırıcının alanının artmasına neden olmaktadır. Aslında en kötü durumlar için yapılan benzetimler çok uç durumlar içindir. Test tümdevresinin seriminde de kullanılan eşleştirme teknikleri en kötü durumların oluşmasını önlemektedir. Şekil 2’de görülen tutucu bloğunun sağ kolonunda bulunan tranzistörün genişliğinde meydana gelebilecek en büyük artış ve karşısındaki tranzistörün genişliğinde meydana gelebilecek en büyük düşüş bu uç duruma örnek olarak verilebilir. Böyle değişiklikler şüphesiz, tranzistörler arasındaki dengeyi bozacaktır ve büyük olasılıkla çıkış noktası, besleme gerilimi veya toprak değerini alacaktır.

Karşılaştırıcıya verilen kutuplama gerilimi önemlidir. Karşılaştırıcının giriş aralığı kutuplama gerilimine ve direnç değerlerine son derece bağlıdır. 5 voltluk besleme gerilimi ve 1.3V kutuplama gerilimi için, bu aralık 2.5 ve 3 volt arasındadır. Daha yüksek giriş aralıkları bu katın doğrusalsızlığı ile çok bağlıdır ve değişikliklerin ADÇ’nin karakterini önemli ölçüde değiştirdiği görülmüştür.

4. ÇDAÇ TASARIMI.

ADC'deki en önemli blok ÇDAÇ'dir. Blok şeması daha önceden Şekil 1'de verilmiştir. Yapının içerdiği kapasitör dizisi uyumsuzluk değerini önemli kılmaktadır. Teknoloji verileri kapasitörler için uyumsuzluk değerinin kabaca 8 bit olduğunu göstermektedir. Bu değer istenen çözünürlük için yeterli olmadığı açıktır. Daha yüksek çözünürlük elde etmek için dijital kalibrasyon devreleri eklenmelidir. Test tasarımında kodlayıcılar ve bazı basit hata düzeltme algoritmaları uygulansa da asıl amaç çıktıları gözlemleyip oluşabilecek hataları algılamaktır. Bu nedenle bu tasarımda kalibrasyon teknikleri uygulanmamıştır. Buna rağmen, kullanılan araç kalibrasyona ihtiyaç duyan kat sayısını verdiği için, test sonuçları elde edilmesi istenen çıktıyla gerçek çıktı arasındaki sapmayı göstermelidir. Böylece model kalibrasyona ihtiyacı olan katları tahmin etmesi açısından da test edilmiş olacaktır.

ÇDAÇ'nin ana bloğu kuvvetlendiricidir. Kapasitörlerde depolanan yükün çıkış düğümünde çok yüksek doğruluk payıyla gerilime çevrilmesi gerekmektedir. Kuvvetlendiricinin parametreleri karşılaştırıcı tasarımından farklı olarak tasarım otomasyon aracı tarafından oluşturulmaktadır. Her boruhat katının gereklilikleri farklı olduğu için araç farklı katlar için farklı değerler yaratmaktadır. İlk katlar daha yüksek kazanç anlamına gelen daha büyük doğruluk oranları gerektirmektedirler. Tasarım zamanını kısaltmak için her kat için aynı kuvvetlendirici kullanılmıştır. Bu karar toplam alanın artmasına neden olmuştur. Bir başka deyişle tasarım zamanından elde edilen kazançla silikon alanından kayıp oluşması birbirini dengelemektedir. Kuvvetlendirici şematik olarak Şekil 3'te görülmektedir.



Şekil 3. Kuvvetlendiricinin şematik olarak gösterilmesi.

Kuvvetlendirici tasarımında kuvvetlendirici kazancı ve kararlılığı çok büyük önem taşımaktadır. Çözünürlüğün 9 bit seçilmesi durumunda bile tek kazanç katıyla yapılan tasarımların istenilen kazanç değerlerini elde etmesi mümkün değildir. Birçok farklı mimari örneği tasarlanıp benzetimler yapılmıştır. Buna göre tek katlı teleskopik, kaskod ve katlanmış kaskod kuvvetlendiricilerin istenilen kazanç değerlerini elde edemediği görülmüştür. Kazancı

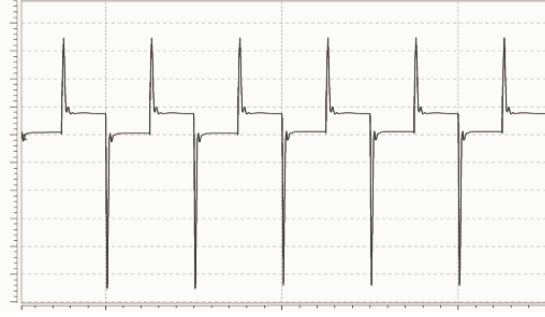
arttırmak için ikinci kat eklenmiştir. Fakat bu tip bir mimari de kuvvetlendiricinin kararlılığında problem yaratmaktadır. Kuvvetlendiriciyi kararlı tutabilmek için kompanzasyon kapasitesi eklenmiştir. Kompanzasyon kapasitesinin değerinin belirlenmesi bir başka tasarım kararı oluşturmaktadır. Yüksek değerler OPAMP'ın ilk kat kuvvetlendiricisinin gördüğü kapasite değerlerinin büyük olmasına yol açmaktadır. Bu durum devrenin elde edilebilecek hızını azaltmaktadır.

İki katlı kuvvetlendirici tasarımında bir başka problem ise çıkış katı bir eviriciye benzediği için çıkış DC seviyesinin kararlı olmama durumudur. Benzetim sırasında kutuplama gerilim değerini besleme gerilim değerinin yarısı olarak vermek de kararlılık için yetmeyebilmektedir. Bu problem devreye ortak kip geribesleme (common-mode feedback) devresi eklenerek çözümlenmiştir. Ortak kip geribeslemesi ikinci katın giriş veya çıkışından alınabilmektedir. Fakat, benzetim sonuçları çıkıştan alınan geribeslemenin daha iyi performans sağladığını göstermektedir. Çıkışa bağlı olan ilk tranzistörler ortalama almak için kullanılan dirençleri kuvvetlendirici katından ayırmaktadırlar. Bir sonraki kat ise geribesleme kazancını ayarlamak için kullanılmaktadır. Bu kazanç değerleri birden küçük olmalıdırlar. Dirençler tranzistörlerle değiştirilebilir. Fakat, kullanılan teknoloji yüksek dirençli polisilikon kullanımına izin verdiği için tranzistör kullanımı bu tasarım için en iyi çözüm olmamaktadır. En son kat geribeslemeyi, akım aynasıyla bağlamaktadır. Geribesleme akımını, akım aynasındaki tranzistörlerin genişlik, uzunluk oranları ayarlamaktadır. Bu değerleri ayarlamak için serim öncesi ve sonrası benzetimlerle hem Hspice hem de Accusim II programlarıyla gerçekleştirilmiştir.

ÇDAÇ'nin bir diğer önemli parçası ise kapasitör dizisidir. Bu bloktaki en önemli sorun kapasitörlerin uyumudur (matching). Doğru değerler elde etmek için serimler çok dikkatli ve doğru çizilmelidir. Tasarımımızda kapasitörler için "common centroid" serim tekniği kullanılmıştır. Bir diğer önemli tasarım kararı ise kapasitörler için kullanılacak olan katmanlardır. İki farklı polisilikon katman kullanılarak yapılan kapasitörlerde alt katman gerilimi toprak seviyesinden farklı ise, iki katmanlı kapasitörler daha yüksek parazitik kapasitansa sahip olabilmektedirler. Bu durumda, alt polisilikon katman ve topraklanmış taban katmanı arasındaki parazitik kapasitans bloğun doğruluk değerini azaltabilmektedir. Daha iyi performans için alt polisilikon katman topraklanmalıdır.

ÇDAÇ'deki diğer bloklar, anahtar ve yolçoklayıcı (Multiplexer) devreleridir. Bu devre bloklarının tasarımı çok büyük önem taşımamaktadır. Fakat, yüklü kapasitörlerin saat işareti ile dolup boşalamaması ve sızıntı akımı (leakage) çıkışta yanlış

gerilim değerlerinin oluşmasına sebep olabilmektedirler.

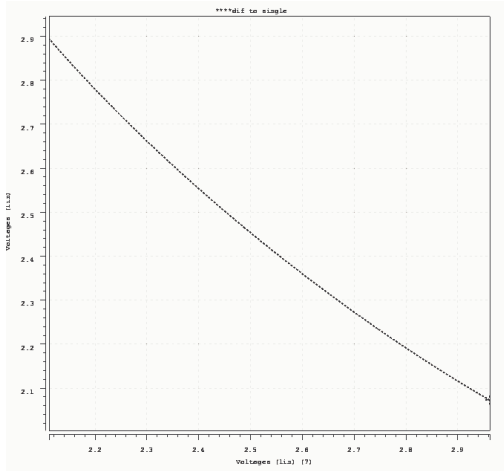


Şekil 4. ÇDAÇ benzetim sonuçları.

Tasarlanan ÇDAÇ'nin serim sonrası benzetimi Şekil 4'te verilmektedir. Çıkış gerilim seviyesi 80 mV'tur ve bu değer +/-0.5mV oynayabilmektedir. Bu doğruluk oranı test tasarımı için kabul edilebilir bir orandır.

5. DİĞER BLOKLAR

Bu tasarımda farksal ÇDAÇ mimarisi kullanılmış olsa da iki flaş kodlayıcı kullanmak uygun olmamaktadır. Sadece bir alt_ADC kullanabilmek için farksal sinyalin tek bitişli (single-ended) sinyale çevrilmesi gerekmektedir. Bu devreyi analiz etmek için temel farksal kuvvetlendirici mimarisi kullanılmıştır. Bu devrede doğrusalılık önemlidir. 5 V'luk besleme geriliminde eğer devrenin giriş gerilimi 2V ve 3V arasındaysa devrenin karakteristiği Şekil 5'te gösterilmektedir. Doğrusallıktan sapmalar test tasarımı için kabul edilebilir düzeydedir.



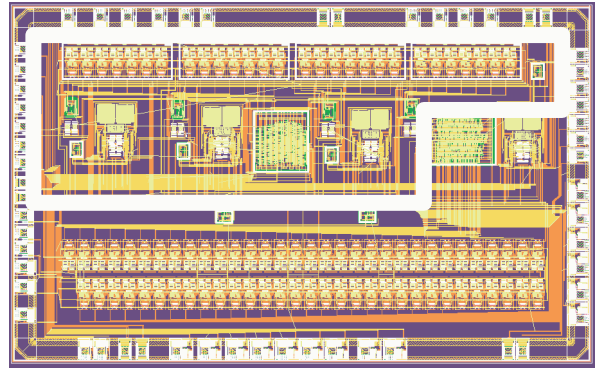
Şekil 5. Farksal işareti tek çıkışa çeviren devrenin karakteristiği.

Tasarımdaki diğer blok dijital devredir. Dijital devrenin davranışı, VHDL ile tanımlanmış, Leonardo programı ile sentezlenmiştir. Asıl amaç çıkış değerlerini kodlamaktır. Fakat bütün katları test edebilmek için, kullanılan algoritma her katın çıkışını gözlemlememize olanak sağlamalıdır. Bu nedenle dijital devre bunu sağlayacak şekilde tasarlanmıştır.

6. TASARIM OTOMASYON ARACI

Tasarım otomasyon aracı ADC tasarımı boyunca kullanılmıştır. Tasarım uzayını tanıyabilmek amacı ile deneme yürütümleri yapılmıştır. Bu denemeler sırasında karşılaştırıcıların test tasarımı için yeterli oldukları gözlemlenmiştir. Karşılaşılan asıl problem kütüphanenin gerekli kuvvetlendiriciyi içermemesi olmuştur. Araç sayesinde kuvvetlendiricinin bazı parametreleri taranarak, parametrelerin gerekli değerleri bulunmuştur. İlk parametre kuvvetlendiricinin kazancıdır. Araç, ilk katlar için 68dB gerektiğini rapor etmiştir. Daha sonra, önceki bölümlerde açıklanan şekilde, test tasarımımda kullanılmak üzere kuvvetlendirici tasarlanmıştır.

Bu çalışmada tasarım otomasyon aracı tasarım fazında kullanılmasının yanısıra alan ve devrenin gücünü tahmin etmede de kullanılmıştır. Şu ana kadar ADC'nin bütün testleri bitirilememiş olsa da, içinde 6 bitlik flaş olan bir başka ADC tümdevresinden elde edilen ön sonuçlar tasarım otomasyon aracının doğru sonuçlar verdiğini göstermektedir.



Şekil 6. Tasarlanan devrenin serimi. Boruhatlı ADC beyaz çerçeve ile belirtilmiştir.

7. SONUÇ

Bu çalışmada karışık sinyalli (Mixed-Signal) bir test tümdevresinin tasarım deneyimleri sunulmuştur. Tasarlanan tümdevre en az 1 Mhz' de çalışabilen 9 bitlik bir ADC'dir. Testler tam olarak tamamlanamadığından tümdevrenin ölçümleri de bu çalışmada sunulamamış olsa da ADC tasarım otomasyon aracı kullanılarak yapılan tasarımlarda tasarım adımlarının kolaylaştığını ve daha az zaman aldığını göstermek dahi önemlidir. Bu çalışmada tasarımın belirli aşamalarında bir çok tasarım kararının nasıl verildiği de sunulmuştur. Tasarım otomasyon aracı sayesinde ADC tasarımı sırasında yapılan geri dönüşler en aza indirilmiştir. Daha önce de belirtildiği gibi asıl amaç ADC tasarım otomasyon aracı ile devre ve serim seviyesindeki diğer tasarım araçlarını birleştirmek ve tasarımı otomatik olarak gerçekleştirebilmektir.

KAYNAKLAR

- [1] Balkır S., Dündar G., and Öğrenci A.S., *Analog VLSI Design Automation*, CRC Press, 2003.
- [2] Gielen, G. E. and Franca J. E., "CAD Tools for Data Converter Design: An Overview", *IEEE Transactions Circuits and Systems II*, vol. 43, no. 2, February 1996
- [3] Francken K., Vogels M., Martens E. and Gielen G., "DAISY-CT: A High-Level Simulation Tool for Continuous-Time $\Delta\Sigma$ Modulators", DATE'02, 2002.
- [4] Goes J., Vital J. C. and Franca J. E., "Systematic Design for Optimization of High-Speed Self-Calibrated Pipeline A/D Converters", *IEEE Transactions on Circuits Systems. II*, vol. 45, no. 12, pp. 1513-1525, December 1998.
- [5] Ismail M., and Fiez T., *Analog VLSI, Signal and Information Processing*, McGraw-Hill, Singapore, 1994.
- [6] Song B. S., Lee S. H. and Tompsett M. F., "A 10 bit 15 MHz CMOS Recycling Two-Step A/D Converter", *IEEE Journal of Solid-State Circuits*, vol. 25, no. 6, pp. 1328-1338, December 1990.
- [7] Uyttenhove K. and Steyaert M., "A 6-bit, 1 GHz CMOS Flash ADC in 0.35 micron CMOS", ECCTD'01, Helsinki, Finland. Aug. 2001