

## BSIM3v3.2 MOSFET MODELLİNE UYGUN SICAK TAŞIYICI MODELLİ

Gürsel DÜZENLİ<sup>1</sup>

Hakan KUNTMAN<sup>2</sup>

<sup>1</sup>Elektrik-Elektronik Mühendisliği Bölümü  
Mühendislik Fakültesi

Sakarya Üniversitesi, 54040, Esentepe, Adapazarı

<sup>2</sup>Elektronik ve Haberleşme Mühendisliği Bölümü  
Elektrik-Elektronik Fakültesi

İstanbul Teknik Üniversitesi, 80626, Maslak, İstanbul

<sup>1</sup>e-posta: gursel@duzenli.net

<sup>2</sup>e-posta: kuntman@ehb.itu.edu.tr

*Anahtar sözcükler: Sıcak Taşıyıcılar, Güvenirlilik, MOS modelleri*

### ÖZET

*Yakın zamana kadar analog devrelerin sıcak taşıyıcılardan ne ölçüde etkilendiği ve bu etkinin modellenmesi ait kriterler geliştirilmemişti. Bunun başlıca nedeni analog devrelerin minimum kanal boyutunda üretilmemesinden kaynaklanmaktadır. Fakat günümüzde analog/dijital devrelerin aynı kırmık alanında üretilmesiyle analog devrelerin sıcak taşıyıcılara olan etkisi ve modellenmesi önem kazanmaktadır. Bu bildiride p ve n-MOSFET tranzistorların sıcak taşıyıcılara olan etkisi tek bir model ifadesi olarak önerilmektedir. Bu modelin mevcut az sayıdaki diğer modellere olan üstünlüğü çok basit ve kolayca BSIM3v3.2 MOSFET modeline eklenebilmesidir.*

### 1. GİRİŞ

Günümüzde, üretim teknolojisinin ulaştığı 0.1µm kanal uzunluğu, daha da küçültülmesi hedefleniyor [1]. Buna bağlı çalışma güvenirlığının sağlanabilmesi için besleme gerilimi düşürülmektedir. Fakat, sıcak taşıyıcıların etkisine bağlı yorulmalar, besleme geriliminin 3V'ta düşürülmesiyle de azaltılamamıştır. Bunun en büyük nedeni kanal uzunluğunun kısaltılmasıyla savak ucuna yakın kanaldaki elektrik alan artışından [2] ve kanal içindeki bazı elektronların  $qV_D$ 'den daha büyük enerji alabilmelerinden [3] kaynaklanmaktadır.

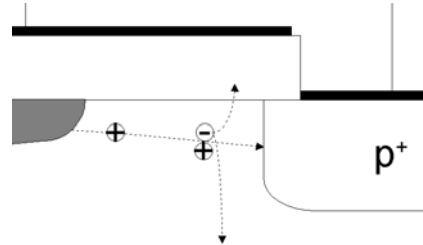
BSIM3v3.2 MOSFET modeli Amerika'daki bağımsız özlü model konseyi (Independent Compact Model Council) tarafından ilk standart MOSFET modeli olarak kabul etmektedir. Bildiğimiz en büyük tümdevre tasarımcı şirketler (Intel, HP,...) bu modeli

kullanmaktadırlar. Bir elemanı temsil eden modelin doğru olması için ölçüm sonuçlarla simülasyon sonuçların kabul edilebilir derecede uyuşması gerekmektedir. Yorulmanın doğru modellenebilmesi için de modelin yorulmadan önce ve sonraki sonuçların ölçüm sonuçlarla olabildiğince uyuşması gerekmektedir.

Bu çalışmada p ve n-MOSFET modelleri için ayrı ayrı önerilen [4, 5] sıcak taşıyıcı modeller tek bir model olarak ve BSIM3v3.2 MOSFET modeline tam uyumlu yeni bir model olarak önerilmektedir. Önerilen bu modelin simülasyon sonuçları ölçüm sonuçlarla tam bir uyum içinde olduğu görülmüştür.

### 2. P-MOS YORULMASI

P-MOS tranzistorlarda yorulma sadece elektronların oksitteki tuzaklara yakalanmaları sonucu oluşmaktadır. Şekil 1'de p-MOS tranzistorun yorulmasına neden olan mekanizması görülmektedir.



Şekil 1 P-MOS tranzistorun yorulma mekanizması.

Kanaldan çıkan delik kısılma bölgesindeki elektrik alanın etkisiyle hızlanmaktadır. Kısılma bölgesindeki delik 1.5eV'luk bir enerji ile bir atoma çarpması yeni

bir elektron-delik çiftini meydana getirebilmektedir. Meydana gelen delik diğer deliklerle savak ucuna doğru hareket ederek  $I_{DS}$  savak akımını bir miktar artmasına neden olmaktadır. Serbest kalan elektronların büyük bir kısmı tabana doğru hareket ederek  $I_B$  taban akımını oluşturmaktadır [6], [7].

En az 3.1eV ve doğru yöne sahip elektronlar geçit oksidin enerji bariyerini aşarak oksidin içine girebilmektedir. Geçit oksidin içindeki elektrik alan elektronu geçit ucuna doğru hızlanmasına neden olmaktadır. Oksidin içine giren elektronların büyük bir kısmı geçit ucuna ulaşarak  $I_G$  geçit akımını oluşturmaktadır ( $I_G$  geçit akım değeri  $I_{DS}$  savak akım değerinden çok küçüktür). Oksidin içine giren elektronların bir kısmı üretim anında oluşan tuzaklara yakalanmaktadır. Tuzaklara yakalanan elektronlar oksitte sabit bir negatif yük oluşturmaktadır.

Okside giren elektronlar Si-SiO<sub>2</sub> ara yüzeyine zarar verebilmektedir. Yeni oluşan bu ara yüzeyler delikler tarafından pek doldurulmadığı için yorulmaya olan etkisi ihmal edilmektedir. Oksitteki tuzaklara yakalanmış elektronların oluşturdukları negatif yük tranzistorun tüm çalışma bölgelerindeki  $I_{DS}$  savak akımını artırmasına neden olmaktadır. Fakat en büyük yorulma doyma bölgesinde ( $V_G$  değeri küçük iken  $V_{DS}$  yaklaşık  $V_{DSsat}$  iken) görülmektedir. Bu olayın doğru modellenmesi için  $V_{FB}$  düzband gerilimin yeniden düzenlenmesi gerekmektedir.

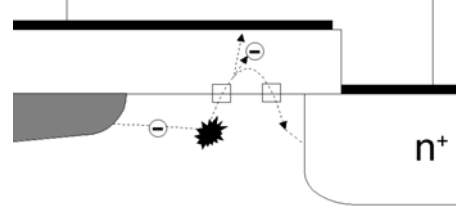
### 3. N-MOS YORULMASI

N-MOS tranzistorların sıcak taşıyıcıların etkisinden dolayı yorulması 70'li yıllarda bulunmuştur. Fakat, günümüze kadar çok sayıda araştırmalar yapılmasına karşın p-MOS tranzistorun yorulması kadar derin bir bilgi elde edilememiştir. N-MOS tranzistorun yorulması p-MOS tranzistorun yorulmasına benzememekte birlikte daha karmaşık yapıdadır. P-MOS tranzistorun yorulma mekanizması sadece elektronların etkisi ile oluşurken [8, 9] n-MOS tranzistorların yorulma mekanizması elektron ve deliklerin etkisi ile oluşmaktadır [10].

#### 3.1. Geçit okside elektron enjeksiyonu

Doymada çalışan bir n-MOS tranzistorun geçit oksidine sıcak elektron enjeksiyonunun şematik gösterimi Şekil 2'de görülmektedir. Kısılma bölgesindeki elektron oksidin enerji bariyerinden ( $\phi_{enjk,e} \approx 3.1eV$ ) daha büyük bir kinetik enerjiye ulaşabilir. Böyle bir elektron elastik bir çarpışma sonucunda ara yüzeye doğru yön değiştirirse okside girebilmektedir. Oksidin içine giren elektron ters yönde bir elektrik alanın etkisinde kalmaktadır. Bu etkiden dolayı elektron yön değiştirmekte ve ikinci kez Si-SiO<sub>2</sub> ara yüzeyini geçerek kanaldaki savak akımına katılmaktadır. Okside giren elektronun buradaki tuzaklara yakalanarak sabit bir negatif yük oluşturması çok az bir ihtimaldir. Bunun nedeni

elektrik alanın etkisiyle elektronun oksidin içine yeteri kadar girememesi ve ayrıca  $\sigma_e$  elektron tuzak kesitinin çok küçük olmasıdır. Bunu yanında elektronun geçit ucuna ulaşarak  $I_{G,e}$  akımını oluşturması çok daha az bir ihtimaldir. Fakat okside giren ve çıkan elektronlar ara yüzeyine zarar verebilmektedir. Böylece yeni ara yüzey durumlar oluşmaktadır. N-MOS tranzistordaki yorulmanın asıl nedeni ara yüzeyin üst kısmında yeni oluşan alıcı durumların neden olduğu görüşüdür [10].



Şekil 2 N-MOS tranzistorun sıcak elektronlarla yorulma mekanizması.

Oksit tabakasına yakın  $E_C$  iletim bandının enerji seviyesinin yüksek olması ile yeni ara yüzey durumların çoğu negatif yüklü olmaktadır. Tranzistorun lineer çalışma bölgesinde çalıştırılması ile bu şart sağlanır. Bu durumda tranzistorun savak akımı azalmakta.  $E_C$ 'nin seviyesi yeni ara yüzey durumların oluştuğu yorma durumundaki  $E_C$ 'nin seviyesinden daha düşük olması ara yüzey durumların çoğunun yüksüz kalmasına neden olmaktadır. Bu durum tranzistorun aşırı doyma bölgesinde çalıştırılmasında oluşmaktadır.

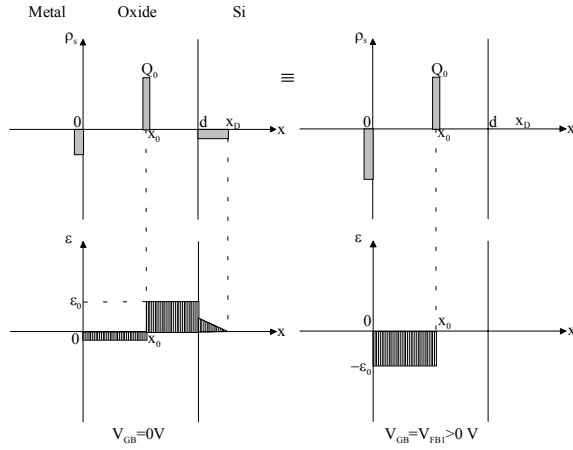
#### 3.2. Geçit okside delik enjeksiyonu

Tranzistorun kısılma bölgesinde hızlanan elektronların bir çarpışma sonucu (en az 1.6eV) yeni bir elektron/delik çiftini meydana getirebilmektedir. Bu yorulma mekanizması p-MOS tranzistorun yorulma mekanizmasına benzemektedir. Yeni oluşan elektron savak akımını biraz artırırken doğru yöne ve yeterli enerjiye sahip delik (en az 4.8eV) oksidin içine girebilmektedir. Oksidin içine giren deliklerin çoğu oksitteki tuzaklara yakalanarak sabit pozitif yükler oluşturmaktadır. Oksitteki pozitif yükler savak akımının artmasına neden olmaktadır (başka bir yorulma mekanizması bu etkiyi kompanze etmiyorsa). Ayrıca sıcak deliklerin okside girmeleri sonucu ara yüzeye de zarar verebilmektedir. Bu durum elektronların okside girmeleri sonucu oluşan yeni ara yüzey durumlarla aynıdır.

### 4. P VE N-MOS TRANZİSTOR YORULMALARININ DÜZBAND GERİLİMİNE ETKİSİ

Şekil 3'da yorulmamış bir p ve n-MOS tranzistorun kutuplanmamış ve kutuplanmış durumdaki yük dağılımı görülmektedir. Bu şekilde göre düzband gerilim ifadesi denklem (1) ile ifade edilebilir.

$$V_{FB1} = -\frac{Q_0}{\epsilon_{ox}} \cdot x_0 + \phi_{MS} \quad (1)$$



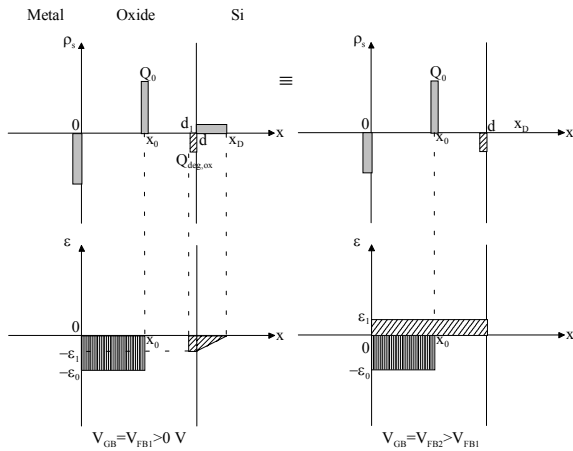
Şekil 3 Yorulmamış bir p ve n-MOS tranzistorun düzband durumu.

$V_{DS}=0$  için  $V_{FB1}>0$  ve  $\phi_{MS}>0$  (p-MOS) ve  $V_{FB1}<0$  ve  $\phi_{MS}<0$  (n-MOS) dır. Bu durumda düzband durumunu elde edebilmek için  $V_{GB}=V_{FB1}$  olması gerekmektedir.

Yorulmuş bir p-MOS tranzistorda Si-SiO<sub>2</sub> arayüzeyin üstünde yükler oluşmaktadır (Şekil 4). Bu durum için düzband gerilimini elde edebilmek için geçit gerilimi  $V_{GB}$  artırılması gerekmektedir. Yorulmuş bir MOS tranzistora ait düzband gerilim ifadesi denklem (2)'de görülmektedir.

$$V_{FB2} = -\frac{Q_0}{\epsilon_{ox}} \cdot x_0 + \frac{Q_{deg,ox}}{\epsilon_{ox}} \cdot d + \phi_{MS} \quad (2)$$

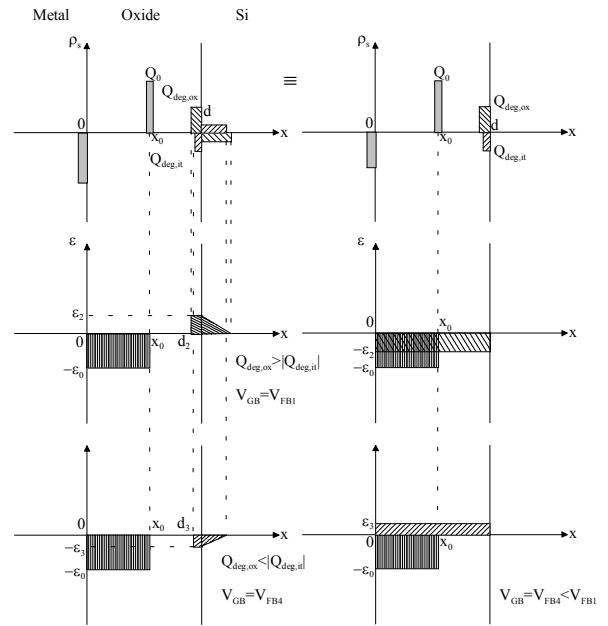
$V_{DS}=0$  için  $V_{FB2}>V_{FB1}>0$  ve  $\phi_{MS}>0$  dır. Bu durumda düzband durumunu elde etmek için  $V_{GB}=V_{FB2}$  olması gerekmektedir.



Şekil 4 Yorulmuş bir p-MOS tranzistorun düzband durumu.

Yorulmuş bir n-MOS tranzistorda Si-SiO<sub>2</sub> ara yüzeyinde ve oksidin içinde yükler oluşmaktadır (Şekil 5). Bu yükler yorulmaya bağlı olarak 3 farklı durum meydana getirebilmektedir. İlk durum ara yüzey yüklerin  $Q_{deg,it}$  okside içindeki  $Q_{deg,ox}$  yüklerden daha fazla olmasıdır. İkinci durum oksit içindeki  $Q_{deg,ox}$  yüklerin ara yüzeydeki  $Q_{deg,it}$  yüklerden daha fazla olmasıdır. En son durumda ise her iki yükün aynı büyüklükte olmasıdır. Bu durumlar bağlı olarak düzband gerilimini elde edebilmek için geçit gerilimi  $V_{GB}$  sırasıyla ya azaltılmalı, ya artırılmalı veya sabit tutulmalıdır. Yorulmuş bir n-MOS tranzistora ait düzband gerilim ifadesi denklem (3)'de görülmektedir.

$$V_{FB2} = -\frac{Q_0}{\epsilon_{ox}} \cdot x_0 + \frac{Q_{deg,ox} + Q_{deg,it}}{\epsilon_{ox}} \cdot d + \phi_{MS} \quad (3)$$



Şekil 5 Yorulmuş bir n-MOS tranzistorun düzband durumu.

## 5. MODELLEME

P ve n- MOSFET yorulmalar incelendiğinde (Şekil 4, Şekil 5) n-MOSFET yorulmanın p-MOSFET yorulma yapısını içerdiği görülmektedir. P ve n-MOSFET tranzistorlarına ait düzband yorulma modelleri sırasıyla denklem (4) ve (5) ile ifade edilmekteydi [4, 5].

$$V_{FB2} = -\frac{Q_0}{\epsilon_{ox}} \cdot x_0 + (100 + 10 \cdot V_{DS} - 0.7 \cdot V_{DS}^2) \cdot 10^{-3} + \phi_{MS} \quad (4)$$

$$V_{FB2} = \left( \frac{C_1 \cdot V_{th0}}{C_2 \cdot V_{GS} - V_{th0}} \right) \cdot \exp(C_3 \cdot V_{DS}^2) \cdot \ln(t_{stress} + 1) \quad (5)$$

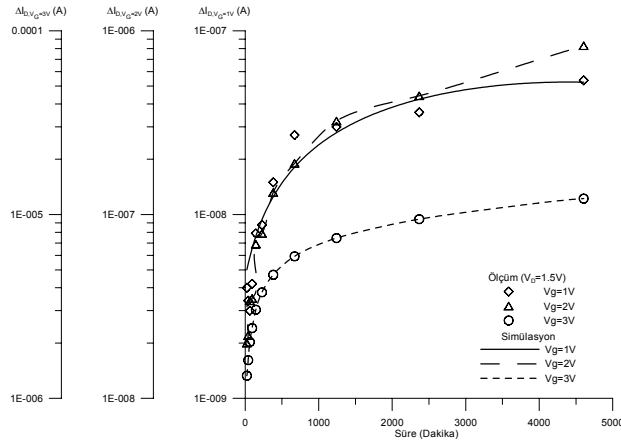
Bu çalışmada boyutları  $W_{eff}=10\mu m$ ,  $L_{eff}=2\mu m$  ve proses parametreleri  $t_{ox}=20nm$ ,  $x_j=400nm$  olan p-MOS

tranzistorlar ve boyutları  $W_{\text{eff}}=10\mu\text{m}$ ,  $L_{\text{eff}}=3\mu\text{m}$  ve proses parametreleri  $t_{\text{ox}}=15\text{nm}$ ,  $x_j=400\text{nm}$  olan n-MOSFET tranzistorlar kullanılmıştır. Deneylerde tranzistorun test edilmesi için ölçüm cihaz olarak HP4145B parametre analizörü kullanılmıştır. Zorlama gerilimi olarak  $V_D=|7V|$  ve  $V_G=|1.5V|$  ve toplam zorlama süresi olarak 16 saatlik bir zaman aralığı seçilmiştir.

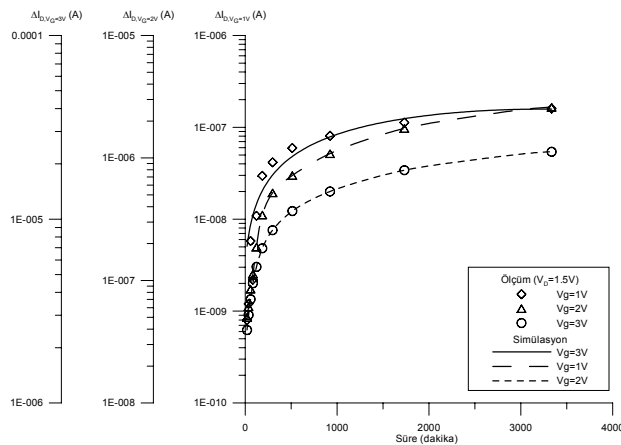
Deneyssel olarak elde edilmiş olan datalar kullanılarak  $t=16$  saat için p ve n-MOSFET için tek bir  $V_{FB2}$  denklemi aşağıdaki gibi elde edilmiştir.

$$V_{FB2} = \frac{(A_2 \cdot V_{GS} - V_{th0})}{A_1 \cdot (V_{th0} - V_{th16})} \cdot \exp(A_3 \cdot V_{DS}^2) \cdot \ln(t_{\text{stress}} + 1) \quad (6)$$

Burada  $A_1$ - $A_3$  belli bir üretim teknolojisine bağlı sabitler,  $V_{th0}$   $t_{\text{stress}}=0$  ve  $V_{th16}$   $t_{\text{stress}}=16$  saat anındaki eşik gerilimidir. Denklem (6) kullanılarak elde edilen simülasyon sonuçları ile deneysel sonuçların karşılaştırılması Şekil 6 ve Şekil 7’de görülmektedir



Şekil 6 Ölçülen ve modellenen p-MOSFET tranzistorun savak akımının yorulmaya göre değişimi ( $W=10\mu\text{m}$ ,  $L=1.5\mu\text{m}$ ,  $t_{\text{ox}}=20\text{nm}$ ,  $L_{\text{min}}=1\mu\text{m}$ ).



Şekil 7 Ölçülen ve modellenen n-MOSFET tranzistorun savak akımının yorulmaya göre değişimi ( $W=10\mu\text{m}$ ,  $L=2\mu\text{m}$ ,  $t_{\text{ox}}=15\text{nm}$ ,  $L_{\text{min}}=1\mu\text{m}$ )

## 6. Sonuç

Yapılan çalışmada BSIM3v3.2 MOSFET model denklemlerine uygun tek ifadeli yeni bir yorulma modeli önerilmiştir. Önerilen bu model analog devrelerin çalışma şartlarına uygun olarak geliştirildiğinden elde edilen sonuçlar ölçüm sonuçlarına tam bir uyum içinde olduğu görülmektedir. Önerilen modelin ifadesi ve BSIM3v3.2 MOSFET model denklemlerine eklenmesi basit olması çok önemli bir özelliktir. Önerilen modelin diğer bir önemli özel ise yorulma modeli ve tahmin etme yeteneğinin tek bir modelle yapılabilmesidir.

## KAYNAKLAR

- [1] Thewes, R., Brederlow, R., Schlünder, C., Wiczorek, P., Ankele, B., Hesener, A., Holz, J., Kessel, S. and Weber, W., MOS transistor reliability under analog operation, *Microelectronics Reliability*, Vol.40, pp.1545-1554, 2000.
- [2] Groeseneken, G., Hot carrier degradation and ESD in submicron CMOS technologies: how do they interact?, *IEEE Trans. Device and Materials Reliability*, Vol.1, pp.23-32, 2001.
- [3] Li, E., Rosenbaum, E., Tao, J. and Fang, P., Projecting Lifetime of deep submicron MOSFETs, *IEEE Trans. On Electron. Device*, Vol.48, pp.671-677, 2001.
- [4] Düzenli G., Kuntman H., P-Mosfet'lerde Sıcak Taşıyıcıların Modellenmesi İçin Yeni Bir Yöntem, *Elektrik-Elektronik-Bilgisayar Müh. 9. Ulusal Kongresi Bildiri Kitabı*, Cilt II, 355-358, Kocaeli Üniversitesi-EMO, 19-23 Eylül, 2001.
- [5] Düzenli G., Kuntman H., N-Mosfet'lerde Sıcak Taşıyıcıların Modellenmesi İçin Yeni Bir Yöntem, *Elektrik-Elektronik-Bilgisayar Müh. Sempozyumu (ELECO'2002)*, 99-103, Bursa, 18-22 Aralık 2002.
- [6] Jang, S-L., Tang, T-H., Chen, Y-S., Sheu, C-J., Modeling of hot carrier stressed characteristic of submicrometer pMOSFET, *Solid State Elec.*, Vol. 39, No. 7, pp: 1043-1049, 1997.
- [7] Jean, Y-S., Wu, C-Y., The threshold voltage model of mosfet devices with localized interface charge, *IEEE Trans. Electron. Device*, Vol. 44, No. 3, pp: 441-447, 1997
- [8] Mu, F., Xu, M., Tan, C. and Duan, X., A new lifetime prediction method for hot-carrier degradation in n-MOSFETs with ultrathin gate oxides under  $V_g=V_d$ , *Microelectronics Reliability*, Vol.41, pp.1909-1913, 2001.
- [9] Yang, C., Wang, Z., Tan, C. and Xu, M., The degradation of p-MOSFETs under off-state stress, *MICROELECTRONICS JOURNAL*, Vol.32, pp.587-591, 2001.
- [10] Esseni, D., Bude, J. D. And Selmi, L., On Interface and Oxide Degradation in VLSI MOSFETs-PartI: Deuterium Effect in CHE Stress Regime, *IEEE Trans. on Electron Devices*, Vol.49, pp.247-253, 2002.