

N-MOS TRANZİSTÖRLERDE SICAK TAŞIYICILARIN TABAN AKIMI ÜZERİNE ETKİSİNİN İNCELENMESİ

Fırat KAÇAR¹ Ayten KUNTMAN² Hakan KUNTMAN³

^{1,2}Elektrik-Elektronik Mühendisliği Bölümü
Mühendislik Fakültesi, İstanbul Üniversitesi, 34800,
Avcılar, İstanbul

³Elektronik ve Haberleşme Mühendisliği Bölümü
Elektrik-Elektronik Fakültesi
İstanbul Teknik Üniversitesi, 80626, Maslak, İstanbul

¹e-posta: fkacar@istanbul.edu.tr

²e-posta: akuntman@istanbul.edu.tr

³e-posta: kuntman@ehb.itu.edu.tr

Anahtar sözcükler: MOS tranzistor, Sıcak Taşıyıcılar

ABSTRACT

Hot-carrier-induced degradation of MOSFET parameters over time is an important reliability concern in modern microcircuits. High energy carriers also called hot carriers are generated in the MOSFET by the large channel electric fields near the drain region. The electric fields accelerate the carriers to effective temperatures well above the lattice temperature. These hot carriers transfer energy to the lattice through phonon emission and break bonds at the Si/SiO₂ interface.

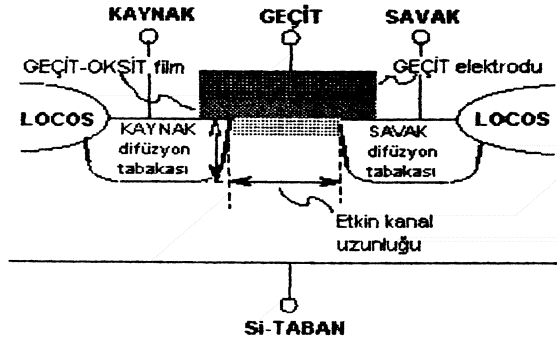
In this study the degradation in the substrate current is observed by operating the MOSFET under voltage stress conditions. The linear regression method is used to estimate the Weibull parameters and the correlation coefficient is used to confirm the results. The observed and the estimated values of the degradation are compared with each other.

1. GİRİŞ

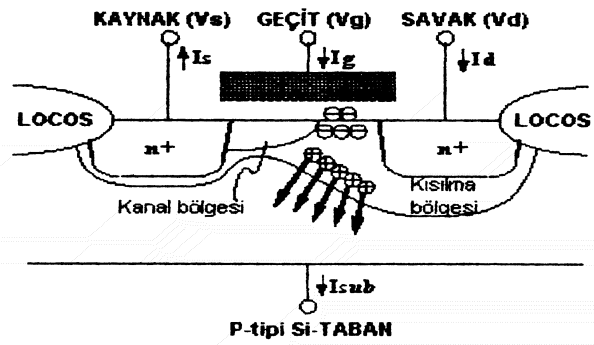
Günümüzde elektronik cihazların, birçok nedenden ötürü küçültülmesi amaçlandığı için, aynı kırmık alanına daha çok yapı bloğu sığdırılmaya çalışılmaktadır. Bunun gerçekleştirilmesi için daha çok sayıda tranzistorun yoğun bir biçimde kırmık alanına yerleştirilmesi, dolayısıyla da MOS tranzistörlerin boyutlarının ve kanal boylarının kısaltılması gerekmektedir. MOS tranzistörün kanal boyunun kısaltılması sonucu kanaldaki elektriksel alan artmaktadır. Bu nedenle, tranzistörün kanalının savak ucuna yakın kısmında elektriksel alan nedeniyle taşıyıcıların enerjileri artar ve hızlanırlar; bunlar SiO₂ geçit oksidinin enejji seviyesini de aşabilirler. Bu

yüksek enerjili taşıyıcılara *sıcak taşıyıcılar (hot carriers)* adı verilmektedir. Elektrik alan 10⁵ V/cm 'yi aştığında bu bölgede bulunan elektronlar çarpma iyonizasyonuna (impact ionization) sebep olurlar. Çarpma iyonizasyonu karşılaştırılmalı olarak Şekil-1 ve Şekil-2'deki n-MOSFET'ler üzerinde gösterilmiştir. Burada kanal bölgesine enjekte edilmiş elektronlar mevcut yüksek elektrik alanın etkisiyle hızlanırlar. Böylece çarpma iyonizasyonuna yetecek kadar (1.6 eV veya daha fazla) yüksek enerji alan bu elektronlar yeni elektron-delik çiftleri oluştururlar. Oluşan elektronların çoğu savak tarafından emilerek savak akımına (I_D) eklenir. Yüksek enerjili az sayıda sıcak elektron, geçit oksit filme girerek geçit akımını (I_G) bir miktar artırır. Oluşan deliklerin hemen hemen hepsi silisyum taban tarafından emilerek taban akımını (I_{SUB}) oluşturur.

Tabanın akım oluşturmaya başlamasıyla deliklerin emilmesi iki probleme sebep olur. İlk problem I_{SUB}'ın taban boyunca akması, taban elektrik potansiyelinin (V_{SUB}) yükselmesine sebep olur. Özellikle silikon yapıya enjekte edilen delikler taban yüzeyindeki elektriksel alanın yerel olarak yükselmesine sebep olur. Enjekte edilen elektronların çoğu birincil iyonizasyonunda olduğu gibi yeni elektron delik çiftleri oluşturarak savak tarafındaki yüksek elektrik alan bölgesine doğru sürüklenirler. MOS devrelerde bu durum, besleme gerilimin (V_{CC}) izin verilen üst limiti aşan bir gerilim uygulanacak olursa, aşırı akım alüminyum bacak bağlantısını eriterek akacak ve bu arada P-N jonksiyonunda da hasara sebep olacak V_{CC} *bozulması* diye adlandırılan durum oluşacaktır.



Şekil-1. Temel MOSFET yapısı



Şekil-2. MOSFET'te Sıcak taşıyıcı hareketi

Diğer bir problem ise, ikincil çarpma iyonizasyonunda oluşan deliklerin boşalma tabakasında hızlanmasıdır. Burada oluşan elektronların bir kısmı tabana geçer. Buraya geçen elektronlar, normalde az miktardaki birikmiş yük ile çalışan tüm devrelerin çalışmaz hale gelmesine sebep olabilmektedir. Bu durum, taban geçen elektronların DRAM'lerde *soft error* oluşurması olarak bilinir.

Son on yıl içinde sıcak taşıyıcı etkisiyle yorulma akademik bir araştırma konusu iken, gelecek VLSI MOSFET tasarımcıları için önemli bir sorun olmaya başlamıştır. Bu nedenle, çok sayıda çalışma yapılmış ve literatürde yer almıştır [1-9].

Weibull dağılımı yorulma olgusuyla ilgili olasılıksal sorunların çözülmesinde yaygın kullanılan bir dağılımdır. Uyumlu şekil ve hata oranlarının modellenmesine uygun olması nedeniyle ampirik bir model olarak bir çok uygulamada başarıyla kullanılmaktadır [10-11].

Belirli şartlarda stres altında bırakılan elemanların bozulması ölçülen zaman aralığında belirli bir dağılım gösterirler. Elde edilen zamanlardan oluşturulan Weibull dağılımına göre özdeş örnekler arasından seçilen bir parçanın bir t zamanında bozulma olasılığı

$$F(t) = 1 - \exp\left[-\left(\frac{t}{a}\right)^b\right] \quad (1)$$

formülünden bulunur. Bu formülde a ölçü parametresi, b şekil parametresi ve F(t) ise toplamsal dağılım fonksiyonudur. (CDF Cumulative Distribution Function) a ve b parametrelerinin değerleri deneysel bulgulardan yararlanılarak hesaplanır [10-12].

Bir elemanın ya bozulacağı ya da sağlam kalacağı ihtimalinden yola çıkarak bozulma olasılığıyla bozulmama olasılığının toplamının 1'e eşit olacağını söyleyebiliriz. Bu durumda elemanın sağlam kalma ihtimali yani güvenilirliği (reliability)

$$R(t) = 1 - F(t) = \exp\left[-\left(\frac{t}{a}\right)^b\right] \quad (2)$$

formülünden hesaplanır.

(1) fonksiyonu

$$\ln[1 - F(t)] = -\left(\frac{t}{a}\right)^b$$

$$\ln(\ln[1 - F(t)]) = b \cdot \ln(t) - b \cdot \ln(a) \quad (3)$$

şeklinde bir dönüşümle $Y = mX + c$ doğru denkleminde benzetilebilir.

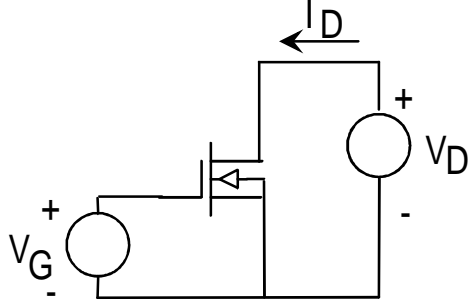
Şekil parametresi $b=1$ olduğu zaman Weibull dağılımı eksponansiyel modele dönüşür. $b < 1$ ise hata oranı azalmakta, $b > 1$ ise hata oranı artmaktadır. $b < 1$ durumu başlangıçta oluşan erken bozulmaları, $b > 1$ durumu ise yaşlanmadan kaynaklanan hata oranı artışını modeller. Bağlıdaki a ve b parametreleri gözlem sonuçlarına Maksimum olabilirlik veya Lineer Regresyon metodları uygulanarak hesaplanabilir [10-12].

Bu çalışmada MOS tranzistörde oluşan sıcak taşıyıcıların, tranzistorun taban akımına etkisi deneysel olarak belirlenmiştir. Deneysel bulgulardan yararlanılarak Weibull parametreleri hesaplanmıştır. Farklı iki örnek için güvenilirlik eğrileri çıkartılmıştır. Weibull yaklaşımı ile hesaplanan tahmini değişimin ölçümlerle uyumlu olduğu gözlenmiştir. Yüksek korelasyon katsayıları elde edilmiştir.

2. SICAK TAŞIYICILARIN NMOS TRANZİSTÖRÜN TABAN AKIMINA ETKİSİ, DENEYSEL SONUÇLAR

Sıcak taşıyıcı etkisinin incelenmesi amacıyla yapılan deneylerde boyutları farklı, CD4007 NMOS dizi tranzistoru ($W=305\mu\text{m}$, $L=14\mu\text{m}$) ve TÜBİTAK 3μ teknolojisi ile gerçekleştirilmiş bir NMOS tranzistör ($W=27\mu\text{m}$, $L=3\mu\text{m}$), farklı çalışma noktalarında kutuplanarak belli bir süre strese tabi tutulmuş, her iki tranzistörde de taban akımının arttığı gözlenmiştir. Deneyler İTÜ Elektronik Anabilim Dalı Laboratuvarı'nda HP 4155 parametre analizörü

yardımıyla gerçekleştirilmiştir. Yapılan ölçümler sonucu elde edilen akım ve gerilim % değişimlerine lineer regresyon metodu uygulanarak bulunan parametreler Weibull dağılımında kullanılmış ve bulunan tahmini değişim oranları ölçüm sonuçları ile karşılaştırılmıştır.

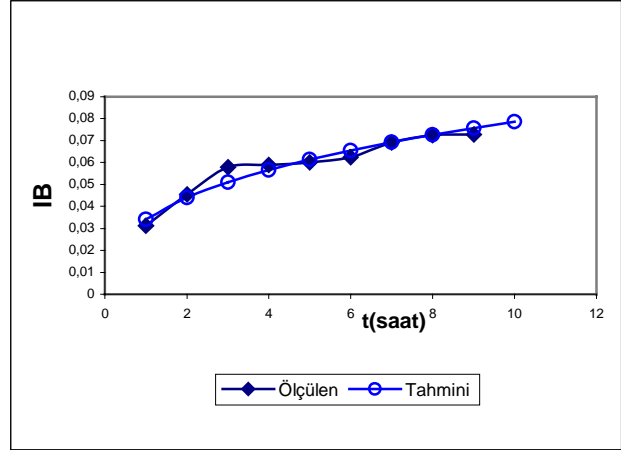


Şekil-3. N-MOS ölçümleri için deney düzeneği

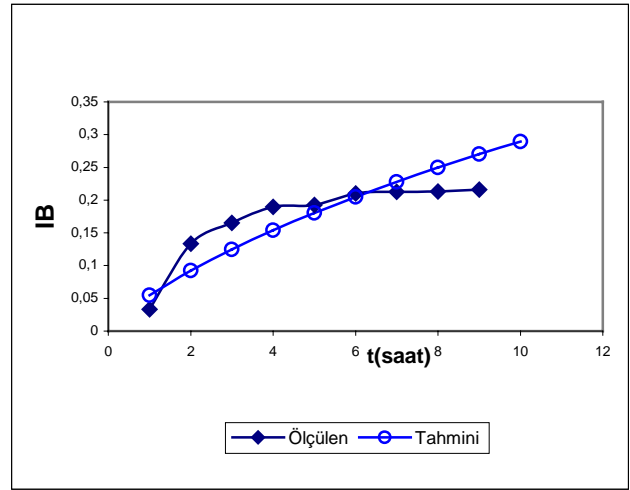
Şekil-3'deki devre düzeneğinde, N-MOS transistörün zorlanarak yorulması için kurulan kutuplama devresi görülmektedir. Bu düzenek HP4155 parametre analizörü ile kurulmuştur. CD4007 NMOS transistör için zorlama gerilimi olarak $V_D=10V$ verilerek savaktan akım akıtılmış, sırasıyla lineer bölgede ve doyma bölgesinde birer çalışma noktası seçilmiş ve bu noktalar $V_G=1V$, $V_G=3V$ ve $V_G=5V$ olarak belirlenmiştir. TÜBİTAK NMOS transistör için zorlama gerilimi olarak $V_D=5V$ verilerek savaktan akım akıtılmış, sırasıyla lineer bölgede ve doyma bölgesinde birer çalışma noktası seçilmiş ve bu noktalar $V_G=1V$, $V_G=1.5V$ ve $V_G=2V$ olarak belirlenmiştir. Toplam zorlama süresi olarak 10 saatlik bir zaman aralığı alınmış, veriler yarım saat aralıklarla kaydedilmiştir. Kaydedilen veriler, taban akımının geçite göre değişimi için elde edilmiştir.

CD4007 transistörüne ait deneysel sonuçlar ile weibull dağılımıyla elde edilen tahmini değerleri gösteren grafikler Şekil-4, Şekil-5 ve Şekil-6'da görülmektedir. TÜBİTAK transistörüne ait deneysel sonuçlar ve Weibull dağılımıyla elde edilen grafikler ise Şekil-7, Şekil-8 ve Şekil-9'da görülmektedir. Her iki transistöre ait grafikler incelendiğinde taban akımının arttığını ve Weibull'a elde edilen sonuçların iyi bir uyum içinde olduğu açıkça görülmektedir. Weibull dağılımıyla bulunan korelasyon katsayılarını gösteren sonuçlar Tablo-1'de görülmektedir. Korelasyon katsayılarının 1'e yakın bir değerde olması istenen bir durumdur.

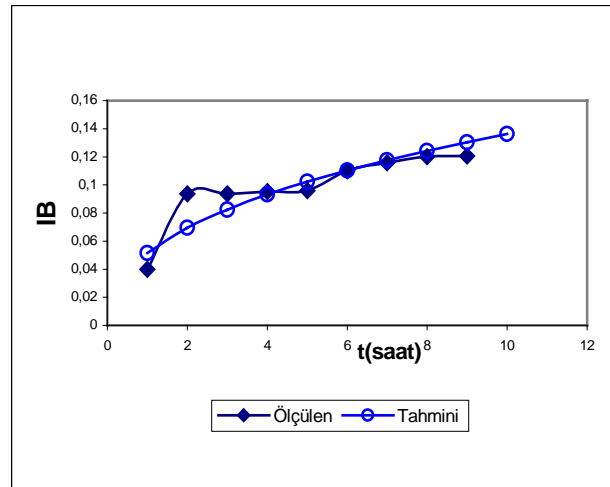
Her iki transistör içinde taban akımı güvenilirlik eğrileri Weibull bağıntılarından yararlanılarak üç ayrı bölge için hesaplanmıştır. Elde edilen sonuçlar Şekil-10 ve Şekil-11 de görülmektedir.



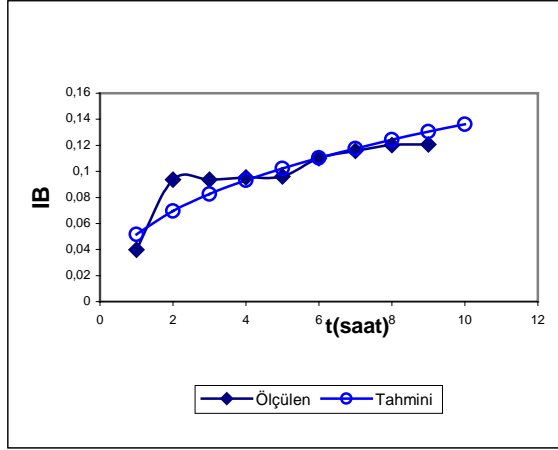
Şekil-4. CD4007 dizi transistörün % I_B değişimleri $V_D=10V$ $V_G=1V$



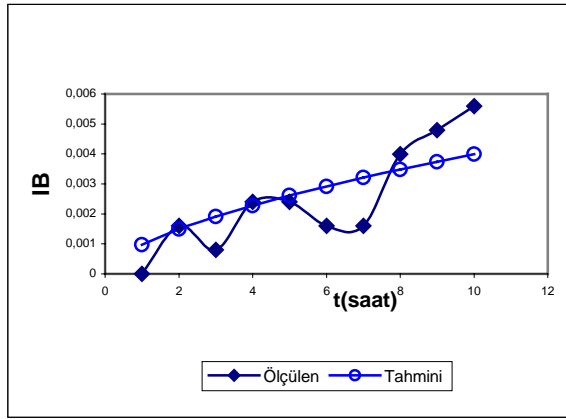
Şekil-5. CD4007 dizi transistörün % I_B değişimleri $V_D=10V$ $V_G=3V$



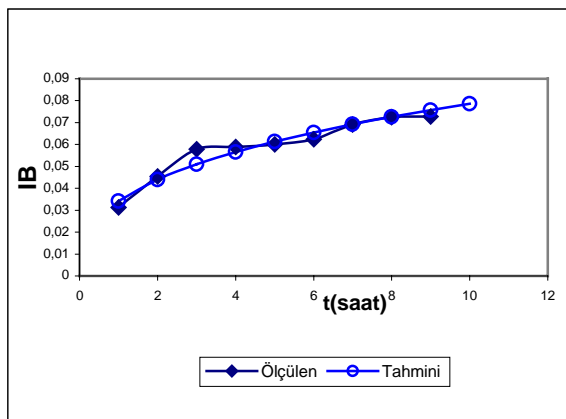
Şekil-6. CD4007 dizi transistörün % I_B değişimleri $V_D=10V$ $V_G=5V$



Şekil-7. TUBITAK NMOS tranzistörünün $\%I_B$ değişimleri $V_D=5V$ $V_G=1V$



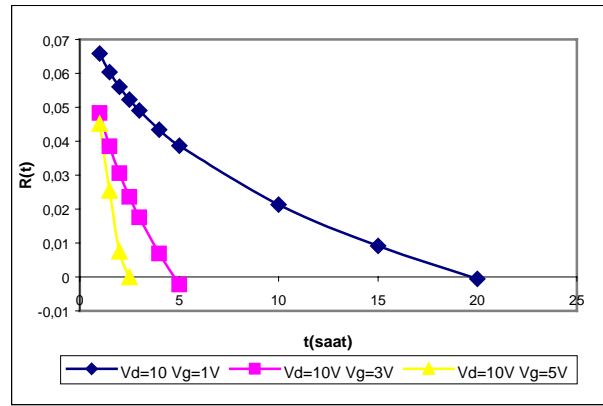
Şekil-8. TUBITAK NMOS tranzistörünün $\%I_B$ değişimleri $V_D=5V$ $V_G=1.5V$.



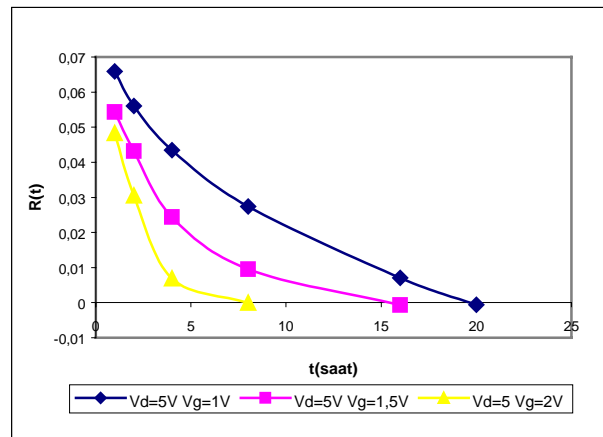
Şekil-9. TUBITAK NMOS tranzistörünün $\%I_B$ değişimleri $V_D=5V$ $V_G=3V$

Tablo-1 CD4007 ve TUBITAK tranzistörlerin tahmini I_B değişimlerinin weibull dağılımıyla elde edilen korelasyon katsayıları.

	Uygulanan Stress Gerilimleri	Korelasyon katsayıları
TUBITAK tranzistörü ($W=27\mu m$, $L=3\mu m$)	$V_D=5V$, $V_G=1V$	0,895263
	$V_D=5V$, $V_G=1.5V$	0,733566
	$V_D=5V$, $V_G=2V$	0,968583
CD4007 dizi tranzistörü ($W=307\mu m$, $L=14\mu m$)	$V_D=10V$, $V_G=1V$	0,972983
	$V_D=10V$, $V_G=3V$	0,895263
	$V_D=10V$, $V_G=5V$	0,889082



Şekil-10. CD4007 dizi tranzistörün üç ayrı çalışma bölgesinde elde edilen I_B değişimi güvenilirlik eğrileri



Şekil-11. TUBITAK tranzistörün üç ayrı çalışma bölgesinde elde edilen I_B değişimi güvenilirlik eğrileri

3. SONUÇ

Bu çalışmada MOS tranzistörün taban akımının sıcak taşıyıcı etkisiyle oluşan değişimler ile bu verilerden bulunan parametrelerle oluşturulan Weibull dağılımıyla hesaplanan tahmini değerler karşılaştırılmış, örneklerin büyük bir çoğunluğunda yüksek korelasyon katsayıları ve uyumlu değerler elde edilmiştir. NMOS tranzistörlerde sıcak taşıyıcı etkisi ile oluşan delik taşıyıcılarının tabana çekilmesi sonucu zamana bağlı olarak taban akımı artmıştır. Çizilen güvenilirlik eğrilerinden %10 değişim için bulunan sonuçlar incelendiğinde güvenli çalışma süreleri CD4007 dizi tranzistoru için lineer bölgede 5 saat, TUBITAK tranzistoru için 15 saat olarak görülmektedir. Elde edilen sonuçları SPICE benzetiminde kullanarak herhangi bir analog devrede belirli bir çalışma süresi için sıcak taşıyıcıların nasıl etki ettiklerini ve bu etkinin devrenin performansını ne yönde etkileyeceğini saptamak ve buna göre tasarım yapma olanağı elde edilmektedir. Bu da tümdevre tasarımcıları için önemli ölçüde kolaylık sağlayacaktır.

4. KAYNAKLAR

1. Mitsubishi Electric Co., "Failure Mechanism of Semiconductor Devices", pp:11-15
2. A. Bravaix, D. Gougenhim, N. Revil, M. Varrot, P. Mortini. "Effects of High Temperature On Performances And Hot-Carrier Reliability In DC/AC Stressed 0.35 μ m n-MOSFET 's", Electronic Industries Association Publication:www.iea.org
3. R. Thewes, M. Brox, G.Tempel, Karl Goser. "Channel-Length-Independent Hot Carrier Degradation In Analog p-MOS Operation", IEEE Electron Device Letters, Vol:13, **1992**, No:11, pp:590-592
4. W. Weber, M. Brox, A.V. Schwerin, R.Thewes. "Hot Carrier stress effect in p-MOSFETs:physical effects relevant for circuit operation", Elsevier Science Pub., 22, **1993**, pp:253-260
5. Y. Pan, "A physical-based analytical model for the hot carrier induced saturation current degradation of p-MOSFETs", IEEE Trans. Electron Devices, Vol. 41, No.1, **1994**, pp:84-89
6. R. Thewes, W. Weber, "effects of hot Carrier degradation in analog CMOS circuits", Micro Elec. Eng., Vol. 36, **1997**, pp:285-292
7. W. Weber, "Dynamic stress experiments for understanding hot-carrier degradation phenomena", IEEE Trans. Electron Devices, Vol.35, No.9, **1988**, pp:1476-1486
8. F. Kaçar, A. Kuntman, H. Kuntman, "A Simple Approach for Modelling The Influence of Hot-Carrier Effect On Threshold Voltage Of MOS Transistors", Proceedings of the 13th International Conference on Microelectronics (ICM'2001), pp.43-46, Rabat, Morocco, October 29-31, **2001**.
9. A. Ardalı, A. Kuntman, F. Kaçar, H. Kuntman, An Application of Weibull Distribution to Hot Carrier Degradation in Threshold Voltage and Drain Current of Mos Transistors, Proceedings of ELECO'2001: The 2nd International Conference on Electrical and Electronics Engineering (Electronics), pp.86-90, Bursa, 7-11 November **2001**.
10. WEIBULL W., 'Fatigue Testing and Analysis of Results', Pergamon Press 1961.
11. GÜNDÜZ A., 'Mühendislikte Olasılık, İstatistik, Risk ve Güvenlik', Küre Yayınları **1996**.
12. ROSS R., 'Comparing Linear Regression and Maximum Likelihood Methods to Estimate Weibull Distributions on Limited Data Sets: Systematic and Random Errors', Conference on Electrical Insulation and Dielectric Phenomena, **1999**.