

# YÜKSEK PERFORMANSLI UYARLAMALI KAZANÇ KONTROLLÜ SIGMA DELTA ANALOG SAYISAL ÇEVİRİCİ TASARIMI

Y.Dağhan GÖKDEL<sup>1</sup> Selçuk TALAY<sup>1</sup> Günhan DÜNDAR<sup>1</sup> Alper MERİÇ<sup>2</sup>

<sup>1</sup>Elektrik-Elektronik Mühendisliği Bölümü, Boğaziçi Üniversitesi  
Bebek, İstanbul. e-posta: [dundar@boun.edu.tr](mailto:dundar@boun.edu.tr)

<sup>2</sup>Electrical & System Engineering, University of Pennsylvania  
Philadelphia, USA. e-mail: [americ@seas.upenn.edu](mailto:americ@seas.upenn.edu)

## ABSTRACT

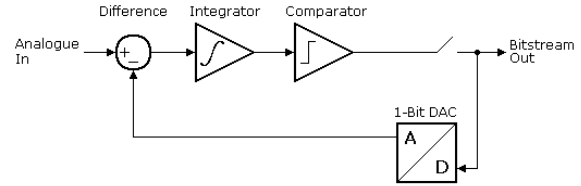
A solution to the saturation problem of the integrator building block of sigma delta modulators is proposed in this paper. Saturation causes an error that limits the dynamic input range of the Sigma Delta analog to digital converters. In the proposed work, the integrator senses the saturation automatically and via its adaptive gain structure, performance of the converter does not degrade. Thus, higher input levels can be fed to the integrator. Also, with speech signals in which very high and very low signals reside, this adaptive architecture perform better.

**Anahtar sözcükler:** Devreler ve Sistemler, Analog-Sayısal Dönüştürücüler, Sigma-Delta Modülatörler.

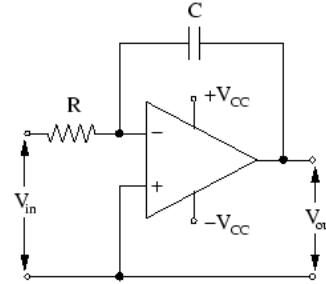
## 1. GİRİŞ

Günümüzde birçok değişik türde analog-sayısal çevirici bulunmaktadır. Bunlardan biri olan Sigma Delta Çeviriciler, diğer çeviricilere kıyasla, makul çalışma hızlarına karşın yüksek çözünürlüğe ve çok daha basit analog devre yapıları kullanımına olanak sağlamaktadır. SD modülatörler, basit analog devreler ile yüksek çözünürlük elde etmek için “Gürültü Şekillendirme” (Noise Shaping) ve “Aşırı Örnekleme” (Oversampling) metotlarından yararlanır. Oversampling, örnekleme sonucu ortaya çıkan nicemleme (quantization) gürültüsü gücünü, Nyquist frekansından çok daha yüksek olan örnekleme frekansına eş değer bir banda yayarak gürültü seviyesini düşürür ve filtrelemeyi kolaylaştırır. Örnekleme frekansı arttıkça, çeviricinin sinyal gürültü oranı da artar (SNR) [1]. Gürültü şekillendirme sayesinde ise SD modülatörü giriş sinyaline alçak, nicemleme gürültüsüne karşı ise yüksek geçiren filtre gibi davranarak, örnekleme sonunda oluşan gürültüyü daha yüksek frekanslara öteleyerek, gürültüyü şekillendirir ve SNR değerinde yükselme sağlar [1].

Birinci dereceden SD modülatörleri şekil 1’deki gibi gösterilebilir. İntegratör bloğu[2] SD modülasyonunda önemli bir rol oynar. Gelen sinyal, integratör üstünde toplanır ve karşılaştırma devresine iletilir.



Şekil 1 Birinci Derece Sigma Delta Modülatörü



Şekil 2 İntegratör

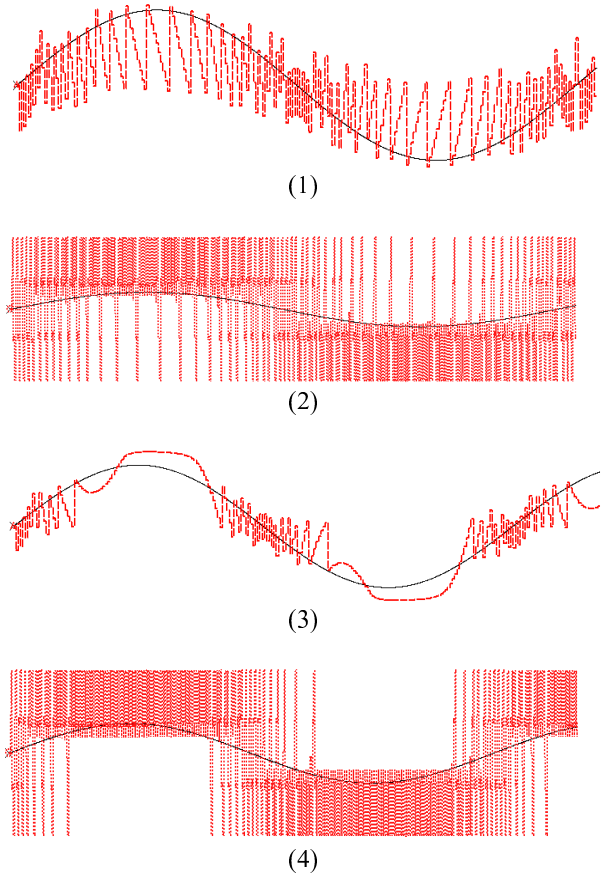
Basitçe, bu blok aslında geri besleme yolunda kapasitör bulunan bir opamp olduğundan (şekil 2) doyma (saturation), integratör, dolayısı ile SD çeviricilerin doğruluğu açısından büyük bir problem olmuştur. Bugüne kadar bu probleme çözüm arayan bir çok araştırma yapılmıştır [3,4,5]. Çözüm olarak, doyma noktasına yaklaşıldığında, durum otomatik olarak algılanmalı ve doyuma ulaşmayı engellemek için integratörün kazancı otomatik olarak değiştirilip ayarlanmalıdır.

Bu çalışmada, integratörün doyma noktasına ulaşmaması için, değişken kazançlı bir integratör ve bu kazancı kontrol eden uyarlanabilir bir devre önerilmiştir. Kazancı geri besleme yolundaki kapasitörün değeri ile oynayarak değiştirmek, direnç değerini değiştirmekten daha uygun bir yoldur. Fazladan bir kapasitör kullanarak, direnç değerinden tamamen bağımsız bir şekilde, geri besleme yolundaki toplam kapasite değeri, çevrim sürecini durdurmaksızın, dolayısı ile veri kaybetmeksizin, otomatik olarak değiştirilebilir ve buna uygun olarak modülatörü izleyen sayısal filtrenin katsayıları gereken değerlere ayarlanabilir.

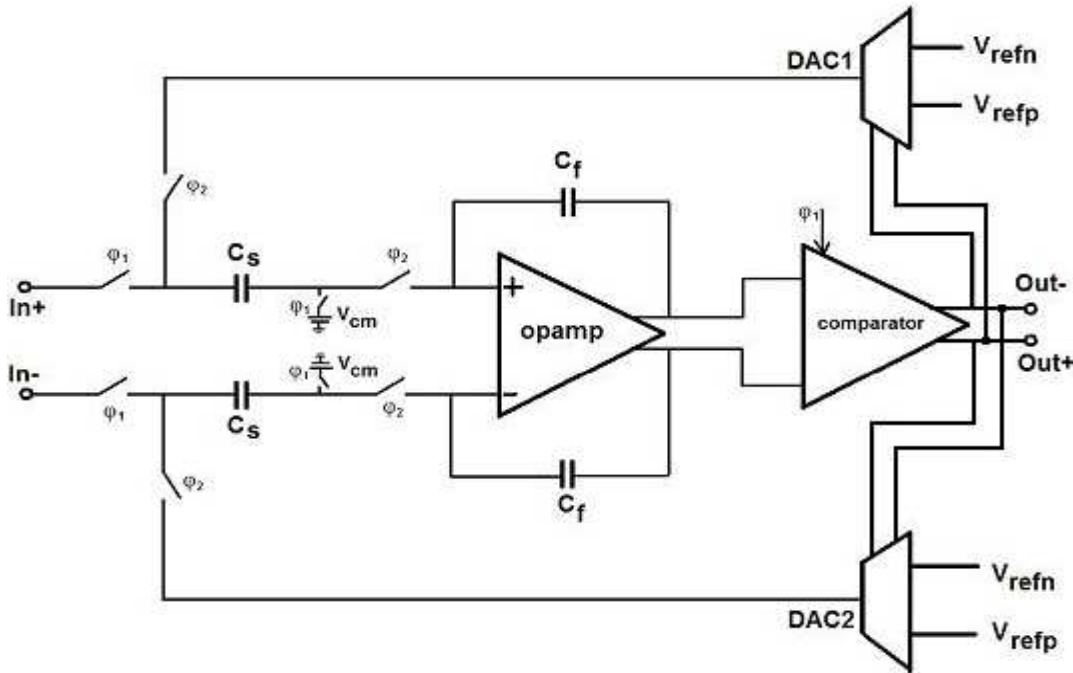
## 2. SİSTEM MİMARİSİ VE ÇALIŞMA ŞEKLİ

Şekil 4 birinci derece SD çevircisinin diferansiyel blok şemasını göstermektedir.  $C_s=1\text{pF}$  ve  $C_f=2\text{pF}$  olarak belirlenmiştir. Karşılaştırıcı devresi (comparator) 1-bit nicemleyici (quantizer) olarak kullanılmıştır. DAC1 ve DAC2 sayısal-analog dönüştürücülerin çıktıları,  $V_{cm}$ , 1.55V'luk ortak mod sinyali (common-mode signal),  $\phi_1$  ve  $\phi_2$  ise örtüşmeyen tetikleme sinyallerini belirtmektedirler. İdeal bileşenler kullanılarak yapılan simülasyonlar sonucunda, opamp'ın doyuma ulaştığı ve ulaşmadığı durumlara ilişkin, giriş sinyallerinin, integratör çıktılarının ve karşılaştırıcı sonuçlarının dalga formları şekil 3'deki gibidir. (Yapılan simülasyonlar  $OSR \approx 128$  için gerçekleştirilmiştir). Grafiklerden anlaşılacağı gibi, belli bir voltaj seviyesinin üstünde integratör doyuma ulaşmakta, dolayısı ile çevircinin çıkışı bozulmaktadır.

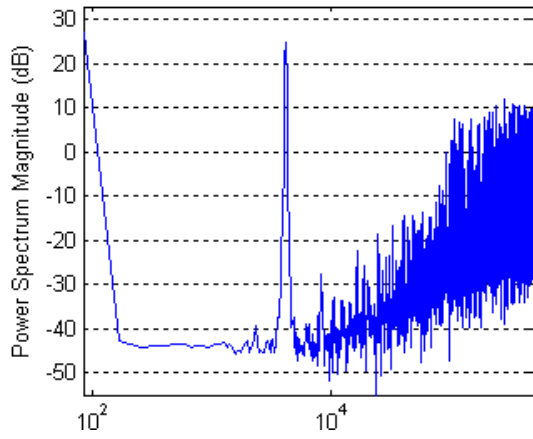
Bu bildiriye önerilen yöntem, devrenin doyuma ulaşacağını önceden otomatik olarak algılayıp, buna bağlı olarak integratörün kazancını uyarlamalı olarak düşürmek suretiyle integratör ve komparatör çıkışlarının bozulmasını engellemek esasına dayanmaktadır. Geri besleme yolundaki kapasitörün değerini dolayısı ile kazancı değiştiren bu metot, çevirim işleminin doyum halinde ayrıca durmasını da gerektirmemektedir. Uyarlamalı olmayan birinci derece SD çevircisinin ideal olmayan bileşenler kullanılarak, devreyi doyuma ulaştırmayan bir giriş için yapılan simülasyonun sonucu şekil 5'deki gibidir. Sonuç olarak  $\approx 70$  dB'lik bir çıkış elde edilmiştir.



Şekil 3: Birinci Derece Sigma Delta Modülator'ün (1) 400mV giriş için doymamış integratör çıkışı; (2) 400mV giriş için komparatör çıkışı; (3) 600mV giriş için doymuş integratör çıkışı; (4) 600mV giriş için komparatör çıkışı.



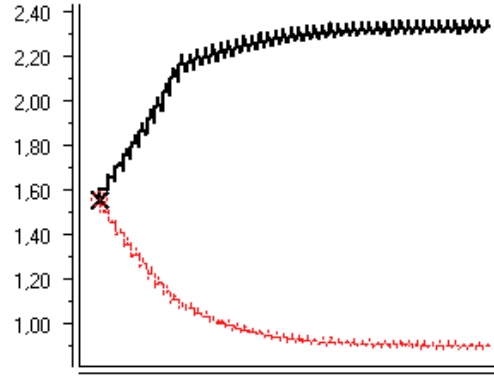
Şekil 4 Birinci Derece SD Modülator



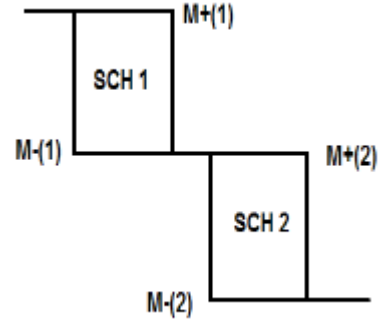
Şekil 5: Uyarlamalı olmayan birinci derece Sigma Delta çevirici çıkışının frekans dağılımı.

### 3. UYARLAMALI DEVRE

Uyarlamalı kazanç kontrollü birinci derece çevirici devresi Şekil 6'de görülmektedir. İntegratör çıkışlarını, giriş olarak kullanan schmitt trigger'lı kontrol devresi, integratör doyuma ulaşmadan önce durumu algılayıp, kazancı düşürmek için ekstra  $C_x$  kapasitörünü, gerekli anahtarlamaları yaparak, devreye sokmaktadır. Tasarlanan devre integratörün pozitif çıkışı için  $\approx 900\text{mV}$ 'da, negatif çıkışı için ise  $\approx 2.33\text{V}$ 'da doyuma ulaşmaktadır (Şekil 7). Kontrol devresi Şekil 8'deki fonksiyonu gerçekleştirmektedir. İntegratörün çıkış voltajı  $1.85\text{V}$ 'dan büyük yada  $1.25\text{V}$ 'dan küçük olduğu anda kontrol devresinin ürettiği control ve ncontrol sinyalleri I ve II numaralı anahtarları kapatıp  $C_x=4\text{p}$ 'lık kapasitör'ü devreye sokmakta, aynı anda III ve IV numaralı anahtarları açıp  $C_x$  kapasitör'ünün toprak ve integratörün negatif çıkışları ile bağlantısını kesmektedir.

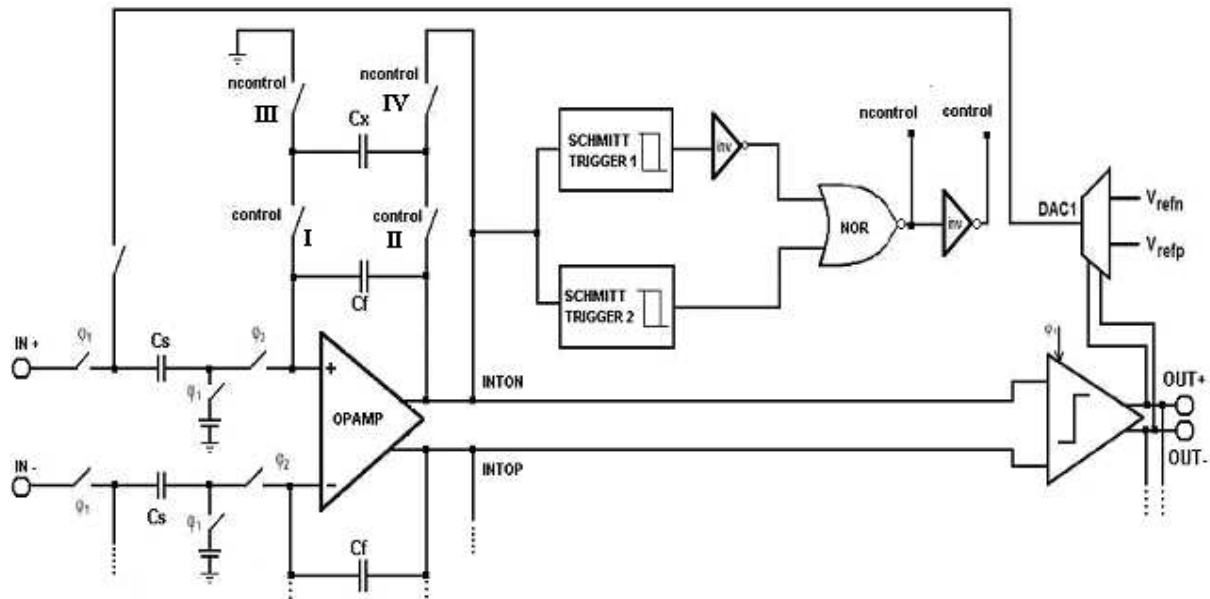


Şekil 7: İntegratör doyum noktaları



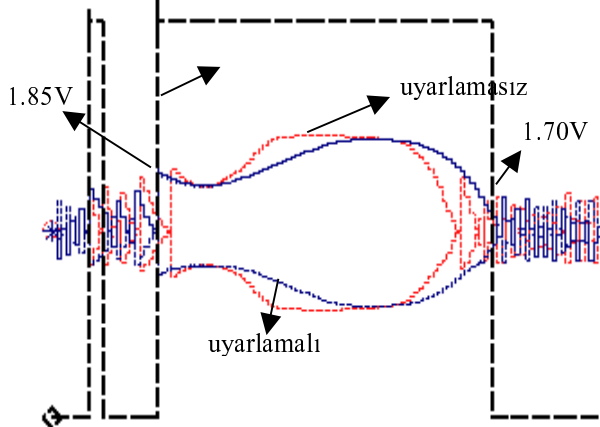
Şekil 8 Schmitt Trigger'ların yüksek ve alçak eşik değerleri; Birinci Schmitt Tigger için  $1.85\text{V}-1.70\text{V}$ ; İkinci Schmitt Trigger için  $1.40\text{V}-1.25\text{V}$ .

Böylelikle  $C_s=1\text{p}$  ve  $C_f=2\text{p}$  olarak düşünüldüğünde integratörün kazancı 3 kat azalmaktadır.  $C_x$  kapasitörü devrede değilken INTON düğümünün -integratörün negatif çıkışının- voltajını izlemektedir. Kontrol devresinin ürettiği sinyaller  $C_x$ 'i devreye



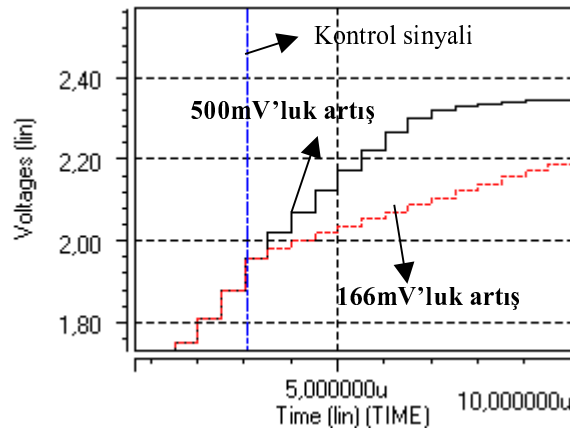
Şekil 6 Birinci Derece  $\Delta\Sigma$  Modülör, Devre diferansiyel olarak simetrik olarak tasarlandığından şekilde sadece pozitif taraf gösterilmiştir.

soktuğunda integratör çıkışı kaldığı yerden fakat bu kez 3 kat daha az kazanç ile toplama işlemi yapmaya devam etmekte ve kazancın az olması sayesinde doyuma hiç ulaşamamakta yada doyum seviyesinde çok daha az kalmaktadır.



Şekil 9: Uyarlamalı ve uyarlamasız devrelerin integratör çıkışları

Şekil 9'da görebileceğimiz gibi, Şekil 8'deki fonksiyona uygun olarak, integratör çıkışı  $\approx 1.85V$ 'tan büyük olduğunda control sinyali bias değeri olan  $3.3V$ 'a çekilmekte, daha sonra küçülüp  $\approx 1.70V$ 'in altına indiğinde ise sıfırlanmaktadır. Devre diferansiyel ve simetrik olduğundan, integratörün pozitif çıkışı olan, INTOP düğümü için de benzer bir işleyiş geçerlidir. Integratör çıkışı  $1.25V$ 'tan daha küçük olduğunda control sinyali  $3.3V$  olacak ve  $C_x$  kapasitörünü devreye sokacak, daha sonra ilerleyip  $1.40V$ 'dan daha büyük bir değere ulaştığında ise, control sinyali  $0V$  yapıp, ekstra kapasitörü devreden çıkartacak, yani kazancı 3 kat büyülterek eski haline getirecektir.

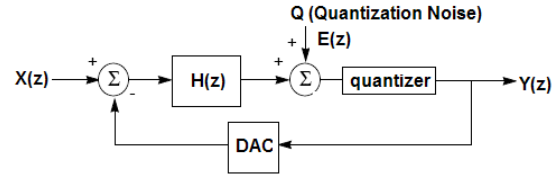


Şekil 10: Uyarlamalı ve uyarlamasız devrelerin integratör çıkışlarının yakınlaştırılmış görüntüsü

Böylelikle, önerilen metot devre doyuma ulaşmadan durumu algılayıp gerekli uyarlamayı yapmakta, doyum seviyesinden uzaklaşıldığı durumda ise devreyi eski haline getirmektedir.

#### 4. SEYRELTME FİLTRESİ

İnatörün, kazancı 3 kat azaldığında, transfer fonksiyonu değişmekte dolayısı ile SD modülatorünün transfer fonksiyonu da değişime uğramaktadır.



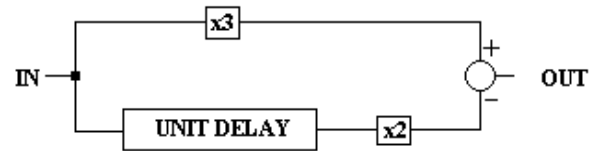
Şekil 11: Birinci derece  $\Delta\Sigma$  modülatorün blok diyagramı

Şekil 11'de blok diyagramı görülen geri beslemeli devrenin transfer fonksiyonu  $\frac{H(z)}{1+H(z)}$  olarak

hesaplanabilir. Uyarlamalı ve uyarlamasız devrelerin transfer fonksiyonları hesaplanıp, karşılaştırıldığında Tablo 1'deki sonuçlar elde edilir.

	UYARLAMASIZ	UYARLAMALI
İNTEGRATÖR	$H(z) = \frac{z^{-1}}{1-z^{-1}}$	$\frac{H(z)}{3} = \frac{z^{-1}}{3-3z^{-1}}$
GENEL	$\frac{H(z)}{1+H(z)}$	$\frac{H(z)}{3+H(z)}$
SİNYAL(STF)	$z^{-1}$	$\frac{z^{-1}}{3-2z^{-1}}$
GÜRÜLTÜ(NTF)	$1-z^{-1}$	$\frac{3(1-z^{-1})}{3-2z^{-1}}$

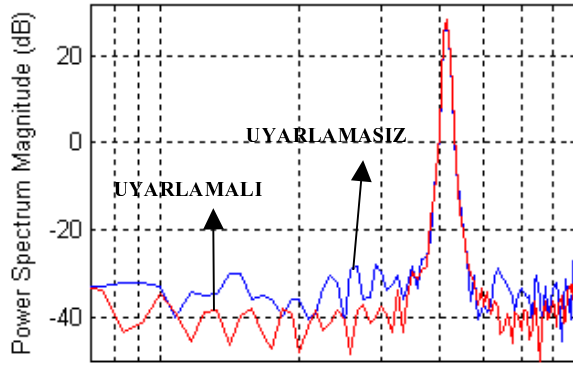
Buna göre; uyarlamalı devrede, ekstra kapasitörün devreye girdiği anlarda elde edilen SD modülatorü çıkışını, tüm devrenin transfer fonksiyonunu eski haline getirmek adına, önceden tasarlanan bir filtreden geçirmek gerekmektedir. Uyarlamalı devrenin sinyal transfer fonksiyonunu tekrardan  $z^{-1}$  yapmak için,  $C_x$  devrede iken elde edilen datayı  $3-2z^{-1}$  ile çarpmak yeterli olacaktır. (Şekil 12)



Şekil 12: Transfer Fonksiyonunu düzeltmek için kullanılan filtre

#### 5. ÖLÇÜMLER

Uyarlamalı ve uyarlamasız SD modülatorlerin, ideal bileşenler ve doyuma ulaştırın girişler kullanılarak yapılan simülasyonları sonucunda, ilgilenilen bant içinde elde edilen frekans dağılımı şekil 12'deki gibidir.



Şekil 12: İntegratör doyum noktaları

Yapılan ölçümler sonunda, SNR oranında en az 4dB'lik bir artış sağlandığı gözlenmiştir.

Bu çalışmada örnek olarak sinüs işareti verilmiştir. Bunun sebebi SNR sonuçlarının karşılaştırılması içindir. Fakat SD çeviricilerin bir kullanım alanı olan ses işaretlerinin çevrilmesi sırasında bu çalışmada sunulan özellik daha çok etkili olacaktır. Ses işaretlerinin logaritmik yapısından dolayı ses seviyeleri kısa süreler için olsa da yüksek değerlere ulaşabilmektedir. Bu anlarda meydana gelen bir kırılma dinleyen için rahatsız edici olmaktadır. Fakat bu çalışmada sunulan yöntem ile bu aksaklığın azaltılması mümkündür.

## 6. SONUÇ

Bu çalışmada, SD modülatörlerindeki doyma problemine, otomatik olarak integratörün kazancını kontrol edip, bu kazancı azaltıp çoğaltan ve böylelikle doymayı engelleyen bir çözüm önerilmiştir. Önerilen devrenin performansı ideal ve ideal olmayan bileşenler ile gerçekleştirilen bir birinci derece SD çevirici ile, SPICE ve Matlab programları kullanılarak test edilmiş ve gösterilmiştir. Yapılan çalışma sonucunda sinyal gürültü oranında yaklaşık 4dB'lik bir kazanç sağlanmıştır. Geliştirilen devre, doyma problemine, çevrim işlemini durdurmaksızın, sadece bir kapasite ekleyerek çözüm bulmuştur.

## 7. KAYNAKLAR

- [1] J. Candy and C. Temes, "Oversampling methods for A/D and D/A Conversion in oversampling Delta-Sigma data converters", IEEE Press, 1992.
- [2] Sergio Franco, *Design with Operational Amplifiers and Analog Integrated Circuits*, Third Edition, McGraw Hill, 2002.
- [3] X. Sun and K.R. Laker, "Adaptive integrator-output bounding (AIB) for second order sigma-delta ADC", in IEEE Int. Conf. On Signal Processing, Beijing, China, Aug. 2000.
- [4] R. Farell and O. Freely, "Bounding the integrator outputs of second-order sigma-delta modulators"

IEEE Trans. Circuits Syst. II, vol. 45, pp.691-702, 1998.

[5] J. H. Shim, I. Park and B. Kim, "A third order Sigma-Delta modulator in 0.18  $\mu$ m CMOS with calibrated mixed-mode integrators" IEEE Journal of Solid State Circuits, vol. 40, no.4, Apr. 2005.