

YÜKSEK DOĞRULUKLU REGÜLE KASKOD AKIM AYNALARININ AKIM MODU YAPILAR İÇİNDE TASARIMI ÜZERİNE

Ali ZEKİ

İstanbul Teknik Üniversitesi, Elektrik-Elektronik Fakültesi
Elektronik ve Haberleşme Müh. Bölümü, 34469, Maslak, İstanbul, Türkiye.
e-mail: alizeki@ehb.itu.edu.tr

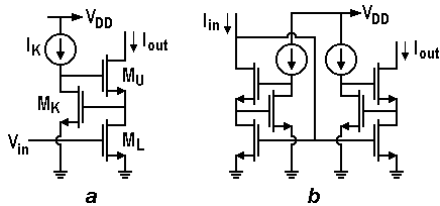
Anahtar sözcükler: Akım aynası, regüle kaskod kat, düşük güç.

ÖZET

Bu çalışmada, daha önce önerilmiş olan yüksek doğruluklu regüle kaskod akım aynası ve türevlerinin akım modu yapılarında kullanımında yapılan verimsiz tasarımlar üzerinde durularak, daha düşük güç tüketimi, daha az kırımlık alanı kullanımı, daha yüksek hız ve daha yüksek doğruluk için tasarımda hangi yaklaşımların kullanılması gerektiği işlenmektedir. Örnek olarak bir farksal akım çıkış katı alınarak anılan yaklaşımların kullanıldığı ve kullanılmadığı iki ayrı gerçekleştirilen performansları kıyaslanmaktadır.

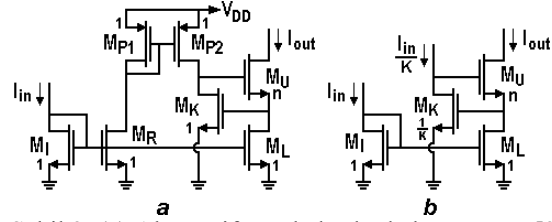
1. GİRİŞ

Regüle kaskod (regulated cascode) kat [1], bildik kaskod kata göre çok daha yüksek çıkış direnci sağlaması sayesinde, özellikle tek katlı bir kuvvetlendiricilerden daha yüksek kazanç istenilmesi durumları için büyük yarar sağlamaktadır [2]. Yapı, Şekil 1 (a)'da görülmektedir. M_K - I_K kuvvetlendiricisi ve M_U kaynak izleyicisi boyunca oluşturulan aktif negatif geribesleme sayesinde, M_L 'nin savak (drain) gerilimi sabitlenmektedir. Çıkış direnci böylece bildik kaskod yapınıninkine göre oldukça yüksek (yaklaşık A_K katı; A_K : M_K - I_K katının gerilim kazancı) olmaktadır. Yapı tek başına bir "üstün transistor" düşünülerek bir transistora uygulanacak bağlantılar bu yapıya uygulandığında, Şekil 1(b)'deki yüksek doğruluklu ve yüksek çıkış dirençli akım aynası elde edilecektir [1].



Şekil 1. (a) Regüle kaskod kat, (b) Regüle kaskod akım aynasının doğrudan oluşturulması.

Şekil 1 (b)'deki yaklaşım genelde güç ve kırımlık alanı tüketimi bakımından belirgin artışlar getirir. Buradan hareketle, regüle kaskod kat temelli akım aynası tasarımında daha verimli bir yaklaşım ve akım yansıtma doğruluğunu daha da artıracak yöntemler [3] ve [4]'te sunulmuştur. Bu yaklaşımların çıkış noktası, Şekil 2(a)'daki devreyle özetlenebilir. Görüldüğü gibi, I_K akımını sabit değil de giriş akımına eşit tutmak ve M_L yanında M_K 'yı da giriş transistörü M_I 'yle eş



Şekil 2. (a) Alternatif regüle kaskod akım aynası [3], (b) Alan, güç tüketimi ve parazitikler açısından daha verimli bir kullanım (I_{in} 'in bir kopyası elde varsa) [6].

seçmek, $V_{DS,L}=V_{DS,I}$ eşitliğini sağlayacak ve akım aynalama doğruluğu yüksek olacaktır. Eşleşmeler, giriş transistörü M_I 'nin W/L boyut oranı referans alınarak transistörlerin kaynak (source) uçlarında belirtilmiştir. M_U 'nun bir transistörle eşleşmesi gerekmediğinden boyut oranı n ile temsil edilmiştir. Daha öte iyileştirmeler de yapılabilir [4]. Aslında bu devrenin çıkış noktası daha önceki yüksek çıkış dirençli bir OTA gerçekleştirilmesidir ve o yapıda uygulanabilen bir yöntemle her bir akım aynasının girişine gelen I_{in} 'in birer kopyası M_R - M_{P1} - M_{P2} kombinasyonu yerine daha etkin biçimde doğrudan başka kollardan alınarak ilişkin M_K 'ya ulaştırılmaktadır [5]. Bu yolla, güç tüketimi, alan ve parazitik kapasiteler azalmaktadır. Kurulacak yapının farksal akım çıkışlı bir çıkış katına sahip olması durumunda ise, her bir I_{in} 'in kopyasının elde edilmesi daha kolay, böylece tasarım daha verimlidir [6]. Daha önemlisi, yalnızca yardımcı bir kat olduğu için, her bir akım aynasındaki M_K 'nın I_{in} 'in tam kopyasıyla değil de bunun K'da biriyle (Ör: 5'te biriyle) kutuplanması durumunda aktif geribesleme yine işlevini görecektir. Böylece güç ve alan tüketimi ile parazitikler açısından daha öte avantaj elde edilmektedir [3,6]. Bu durumda, akım eşleşmesini yüksek tutabilmek için, M_K 'nın boyut oranı M_I 'nin K'da biri olmalıdır. Şekil 2(b)'de, akım aynasının etkin gerçekleştirilmesi görülmektedir. I_{in}/K akımı, yalnızca bir pMOS'la elde edileceğinden, Şekil 1(a)'daki M_R ve M_{P1} 'e artık gerek yoktur. Literatürde, bu yaklaşımın aksine, yüksek çıkış dirençli yapılar elde ederken neredeyse tüm akım aynaları için Şekil 2(a)'daki yapıyı doğrudan kullanan ve bu yüzden özellikle güç ve alan tüketimi fazla olan devreler literatürde göze çarpmaktadır [7-9]. Bu yüzden, bu çalışmada, bu gibi verimsiz bir tasarımda performansta ne kadar kayıp olduğu ortaya konarak,

yukarıda açıklanan verimli tasarımın avantajları vurgulanmaktadır. Yöntem olarak, farksal bir akım çıkış katının literatürdeki kimi verimsiz tasarımları temsil edecek bir tasarımı ile yine yukarıda açıklanan verimli tasarım yaklaşımıyla elde edilen eşdeğer bir tasarımın kıyaslanması yoluna gidilmiştir.

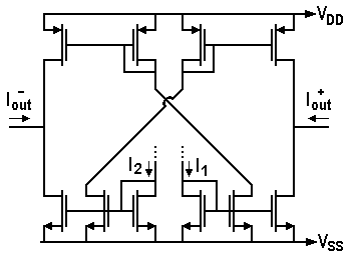
2. FARKSAL AKIM ÇIKIŞ KATININ VERİMSİZ VE VERİMLİ TASARIMI

Yararlanılacak farksal akım çıkış katının basit akım aynalarıyla gerçekleştirilmesi Şekil 3'te görülmektedir. Bu yapının giriş akımları olan I_1 ve I_2 , örneğin bir OTA'nın giriş fark çiftinin akımları veya farksal bir akım taşıyıcının iki X ucundan ulaşan akımları olabilir. Sonuçta, pMOS'lar kendi aralarında ve nMOS'lar kendi aralarında eş varsayılsa, farksal çıkış akımları

$$I_{out}^+ = I_1 - I_2 \quad (1a)$$

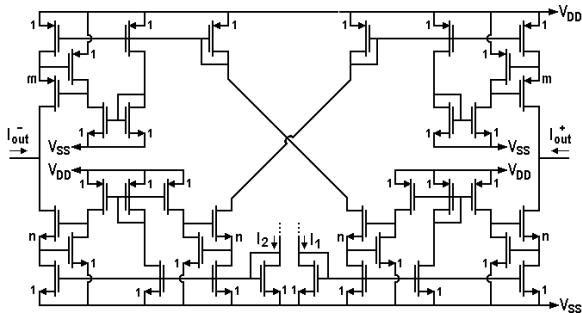
$$I_{out}^- = I_2 - I_1 \quad (1b)$$

olmaktadır. Böylece I_1 ve I_2 'nin DC kısımları eşitse, çıkış akımları yalnızca AC işareti taşımaktadır.



Şekil 3. Kıyaslamada yararlanılan temel farksal akım çıkış katının basit akım aynalarıyla oluşturulması.

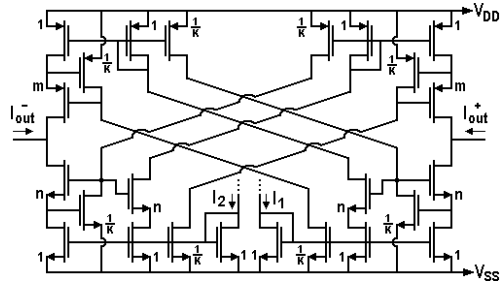
Sık rastlanan tipik bir verimsiz tasarımla farksal akım çıkış katının regüle kaskod akım aynalarıyla oluşturulması Şekil 4'teki gibi olacaktır. pMOS transistörlerin eşleşmeleri kendi aralarında, nMOS'larınki yine kendi aralarında olmak üzere, her bir akım aynasındaki transistörlerin eşleşmesi, akım aynasının diyot bağlı giriş transistörünün W/L uçlarında belirtilmiştir. Görüldüğü gibi, bu tasarımda, her bir akım aynasında basitçe tüm nMOS'lar kendi aralarında ve tüm pMOS'lar da kendi aralarında eşitir. Yalnızca, regüle kaskod çıkış transistörlerinin giriş transistörüyle eşleşme zorunluluğu olmadığından, nMOS'larda n, pMOS'larda m ile temsil edilmiştir. Görüldüğü gibi, bu devrenin güç tüketimi, Şekil 3'teki



Şekil 4. Farksal akım çıkış katının regüle kaskod akım aynalarıyla tipik bir verimsiz tasarımı.

basit yapının 2.67 olacaktır. Öte yandan, basitlik için bütün nMOS'lar kendi aralarında, bütün pMOS'lar kendi aralarında eş varsayılsa, nMOS'ların kapladığı alan kabaca 3.3 katına, pMOS'ların kapladığı alan ise kabaca 4 katına çıkmıştır. Ayrıca, parazitikler de belirgin biçimde artmıştır. Örneğin I_1 'in basıldığı düğümün kapasitesi Şekil 3'teki devrede $3C_{GS} + C_{DB}$ olurken (bu düğümde C_{GD} 'lerin etkisi gözardı edilebilir), Şekil 4'teki devrede $4C_{GS} + C_{DB}$ olmaktadır.

Burada vurgu yapılması gereken başka bir gereksiz/verimsiz yaklaşım, I_1 ve I_2 akımlarının yukarıdaki pMOS akım aynalarına ulaştırılmasında (çapraz kollardan) göze çarpmaktadır. Çapraz bağlı kollara bağlı diyot bağlı pMOS transistörler $1/g_m$ gibi düşük direnç göstermelerine rağmen, aşağıdan I_1 ve I_2 'nin çok yüksek çıkış dirençli yapılarla ulaştırıldığı görülmektedir. Oysa bu, bildik kaskod bir yapıyla da yapılabilir; hatta üstteki kaskod transistörün geçit kutuplaması çıkış katına bağlı regüle kaskod yapıdan kolayca elde edilebilir, böylece uygun eşleşmelerle akım yansıtma hatası en alt düzeye çekilebilir.



Şekil 5. Verimli yaklaşımla tasarlanan regüle kaskod akım aynası temelli farksal akım çıkış katı.

Şekil 5'te, yukarıdaki tartışmalar ışığında ele alınan örnek farksal akım çıkış katının verimli bir tasarımı görülmektedir. Bu tasarımda, Şekil 4'teki devrenin tasarlanmasındaki verimsiz yaklaşımlara karşılık aşağıdaki düzeltmeler yapılmıştır:

i) Her bir I_{in} 'in kopyasının M_K 'lara ulaştırılması dolaylı akım aynaları yoluyla değil, diğer kollarda akmakta olan akımlardan basitçe bir transistörle çoğaltılarak ulaştırılmaktadır

ii) I_{in} 'in M_K 'lara ulaştırılan kopyaları I_{in}/K biçiminde ($K > 1$), I_{in} 'den daha küçük tutulmakta, bu hem güç tüketimini, hem kaplanan alanı, hem de parazitik kapasiteleri düşürmektedir.

iii) Yüksek doğruluklu aynalama gerektiren ama çok yüksek çıkış direnci gerekmeyen yerlerde (bu örnekte, I_1 ve I_2 akımlarının üstteki pMOS regüle kaskod akım aynalarının girişlerine ulaştırılması) regüle kaskod kat yerine bildik kaskod yapılardan yararlanılmaktadır.

iv) Çıkış katı bildik kaskod yapıda olan akım aynasındaki her bir kaskod MOSFET'in geçit kutuplaması aynı akımı işleyen komşu regüle kaskod kattan alınmakta ve yüksek aynalama oranı doğruluğu elde edebilmek için, regüle kaskod katın kaskod MOSFET'i ile bu kaskod MOSFET eşleştirilmektedir.

Görüldüğü gibi, bu yapının güç tüketimi Şekil 3'teki basit yapının $1+0.67/K$ katıdır. Örneğin $K=5$ için, güç tüketimi artışı yalnızca %13.3 olur. Öte yandan, yine basitlik için 1 ve n ile temsil edilen nMOS'lar kendi aralarında, 1 ve m ile temsil edilen pMOS'lar da kendi aralarında eş varsayılırsa, nMOS'ların kapladığı alan kabaca $1.67+0.67/K$ katına, pMOS'ların kapladığı alan ise kabaca $1.5+1/K$ katına çıkmıştır. Bu ise, $K=5$ için, nMOS'ların kapladığı alanın en basit yapıya göre 1.8 katına, pMOS'larınkinin ise 1.7 katına çıkması demektir. Şekil 4'teki devre için bu rakamlar sırasıyla 3.3 ve 4 idi. Son olarak, örnek olarak alınan giriş kapasitesi (I_1 'in basıldığı düğüm için) bu tasarımda $(3+1/K)C_{GS}+C_{DB}$ 'dir. Yani, basitlik için $C_{DB}=C_{GS}$ sayılırsa, örneğin $K=5$ için, bu giriş kapasitesi basit yapıya göre yalnızca %5 artış göstermiş olacaktır. Oysa bu değer Şekil 4'teki tasarımda -aynı basitleştirme için- %20'dir. Bir diğer kıyaslama, I_1 ve I_2 'nin ulaştırıldığı üstteki iki pMOS akım aynasından herhangi birinin giriş düğümü için yapılabilir. Basit yapıda bunların giriş kapasitesi $2C_{GS}+C_{GD}$ 'dir. Şekil 5'teki son yapılan verimli tasarıma bakılırsa, bu değer yaklaşık $(2+2/K)C_{GS}+C_{GD}$ 'ye yükseldiği görülür. $K=5$ örnek değeri ve basitlik için $C_{GD}=C_{GS}$ varsayımıyla, artışın %6.7 olduğu bulunur. Oysa bu değer Şekil 4'teki verimsiz tasarım için $3C_{GS}+C_{GD}$ 'dir ki, $K=5$ ve $C_{GD}=C_{GS}$ varsayımıyla basit yapıya göre %33'lük bir artış anlamına gelir.

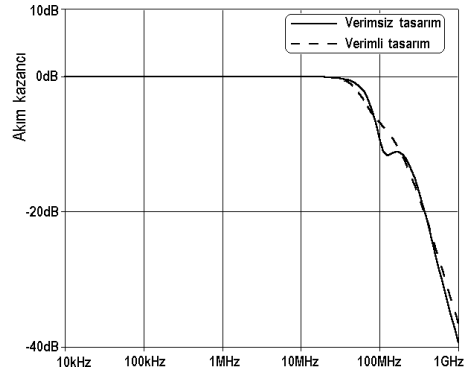
3. BENZETİM SONUÇLARI

Şekil 4 ve Şekil 5'teki tasarımların performanslarını ortaya koymak amacıyla, n kuyulu $0.35\mu\text{m}$ bir CMOS prosesin BSIM3v3 model parametreleri kullanılarak PSPICE benzetimleri yürütülmüştür. Besleme gerilimleri $V_{DD}=-V_{SS}=1.65\text{V}$ 'tur. Boyut oranları, şekillerde 1 ve n ile gösterilen tüm nMOS'lar için $W/L=15\mu\text{m}/1\mu\text{m}$, şekillerde 1 ve m ile gösterilen tüm pMOS'lar için $W/L=40\mu\text{m}/1\mu\text{m}$ biçimindedir. $K=5$ seçildiğinden, şekillerde $1/K$ ile gösterilen nMOS ve pMOS transistörler için sırasıyla $W/L=3\mu\text{m}/1\mu\text{m}$ ve $W/L=8\mu\text{m}/1\mu\text{m}$ 'dir. I_1 ve I_2 akımlarının DC değerleri $10\mu\text{A}$ seçilmiştir; AC değerleri ise birbirinin evriğidir ($I_{2,ac}=-I_{1,ac}$). İki yapının elde edilen performans özellikleri Tablo 1'de verilmiştir. Görüldüğü gibi, verimli tasarımın özellikle güç tüketimi açısından avantajı öne çıkmaktadır. Şekil 3'teki basit yapının güç tüketimi 0.198mW olmaktadır. Yani, verimli

Tablo 1. Benzetimle elde edilen performans özellikleri

	Verimli tasarım	Verimsiz tasarım
Güç tüketimi	0.225mW	0.559mW
Akım izlemeye mutlak hata ($-10\mu\text{A}<I_{1,ac}<10\mu\text{A}$)	-3.8nA...2.6nA	-8.4nA...3.4nA
çıkış dengesizlik akımı	$I_{os,out}=-3.7\text{nA}$	$I_{os,out}=-2.6\text{nA}$
Giriş direnci	$R_{in}=2.89\text{k}\Omega$	$R_{in}=2.89\text{k}\Omega$
Giriş kapasitesi	$C_{in}=408\text{fF}$	$C_{in}=475\text{fF}$
Çıkış direnci	$R_{out}=82.6\text{G}\Omega$	$R_{out}=75.3\text{G}\Omega$
Çıkış kapasitesi	$C_{out}=61.8\text{fF}$	$C_{out}=61.7\text{fF}$

tasarım yalnızca %13.6 ek güç tüketmektedir, ki bu daha önceki hesaplamalarla uyumludur. Verimsiz tasarımsa basit yapının 2.82 katı (%182 daha fazla!) güç tüketmektedir. Öte yandan, verimsiz tasarımın giriş kapasitesi verimliye göre %16 daha büyüktür. Diğer özellikler açısından iki yapı arasında belirgin bir avantaj/dezavantaj göze çarpmamaktadır. Şekil 6'da iki yapının akım modu frekans yanıtı verilmiştir.



Şekil 6. İki farklı tasarımın frekans yanıtları.

4. SONUÇ

Regüle kaskod akım aynasının akım modu yapılarında tasarımı için öngörülen yaklaşımları kullanmayan ve kullanan iki tasarımın kıyaslanmasıyla, özellikle güç ve alan bakımından verimli bir tasarım için, öngörülen yaklaşımın izlenmesi gerektiği açıkça görülmektedir.

KAYNAKLAR

- [1] Sackinger, E, Guggenbuhl, W., "A high-swing, high-impedance MOS cascode circuit," IEEE Journal of Solid State Circuits, 25, pp.289-298, 1990.
- [2] Razavi B., 'Design of Analog CMOS Integrated Circuits', McGraw-Hill, 2000.
- [3] Zeki A., Kuntman, H., "Accurate active-feedback CMOS cascode current mirror with improved output swing", International Journal of Electronics, 84, pp.335-343, 1998.
- [4] Zeki A., Kuntman, H., "Accurate and high output impedance current mirror suitable for CMOS current output stages", Electronics Letters, 33, pp.1042-1043, 1997.
- [5] Zeki, A., Kuntman, H., "A novel CMOS OTA structure suitable for OTA-C filters", International Conference on Microelectronics (ICM'96), Mısır, pp.7-10, 1996.
- [6] Zeki A., Kuntman, H., "High-output-impedance CMOS dual-output OTA suitable for wide-range continuous-time filtering applications", Electronics Letters, 35, pp.1295-1296, 1999.
- [7] Minaei, S., "A new high performance CMOS third generation current conveyor (CCIII) and its application", Electrical Engineering, 85, pp.147-153, 2003.
- [8] İbrahim, M.A., Kuntman, H., Çiçekoğlu, O., "First-order all-pass filter canonical in the number of resistors and capacitors employing a single DDCC", Circuits Systems and Signal Processing, 22, pp.525-536, 2003.
- [9] İbrahim M.A., Kuntman, H, Çiçekoğlu, O., "Canonical biquadratic all-pass and notch filters employing differential difference current conveyor", Frequenz, 57, pp.162-165, 2003.