

Asimetrik Beslemeli Eviricilerde Besleme Gerilim Seviyeleri için Fibonacci Sayılarının Kullanılması

Abdülvehhab KAZDALOĞLU¹, Bekir ÇAKIR¹

¹Kocaeli Üniversitesi Mühendislik Fakültesi Elektrik Mühendisliği Bölümü

vahap@kocaeli.edu.tr, bcakir@kocaeli.edu.tr

Özet

Çok seviyeli eviriciler (ÇSE) için giriş gerilim seviyeleri önemli bir sınırlayıcıdır. ÇSE'ler giriş gerilim seviyelerinin durumuna göre simetrik ve asimetrik beslemeli olmak üzere iki grupta incelenmektedir. Bu çalışmada asimetrik beslemeli çok seviyeli eviricilerin besleme gerilim seviyeleri için literatürdeki örneklerden farklı olarak fibonacci dizisi kullanılması durumu incelenmiştir. Besleme gerilim seviyeleri için Fibonacci dizisinin ilk terimleri olan 1-1-2-3 seviyeleri seçilmiştir. Ayrıca literatürdeki asimetrik beslemeli evirici örneklerinden farklı olarak asimetrik besleme seviyelerinden birine PWM uygulanmıştır.

Abstract

Multi-level inverter input voltage level is also an important limiting. multi-level inverters, according to the state of their input voltage level, are examined in two groups as symmetric and asymmetric fed. In this study, different from the literature examples, asymmetric-fed multilevel inverter to the supply voltage levels are analyzed in case of using the Fibonacci sequence. For the Supply voltage levels the first terms of the Fibonacci sequence 1-1-2-3 levels that were selected. In addition to different from the examples in the literature of asymmetric-fed inverters, by feeding PWM to one of the asymmetric levels is applied.

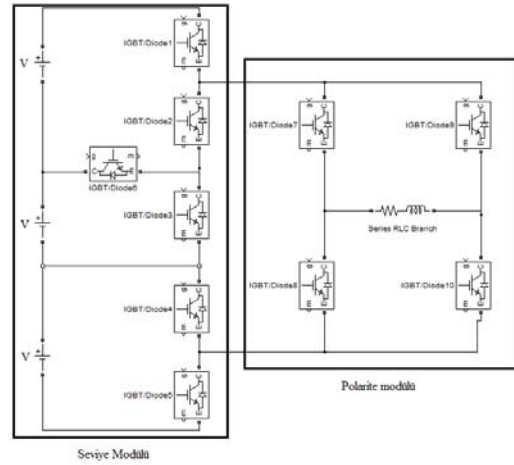
1. Giriş

Evirici topolojileri bir çok şekilde gruplandırılabilir, bağlantı şekillerine göre (diyot kenetlemeli vs.), şebekeye bağlantı durumlarına göre, kaynak gerilim seviyelerine göre vs.[1]. Kaynak gerilim seviyelerinin durumuna göre eviriciler simetrik ve asimetrik beslemeli olmak üzere iki grupta incelenmektedir. Kaynak gerilimleri eşit değerde seçiliyorsa (V-V-V) simetrik beslemeli. Eğer birbirinin katları şeklinde seçiliyorsa (V-2V-4V) asimetrik beslemeli olarak adlandırılabilirler. Bu durumda daha az kaynak kullanılarak evirici çıkışında daha çok gerilim seviyesi elde etmek mümkün olmaktadır. Ayrıca simetrik beslemeli bir eviricide istenilen yüksek seviye çıkışı için daha çok anahtarlama elemanı ve dolayısıyla maliyet gerektirdiğinden asimetrik beslemeli eviriciler simetrik beslemeli eviricilere göre daha düşük maliyetli olmaktadır [2].

2. Simetrik Beslemeli Eviriciler

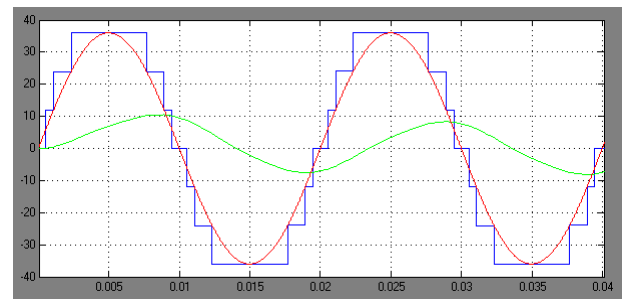
Şekil 1'de verilen simetrik beslemeli (1V-1V-1V) 7 seviyeli evirici için örnek bir topoloji verilmiştir. Bu topoloji iki farklı

bölümden oluşmakta 1. bölüm çıkış gerilim seviye sayısını belirlerken diğer bölüm ise alternatif gerilimin polaritesini belirlemektedir. dolayısıyla 1. bölüm yüksek frekansta anahtarlama yaparken 2. bölüm şebeke frekansının yarısında anahtarlama yapmaktadır [3].



Şekil 1. Simetrik beslemeli çok seviyeli evirici devresi [3]

Şekil 1'de verilen topolojide girişteki bağımsız kaynak sayısına göre çıkış gerilimi vermektedir. n adet kaynak için çıkış gerilim seviyesi 2n+1 olmaktadır. Örnek topolojide 3 bağımsız kaynak olduğundan evirici çıkışı 7 seviyeli olmaktadır. Kullanılan anahtarlama elemanı ve sistemdeki toplam elemanlar bakımından geleneksel topolojilerle karşılaştırıldığında 5 ve üzeri seviyelerde diğer topolojilere göre daha az eleman kullanarak daha çok seviye elde edilebilmektedir [3].

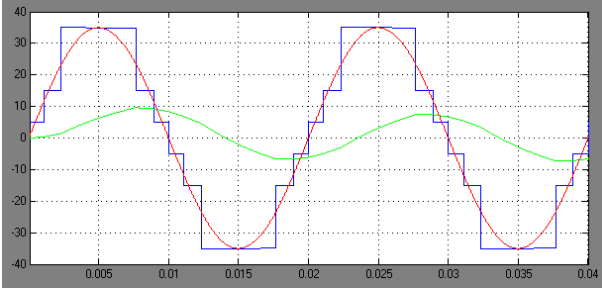


Şekil 2. simetrik besleme durumu için örnek çıkış

3. Asimetrik Beslemeli Eviriciler

Asimetrik beslemeli eviricilerin topolojileri diğer topolojilerden biraz farklı olmak zorundadır. Simetrik evirici

için kullanılan tüm topolojiler asimetrik beslemeli eviriciler için kullanılamaz. Örneğin yukarıdaki topoloji için giriş gerilim seviyeleri asimetrik olarak (1V-2V-4V) seçildiğinde ise çıkış gerilim şeklinde bozulmalar olmaktadır. Asimetrik besleme durumunda 15 seviyeli bir çıkış beklenirken şekil3 te görülen bozulmuş bir dalga şekli çıkmaktadır.



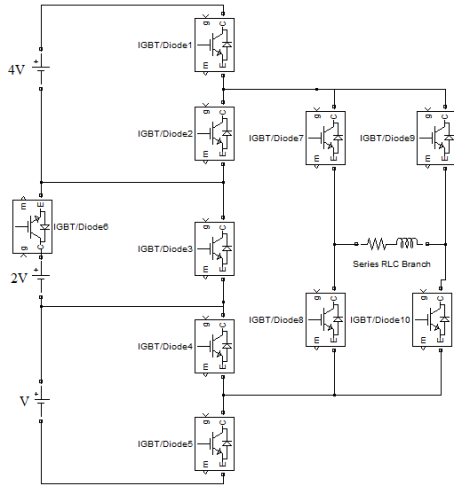
Şekil 3. Asimetrik besleme durumu için çıkış dalga şekilleri

Asimetrik beslemede çıkışta oluşan bozulmanın nedeni; 4. seviye ve 5. seviyede aynı gerilim kaynağını kontrol eden IGBT lerin aynı anda devrede olması çıkışı bozmaktadır. Tablo 1 de her bir seviye için hangi anahtarlama elemanlarının devrede olduğu gösterilmektedir.

Tablo 1. Asimetrik besleme durumu için anahtarlama elemanlarının iletim durumları

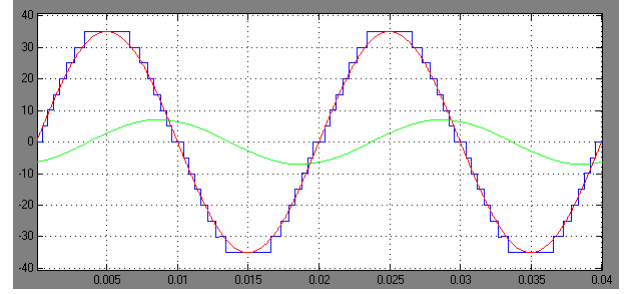
Çıkış Seviyesi	Anahtar iletim durumları
0	2-3-4
1	2-3-5
2	2-6-4
3	2-6-5
4	1-6-3-4
5	1-6-3-5
6	1-4
7	1-5

Yukarıda anlatılan kısa devre problemini çözebilmek için topolojide değişikliğe gidilmelidir. Hem simetrik besleme hemde asimetrik besleme için uygun olabilecek topoloji şekil 4 te verilmiştir [4].



Şekil 4. Simetrik ve asimetrik besleme için uygun topoloji [1-4].

Şekildeki topoloji ile simetrik besleme durumu için 7 seviye elde edilirken asimetrik besleme durumunda 15 seviye elde edilmektedir. Asimetrik besleme durumu için evirici çıkış gerilim ve akım eğrileri şekil 5'te verilmiştir.

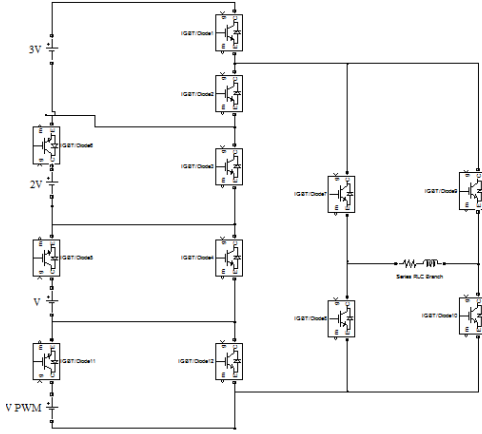


Şekil 5. 1-2-4 (5V-10V-20V) beslemeli evirici için çıkış gerilim dalga şekli

3.1. Fibonacci Sayı Dizisi İle Asimetrik Besleme Durumu

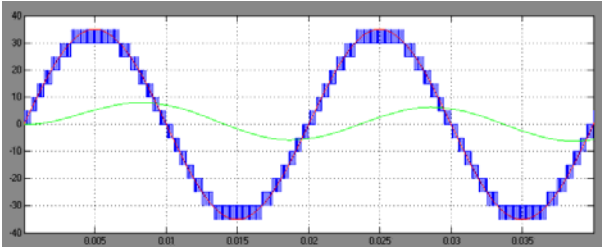
Leonardo Fibonacci 12.-13. yüzyıllarda yaşamış İtalyan matematikçidir. Küçük yaşlarda öğrendiği arap sayı sisteminin mükemmelliğini gören Fibonacci 1201'de "Liber Abaci" isimli kitabını yazmıştır. Bu kitap Arap sayı sisteminin batı Avrupa'ya girmesinde etkili olmuştur. Bu kitapta bulunan "Tavşan Problemi" onun meşhur hale gelmesini sağlamıştır. Problemden; ergin bir tavşanın her ay yeni bir yavru çifti verdiği ve yeni doğan bir çiftin bir ay zarfında erginliğe eriştiği varsayımıyla yavru olan bir tavşan çiftinden başlayıp bir yılda çiftlerin sayısı ne olacağı sorulmaktadır. Buna göre belli bir aydaki çift sayısı önceki iki ayın toplamına eşittir. O halde tavşan çifti sayıları aylara göre bir yıl içinde 1, 1, 2, 3, 5, 8, 13, 21, 34, 55, 89, 144 olacaktır. Fibonacci kendisi bu sayı dizisi üzerinde bir çalışma yapmamıştır. Fakat kendisinden sonra gelen matematikçiler bu sayıları onun adını kullanarak "fibonacci sayıları" olarak adlandırmışlardır [5].

Bu çalışmada asimetrik beslemeli eviriciler için kaynak gerilimleri belirlenmesinde yeni bir dizin önerilmektedir. Asimetrik beslemeli eviricilerde besleme kaynaklarının seçiminde fibonacci sayıları kullanıldığında; kaynak seviyeleri 1V-1V-2V-3V olacaktır. 1V seviyeli ilk kaynak PWM olarak kullanılacak ve her seviye için bu modül aktif olacaktır.



Şekil 6. Fibonacci sayıları kullanılarak elde edilen asimetrik beslemeli çok seviyeli evirici

Şekilde görülen eviriciden 15 seviyeli bir çıkış gerilimi elde edilmektedir.



Şekil 7. 1-1-2-3 (5V-5V-10V-15V) beslemeli evirici için çıkış gerilim dalga şekli

Kaynak seviyelerine bakıldığında 1-2-4 (1+2+4=7) seviyeli kaynak seçmek yerine 1-1-2-3 (1+1+2+3=7) kaynak seçimi aslında büyüklük olarak aynı değerinde kaynak kullanıldığını göstermektedir.

4. Sonuçlar

Asimetrik beslemeli eviricilerin giriş gerilim kaynaklarının seviyeleri üzerine yapılan bu çalışmada literatürdeki örneklerden farklı olarak 1-2-4 dizili besleme durumuna ek fibonacci sayı dizisinin ilk terimleri olan 1-1-2-3 dizisi kullanılmıştır. Dizinin ilk terimi olan 1 seviyeli kaynak her seviyeye eklenen PWM kaynağı olarak kullanılmıştır. Asimetrik beslemeli Çok seviyeli eviriciler için Fibonacci sayıları ilk kez uygulanmıştır.

Tablo 3. Asimetrik beslemeli eviriciler için değişik besleme durumları karşılaştırması

Gerilim Dizisi	Gerilim seviyeleri (V)	Çıkış Gerilim seviyesi	V _{RMS} (V)
1-2-4	5-10-20	15	25
1PWM-1-2-3	5-5-10-15	15	26

5. Gelecekte Yapılması Planlanan Çalışmalar

Fibonacci sayıları kullanılarak tasarlanan asimetrik beslemeli çok seviyeli evirici devresinin gerçekleştirilmesi, simülasyon sonuçlarının gerçek değerlerle karşılaştırılması planlanmaktadır. Ayrıca fibonacci sayıları kullanılarak yapılan eviricinin akım ve gerilim harmoniklerinde yapacağı etkiler incelenecektir.

Bu çalışmada kullanılan topoloji fotovoltaik sistemler için uygulanabilir bir yapıdadır. fotovoltaik sistemlerde seri ve paralel bağlantılarla sistemin akım ve gerilim değerleri istenildiği şekilde değiştirilebildiğinden asimetrik beslemeli çok seviyeli eviricilerin giriş gerilim kaynağı olarak fotovoltaik sistemler kullanılabilir. Bu kapsamda simülasyonları yapılan asimetrik beslemeli çok seviyeli eviricileri ileri dönemde fotovoltaik sistem uygulamalarında test edilecektir.

6. Kaynaklar

- [1] Daher S., Schmid J., Antunes F.L.M., "Multilevel Inverter Topologies for Stand-Alone FV Systems", IEEE Transactions on Industrial Electronics Vol. 55 No:7 July 2008
- [2] Ebrahim Babaei, Mohammad Sadegh Moeinian., "Asymmetric cascaded multilevel inverter with charge balance control of a low resolution symmetric subsystem", Energy Conversion and Management 51 (2010) 2272–2278
- [3] Ehsan Najafi, Abdul Halim Mohamed Yatim, "Design and implementation of a new multilevel Inverter topology", This article has been accepted for publication in a future issue of this journal, but has not been fully edited. Content may change prior to final publication. 10-2376-TIE
- [4] Beşer E., Arifoğlu B., Çamur S., Beşer E. K., "A Grid-connected Photovoltaic power conversion system with single-phase multilevel inverter", Solar Energy 2010
- [5] H.H. Gulec, "Fibonacci Dizileri Ve Fibonacci Matrislerinin Determinantları, Normları Üzerine Bir Çalışma", Yüksek Lisans Tezi, Selçuk Üniversitesi Fen Bilimleri Enstitüsü, 2007