

Çeşitli Toplama Devrelerinin FPGA Üzerinde Performans Analizi

Performance Analysis of Various Adder Circuits on FPGAs

Olca Kurt¹, Uğur Çini²

¹Fen Bilimleri Enstitüsü
Trakya Üniversitesi
olcaykurt@trakya.edu.tr

²Elektrik-Elektronik Müh. Bölümü
Trakya Üniversitesi
ugurcini@trakya.edu.tr

Özet

Bu çalışmada, çeşitli toplama devreleri FPGA'ler üzerinde gerçekleştirilmiş ve hız performansları incelenmiştir. Pek çok FPGA ailesinde Fast-Carry Logic mimarisinden dolayı Ripple-Carry toplayıcı devresi yüksek hızda çalışmaktadır. Bu çalışmamızda, carry-skip, carry-lookahead, carry-select toplayıcı devreleri, Stratix II ve Cyclone III mimarilerinde farklı bit sayıları kullanılarak gerçekleştirildi, devrelerin hız performansı ve kullanılan lojik eleman sayıları karşılaştırıldı. Uygun bit genişliklerine göre gruplama yapıldığında, Carry-Select Adder'in iki mimaride de özellikle yüksek bit genişlikleri için Ripple-Carry Adder devresinden daha hızlı performans verdiği gözlemlenmiştir.

Abstract

In this work, various adder circuits are implemented on FPGAs and their speed performance is examined. Among most of the FPGA families ripple-carry adder has the highest speed due to the fast carry logic structure. In our study, adder circuits i.e. carry-skip, carry-lookahead and carry-select structures are implemented by selecting different bit sizes, then speed performance of the circuits and the number of logic elements used are compared. When grouping according to appropriate bit-width, it is observed that carry-select adder give faster performance than ripple-carry adder circuit for the tested FPGAs.

1. Giriş

FPGA (Field-Programmable Gate Array) günümüzde pek çok sayısal mimarinin gerçek hayatta uygulaması için en avantajlı yöntemdir. Özellikle yüksek performans gerektiren uygulamalar için FPGA fiyat ve performans açısından yonga tasarımına göre pek çok uygulamada daha avantajlıdır.

Toplama devreleri aritmetik lojik ünitelerinden (ALU), filtreleme, çarpma ve adres oluşturmaya kadar birçok işlemsel

sürecin temelini oluşturur. Bu nedenle toplayıcı devrelerinin sayısal devre tasarımında oldukça önemli bir yeri vardır.

Günümüzde pek çok FPGA içerisinde hızlı elde mantığı (fast carry logic) özelliği vardır. Bu yapı, aritmetik devre tasarımında toplama devrelerinin yüksek performans ile çalışması için pek çok FPGA içerisinde hazır bulunmaktadır. Bu yüzden en temel toplama devresi olan ripple-carry toplayıcı herhangi bir optimizasyona gerek kalmadan genellikle çok yüksek performans ile çalışır [3-5]. Hızlı elde mantığı (fast carry logic) aritmetik fonksiyonların etkinliğini arttırmak amacıyla yaygın bir şekilde FPGA mimarilerinde bulunmaktadır.

Bu çalışmada, hızlı elde mantığı olan FPGA'lerde hız performansının farklı aritmetik bloklar kullanılarak iyileştirilmesi hedeflenmiştir.

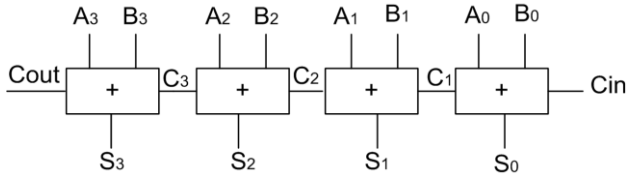
Çalışmamızda AlteraTM Quartus II yazılımı kullanıldı. Quartus II derleyicisi otomatik olarak tasarım süreci sırasında hızlı elde mantığını gerçekleyerek toplama devrelerini sentezler. LPM fonksiyonları gibi parametre isteyen fonksiyonlar otomatik olarak uygun fonksiyonlar için elde mantığı avantaj sağlar. Quartus II derleyicisi benzer sütunlardaki mantık dizi bloklarını (LABs) otomatik bağlayarak 16 lojik elementten (LEs) daha fazla elde zinciri (carry chain) gerçekler. Dolayısıyla FPGA da bulunan bu özellikten dolayı en temel blok olan ripple-carry toplayıcı devresi hızlı çalışmaktadır. Quartus II platformunda özel bir komut verilmeksizin ripple-carry toplama devreleri otomatik olarak hızlı-elde mantığına uygun şekilde konfigüre edilmektedir. Bu çalışmada carry-skip, carry-lookahead, carry-select toplayıcı devrelerinin farklı sayıda bit değerleri gruplandırılarak hız performansları ölçülmüştür. Test için AlteraTM Stratix II ve Cyclone III mimarileri kullanılmıştır. Stratix II için çok çeşitli bit genişlikleri için carry-select yapısı en yüksek performansı sağlarken Cyclone III için genellikle hızlı-elde mantığı ile ripple-carry toplama devresi daha yüksek performans sağlamıştır. Ancak yüksek bit genişlikleri için bit gruplandırması uygun şekilde yapıldığında yine carry-select mimarisi daha iyi performans sağlamıştır.

2. Toplama Devreleri

Bu bölümde test için kullanılan çeşitli toplama devrelerinin çalışma prensipleri kısaca açıklanacaktır. Test edilen mimariler, ripple-carry (FPGA içerisindeki hızlı elde mantığı ile), carry-skip, carry-lookahead ve carry-select toplayıcı mimarileridir [1, 2].

2.1 Ripple-Carry Adder (RCA)

Bir N-bit toplayıcı, N adet tam toplayıcı ard arda bağlanarak gerçekleştirilir. En kolay gerçekleştirilen temel toplama devresidir. Burada Şekil 1’de gösterildiği üzere N parametresi değiştirilerek çeşitli bit genişliklerinde toplama devreleri gerçekleştirilip test edilmiştir.

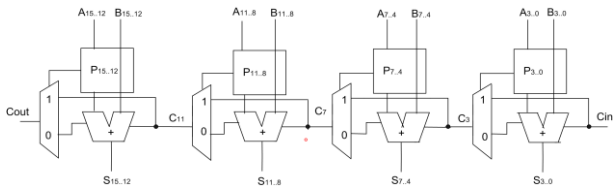


Şekil 1 : 4 bit Ripple Carry Adder

Ripple-carry toplayıcı diğer toplayıcıların temel bir yapı bloğudur. Genel olarak diğer toplayıcılarla kıyaslandığında en kötü durum gecikmesi veren toplayıcıdır, ancak FPGA’ler söz konusu olduğunda hızlı elde mantığı (fast-carry logic) sayesinde diğer toplama devrelerine göre ripple-carry ile dahi yüksek performans sağlamak mümkündür.

2.2 Carry-Skip Adder (CSKA)

Carry-skip adder, Şekil 2’de belirtildiği gibi devreye uygulanan carry biti birinci toplayıcı devresine uygulanmakta ve aynı zamanda multiplexer’a uygulanmaktadır. Carry-skip adder her bir elde zinciri için grup propagate sinyallerini hesaplar ve uzun elde dalgalanmasının üzerinden atlaması için bunu kullanarak kritik yolu (critical path) kısaltır [1, 2]. Böylece zaman gecikmesi azalır, devrenin çalışma frekansı artar.

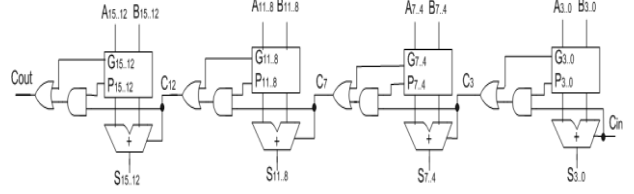


Şekil 2 : 16 bit Carry-Skip Adder

Şekil 2’deki dikdörtgen ile temsil edilen devre yapısı, propagate sinyalini hesaplar ve 4 bit grubun propagate sinyali için 4 bit girişli bir AND kapısı içerir. Çıkıştaki multiplexer ise grup propagate sinyali tam geldiğinde yada ripple elde çıkışı olmasa grup elde girişini seçer.

2.3 Carry-Lookahead Adder (CLA)

Carry-lookahead adder, carry-skip adder’ a benzemektedir. Burada farklı olarak propagate sinyalin yanı sıra generate sinyali de hesaplanır. Şekil 3’te carry-lookahead devresi belirtilmiştir.

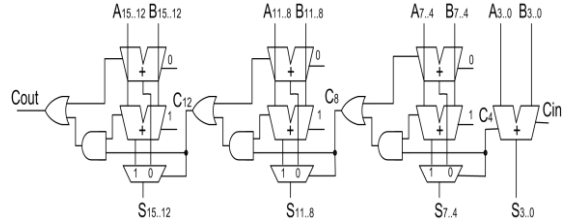


Şekil 3 : 16 bit Carry-Lookahead Adder

2.3 Carry-Select Adder (CSLA)

Şekil 2 ve Şekil 3’te carry-skip adder ve carry-lookahead adder’ ın kritik yolu (critical path) her 4-bit grup bitini hesaplamayı ve carryin’e dayalı her bir gruptaki her bit için toplamı hesaplamayı gerektirir.

Carry-select yapısı için ise kritik yolu (critical path) hızlandırmada standart bir lojik tasarım tekniği her iki muhtemel giriş için çıkışları önceden hesaplamaktır ve böylece iki çıkış arasında toplamı seçmek için bir multiplexer kullanılır.



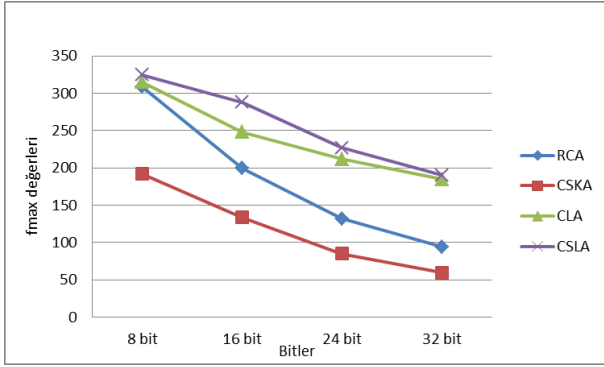
Şekil 4 : 16 bit Carry-Select Adder

Şekil 4’ te görüldüğü üzere, bir toplayıcı carryin 0 olduğunu varsayarak toplamı hesaplar, diğer toplayıcı carryin 1 olduğunu varsayarak toplamı hesaplar. Burada gerçek carry uygun toplamı seçen multiplexer’ı tetikler.

3. Deneyler

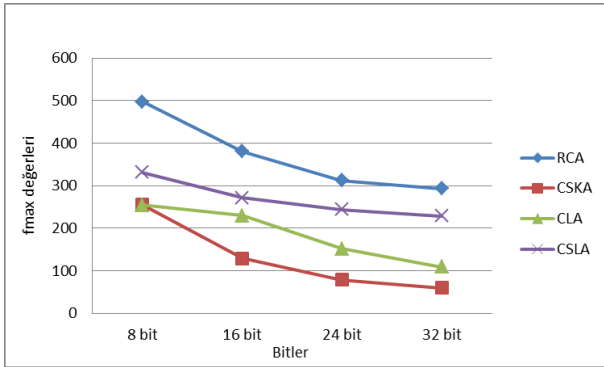
Bir önceki bölümde bahsedilen toplama devreleri, Altera™ Stratix II ve Cyclone III FPGA mimarilerinde test edilmiştir. Çalışmada, öncelikle alternatif toplama mimarileri 4’er bitlik gruplamalarla gerçekleştirilmiştir. Şekil 5’te Stratix II’ye ait ve Şekil 6’da Cyclone III’e ait farklı bit genişlikleri için hız performans grafikleri verilmiştir.

Şekil 5’te görüldüğü gibi, carry-select adder Stratix II mimarisinde her bit genişliği için daha iyi sonuç vermektedir. Ancak diğer alternatif toplama devrelerinin performansı Fast-Carry-Logic içeren RCA devresinden yavaş kalmaktadır.



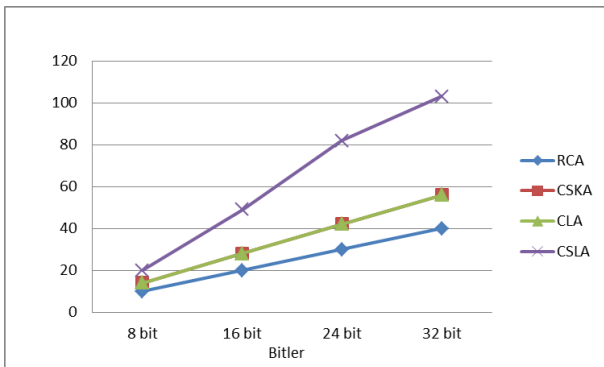
Şekil 5 : Stratix II fmax değerleri

Şekil 6'da ise Cyclone III mimarisi için hız performans grafikleri görülmektedir. Şekilde de görüldüğü gibi, Cyclone III mimarisinde en hızlı çalışan toplayıcı fast carry logic içeren RCA devresidir. Bunu, carry-select adder izlemektedir.



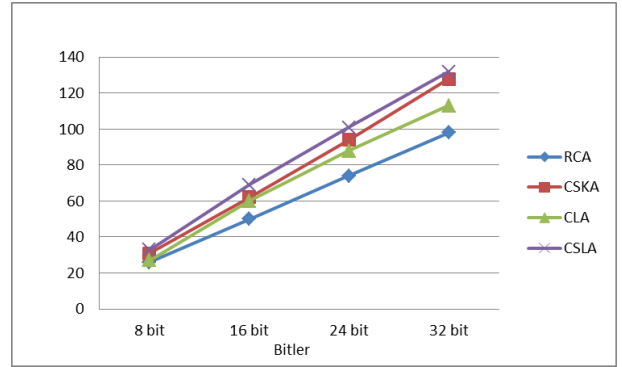
Şekil 6 : Cyclone III fmax değerleri

Şekil 7'de görüldüğü gibi, Stratix II mimarisinde toplam kullanılan lojik eleman sayıları gösterilmiştir. En fazla lojik eleman kullanan carry-select adder toplayıcı devresidir. En az lojik eleman kullanan devre ise tahmin edileceği üzere ripple-carry adder devresidir. Sonuçlar [6]'daki çalışmadaki sonuçlarla benzerlik göstermekle beraber, farklı FPGA mimarileri için alternatif sonuçlar doğmaktadır. Buna karşılık performans/alan açısından her zaman fast-carry logic içeren ripple-carry toplayıcı her zaman en iyi sonucu vermektedir.



Şekil 7 : Stratix II'de toplam kullanılan lojik elemanlar

Şekil 8'de görüldüğü gibi, Cyclone III mimarisinde toplam kullanılan lojik eleman sayıları gösterilmiştir. En fazla lojik eleman kullanan yine carry-select adder toplayıcı devresidir.

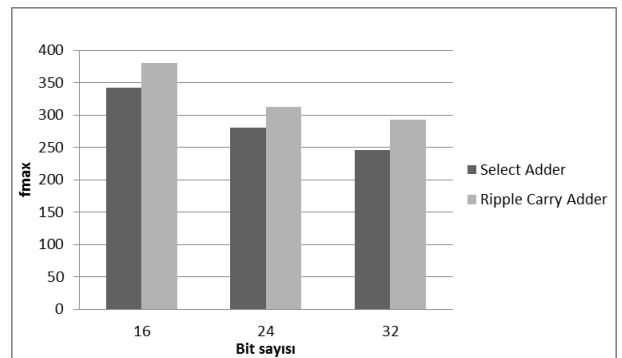


Şekil 8 : Cyclone III toplam kullanılan lojik elemanlar

Ancak bu sonuçlar, alternatif toplama devrelerinin 4'er bitlik gruplandırılması sonucu elde edilen değerlerdir. Sonuçta, alternatif toplama devreleri içerisinde FPGA'ler için en iyi alternatif yine carry-select adder olarak görülmektedir. Bundan sonraki deneylerde, farklı bit gruplamaları yapılarak carry-select toplayıcıların iyileştirilmesi ve RCA devrelerinden hızlı çalışabilecek yapıların Cyclone III mimarisi için de elde edilmesi hedeflenmiştir.

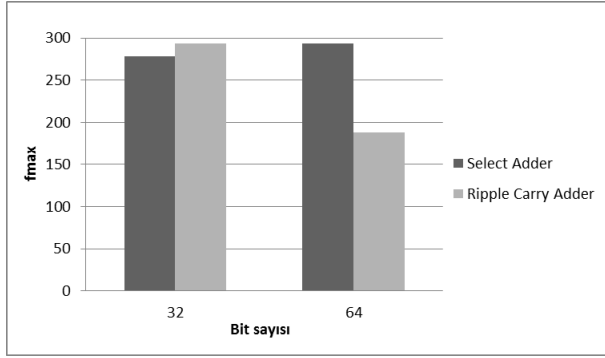
Cyclone III mimarisinde fast carry logic'ten kaynaklanan durumdan dolayı RCA devrelerinin hızını geçmek adına farklı sayıda bitleri gruplandırarak deneyler yinelenmiştir.

Şekil 9'da görüldüğü gibi, Cyclone III mimarisinde 8'er bit gruplandırma yapılarak elde edilen sonuçlar belirtilmiştir. Şekil-4'te 4'er bitlik gruplandırmalar multiplexer elemanı ile seçilmekteydi, farklı gruplandırmalarda 4, 8 ve 16'şar bit grupları multiplexer ile seçilmektedir. 8'er bitlik gruplandırmada da carry-select toplayıcı hızlı-elde mantığı içeren ripple-carry toplayıcıyı geçememektedir.



Şekil 8 : 8 bit gruplama yapılarak elde edilen sonuçlar

Şekil 9'da Cylone III mimarisinde 16'şar bit gruplandırma yapılarak elde edilen sonuçlar belirtilmiştir. Burada carry-select adder toplayıcı devresinin fast carry logic'e rağmen ripple-carry adder devresini yapılan 64 bitlik devrede geçtiği belirtilmiştir.



Şekil 9 : 16 bit gruptama yapılarak elde edilen sonuçlar

4. Sonuçlar

Yapılan çalışmada, FPGA üzerinde alternatif toplayıcı devreleri hız performansları incelenmiştir. Sonuçlar genel tümleşik devre gerçekleştirme prensiplerinden farklı çıkmakta olup, FPGA’lerdeki standart mimari olan hızlı elde mantığı pek çok uygulamada ripple-carry toplayıcısında yüksek performans alınmasına olanak sağlamaktadır. Fakat performans çıktıları çeşitli FPGA ailelerinde farklı sonuç vermektedir. Buna karşılık performans/alan metriği açısından hızlı-elde mantığı içeren ripple-carry toplayıcı her zaman en iyi sonucu vermektedir.

Cyclone III mimarisi kullanılarak yapılan 4-bit gruptamada alternatif toplayıcı devrelerinden en iyi performans veren ripple-carry adder içerisindeki fast carry logic sayesinde çok daha hızlı performans vermektedir. Buna karşılık, yapılan 4-bit gruptamada, Stratix II mimarisinde carry select adder en iyi hızlı çalışan devredir. Ardından carry-lookahead adder devresi yüksek performans sağlamaktadır. Ayrıca her iki mimaride de en fazla lojik eleman kullanan toplayıcı devresi carry-select adder, en az kullanan ise beklenen sonuç olan ripple-carry adder toplayıcı devresi olduğu belirlenmiştir.

Çalışma sonucunda FPGA’ler için ripple-carry toplayıcısına en iyi alternatif carry-select toplayıcı devresi olarak görülmüştür. Cyclone III mimarisinde farklı sayıda bit gruplandırılması sonucunda 16 bit gruplandırma yapılarak 64 bitte carry-select toplayıcı en yüksek hızı sağlamıştır. Ancak diğer bit genişlikleri için Cyclone III mimarisinde hızlı-elde mantığı ile ripple-carry en yüksek performansı vermekte olup farklı toplama devrelerine ihtiyaç görülmemektedir.

5. Kaynaklar

- [1] Weste, N., Harris, D., *CMOS VLSI Design: a Circuits and Systems Perspective*, Addison-Wesley, 4th ed., 2010.
- [2] Zimmermann, R., *Binary Adder Architectures for Cell-Based VLSI and Their Synthesis*, Swiss Federal Institute of Technology Zurich, PhD Thesis, 1997.
- [3] Altera Corporation (www.altera.com), Cyclone III Device Handbook, 2010.
- [4] Altera Corporation (www.altera.com), Advanced Synthesis Cookbook, 2011.
- [5] Altera Corporation (www.altera.com), Stratix II, Device Handbook, 2007.
- [6] Xing, S. ve Yu, W.W., “FPGA Adders: Performance Evaluation and Optimal Design”, *IEEE Design & Test of Computers*, 15.1, 24-29, 1998.