

CMOS DDCC Temelli Memristör Gerçeklemesi ve Kaotik Haberleşme Uygulaması

CMOS DDCC Based Memristor Realization and its Application to Chaotic Communication

Şuayb Yener¹, Hakan Kuntman²

¹Elektrik ve Elektronik Mühendisliği Bölümü
Sakarya Üniversitesi
syener@sakarya.edu.tr

²Elektronik ve Haberleşme Mühendisliği Bölümü
İstanbul Teknik Üniversitesi
kuntman@itu.edu.tr

Özet

Memristör 1971 yılında Leon Chua tarafından dördüncü temel devre elemanı olarak ortaya konmuştur. Ancak ilk fiziksel gerçekleştirme bundan 37 yıl sonra HP laboratuvarlarında görev alan bir grup bilim adamı tarafından elde edilmiştir. Bu buluştan sonra memristör dünya çapında farklı alanlarda ciddi yankı bulmuştur.

Bu çalışmada VLSI teknolojisi için son derece uygun DDCC temelli bir CMOS memristör gerçekleştirilmiştir. Modelin uygulaması olarak memristör temelli kaotik haberleşme devresi ele alınmıştır. Sunulan kaotik haberleşme devresi modülatör ve demodülatör olarak çalışan memristör temelli iki Chua devresi ile oluşturulmuştur. Modelin haberleşme devresindeki başarımı gerçekleştirilen devre benzetimleri ile ortaya konmuştur.

Abstract

The existence of the memristor as the fourth fundamental circuit element was proposed by Leon Chua in 1971 based on symmetry arguments. But the first real device has been demonstrated 37 years later, by a group of scientist at HP Labs. From then the memristor has drawn the worldwide attention at various levels.

This paper demonstrates the design of CMOS based memristor realization using DDCCs which are easy for VLSI implementation. As an application, a memristor based chaotic circuit for chaotic communication is presented. In this scheme, chaotic signals generated by the memristor based Chua's circuits which are utilizing on modulation and demodulation circuits. Simulation results verify the proposed implementation success in the chaotic communication application.

1. Giriş

Memristör 1971'de Leon Chua tarafından direnç, kapasitör ve endüktansın ardından dördüncü temel devre elemanı olarak kuramsal olarak ortaya kondu [1]. 2008 yılında R. Stanley Williams önderliğinde HP laboratuvarlarında çalışan araştırmacılar Nature dergisinde Chua'nın önerdiği memristör yapısının fiziksel gerçekleştirilmesini elde ettiklerini belirten bir makale yayımladılar [2]. HP'nin elde ettiği memristör yapısı iki metal kontak ve arasında TiO_2 (saf) ve TiO_{2-x} (oksijen boşluklu) bölgelerinden oluşan nanometre düzeyinde bir mimariydi [3].

HP tarafından elde edilen gerçekleştirilmenin yalnızca özel koşullarda prototip düzeyinde üretilmiş olması ve çalışma hızı ile ilgili bazı dezavantajlar olsa da bu ilk fiziksel prototip büyük yankı buldu ve çok sayıda bilim adamının bu alanda çalışmasını ve çok sayıda çalışmanın ortaya çıkmasını sağladı.

Daha önce yapılan çalışmalarımızda, CMOS tabanlı tümleştirmeye uygun memristör gerçeklemeleri önerilmiş, bu gerçekleştirilmelerin getireceği yararlar ortaya konmuştur [4, 5].

Bu çalışmada CMOS tabanlı memristör modeli ayrıntılı gerçekleştirme aşamaları ile sunulmuş ve modelin kaotik haberleşme devresindeki uygulamasına ilişkin sonuçlar sunulmuştur. Giriş bölümünün ardından çalışmanın ikinci bölümünde memristörün temel uç ilişkileri ve ele alınan memristör modeli üzerinde durulmuştur. Yine bu bölümde önerilen blok diyagram ve buna ilişkin gerçekleştirme aşamaları sunulmuştur. Üçüncü bölümde oluşturulan memristör temelli kaotik haberleşme devresinin çalışma davranışı gerçekleştirilen PSPICE benzetimleri ile incelenmiş ve bunlara ilişkin sonuçlar sunulmuştur. Son bölümde modelin başarımı ele alınan uygulama ile elde edilen sonuçlarla birlikte değerlendirilmiş ve katacağı olanaklar ele alınmıştır.

2. Ele Alınan Memristör Modeli ve CMOS Temelli Gerçekleme

2.1. Temel Memristör Bağlantıları

Yük q , akım i , gerilim v ve manyetik akı ϕ kavramlarının birbirleriyle ilişkilerinden yük-akım ve Faraday kanunu ile verilen akı-gerilim ilişkisi temel düzeyde bilinmektedir. Yine bu dört parametrenin diğer üç kombinasyonuna karşılık gelen direnç, kapasite ve endüktans tanım bağıntıları da memristörden çok önce keşfedilmiştir.

Söz konusu dört parametrenin olası altı kombinasyonundan biri ve daha önce tanımlanmış akı ile yük arasındaki ilişki ise 1971'de Chua tarafından memristör tanım bağıntısı olarak ortaya konmuştur. Chua memristörü memristans ve memdüktrans adı verilen iki farklı ilişki ile tanımlanmıştır.

$$M(q) = \frac{d\phi(q)}{dq} \quad (1)$$

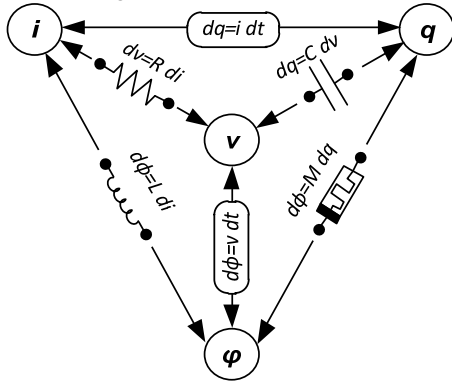
$$W(\phi) = \frac{dq(\phi)}{d\phi} \quad (2)$$

Buradan memristörün akım-gerilim uç ilişkileri:

$$v = M(q)i \quad (3)$$

$$i = W(\phi)v \quad (4)$$

Eksik olan bağıntının memristör olarak tanımlaması ile dört temel devre elemanının tamamı elde edilmiştir. Dört temel devre elemanına ait tanım bağıntıları diğer iki fiziksel eşitlik ile birlikte şematik gösterim olarak Şekil 1'de verilmiştir.



Şekil 1. Dört temel devre elemanı

2.2. Kübik Polinom Temelli Memristör Tanımı

Chua devresindeki doğrusal olmayan direncin parçalı doğrusal model ile tanımlanmasının devre davranışını tam olarak ortaya koyamaması tespiti ile Zhong tarafından doğrusal olmayan kübik model önerildi [6]. Bu kübik doğrusal olmayan tanım memristörün tanımlaması için de kullanıldı [7]. Memristörün akım-gerilim uç ilişkisi:

$$i(t) = \frac{dq}{dt} = \frac{dq}{d\phi} \frac{d\phi}{dt} = \frac{dq}{d\phi} v(t) = W(\phi(t))v(t) \quad (5)$$

Memristörün yük-akı (q - ϕ) fonksiyonu cinsinden tanımlanan kübik polinom temelli tanımı (6) bağıntısındaki gibi

verilebilir. Buradan memdüktrans ifadesi (7) ile verildiği biçimde elde edilir.

$$q(\phi) = \alpha\phi + \beta\phi^3 \quad (6)$$

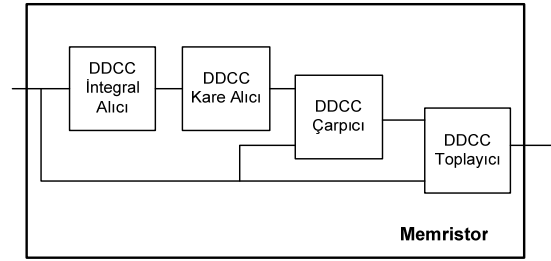
$$W(\phi) = \frac{dq}{d\phi} = \alpha + 3\beta\phi^2 \quad (7)$$

(7) bağıntısı (5) denklemi içinde ele alınırsa memristörün akım-gerilim cinsinden tanım bağıntısı (9) bağıntısında verilen biçimde elde edilir. Bu çalışmada memristörün modellenmesinde ve bu modele dayalı blok diyagramın oluşturulmasında bu tanım bağıntısı kullanılmıştır.

$$i(t) = W(\phi)v(t) = (\alpha + 3\beta\phi^2)v(t) \quad (8)$$

$$i(t) = \left[\alpha + 3\beta \left(\int v(t) dt \right)^2 \right] v(t) \quad (9)$$

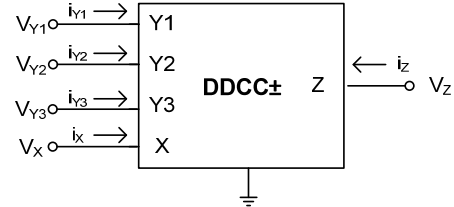
Kübik tanım bağıntısına uygun memristör gerçeklemesi için önerilen blok diyagram Şekil 2'de verilmiştir.



Şekil 2. Memristör gerçeklemesine ait blok gösterim

2.2.1. DDCC Yapısı ve Uç İlişkileri

DDCC (Diferansiyel Fark Akım Taşıyıcı) 5 uçlu aktif bir devre elemanı olup şematik gösterimi Şekil 3'te verilmiştir.



Şekil 3. DDCC şematik yapısı bağıntıları

DDCC'nin terminal ilişkileri (10) denklemi ile verilmiştir. Katsayı matrisinde ± 1 'in önündeki işaret + olduğunda yapı DDCC+, işaret - olduğunda DDCC- olmaktadır.

$$\begin{bmatrix} i_{Y1} \\ i_{Y2} \\ i_{Y3} \\ v_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_{Y1} \\ v_{Y2} \\ v_{Y3} \\ i_X \\ i_Z \end{bmatrix} \quad (10)$$

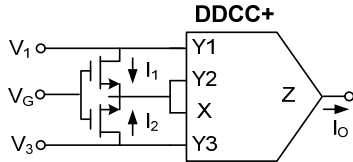
2.2.2. DDCC Kare Alıcı

DDCC temelli kare alıcı devre yapısı Şekil 4'de verilmiştir [8]. MOS triod bölgesi ilişkileri ile kare alıcının çıkış ifadesi (13) denklemindeki gibi elde edilir.

$$I_D = K \left[2(V_{GS} - V_T)V_{DS} - V_{DS}^2 \right] \quad (11)$$

$$K = \frac{1}{2} \mu C_{ox} \frac{W}{L} \quad (12)$$

$$\begin{aligned} I_O &= -(I_1 - I_2) = \\ &= -K \left[2 \left(V_G - \frac{V_1 + V_3}{2} - V_T \right) \left(V_1 - \frac{V_1 + V_3}{2} \right) - \left(V_1 - \frac{V_1 + V_3}{2} \right)^2 \right] \\ &= -K \left[2 \left(V_G - \frac{V_1 + V_3}{2} - V_T \right) \left(V_3 - \frac{V_1 + V_3}{2} \right) - \left(V_3 - \frac{V_1 + V_3}{2} \right)^2 \right] \quad (13) \\ &= \frac{K}{2} (V_1 - V_3)^2 = K_s (V_1 - V_3)^2 \end{aligned}$$

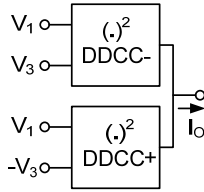


Şekil 4. DDCC kare alıcı

2.2.3. DDCC Çarpma Devresi

DDCC tabanlı çarpma devresi ise bu tipte iki tane kare alıcı devrenin Şekil 5'deki gibi bağlanması ile elde edilir. Buna ilişkin çıkış ifadesi (14) bağıntısı ile verilmiştir.

$$I_O = \left[\frac{K}{2} (V_1 + V_3)^2 - \frac{K}{2} (V_1 - V_3)^2 \right] = 2KV_1V_3 = K_M V_1V_3 \quad (14)$$



Şekil 5. DDCC çarpma devresi

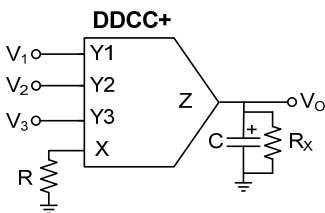
2.2.4. DDCC İntegral Alıcı

DDCC tabanlı integral alıcı devre Chiu vd. tarafından Şekil 6'da verilen biçimde önerilmiştir. R_X direncinin olmadığı durum için transfer fonksiyonu (15) denkleminde verilen biçimde elde edilir.

$$V_O = \frac{V_1 - V_2 + V_3}{sRC} \quad (15)$$

Çıkışta R_X direncinin kullanıldığı durum için (16) denklemi elde edilir.

$$V_O = \frac{1/RC}{s + 1/R_X C} (V_1 - V_2 + V_3) \quad (16)$$

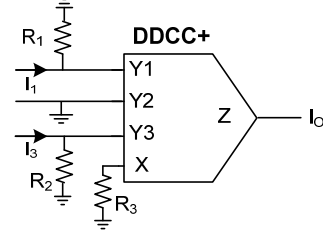


Şekil 6. DDCC integratör

2.2.5. DDCC Toplayıcı

DDCC temelli akım modlu toplayıcı yapısı Şekil 7'de verilmiştir. Devrenin çıkış ilişkisi (17) ile verilen biçimde kolayca elde edilir.

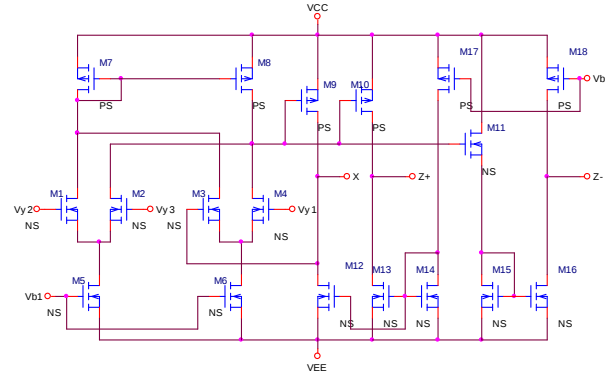
$$I_O = \frac{R_3}{R_1} I_1 + \frac{R_3}{R_2} I_2 \quad (17)$$



Şekil 7. DDCC toplayıcı

2.3. CMOS DDCC Devre Gerçeklemesi

Bu çalışmada kullanılan CMOS DDCC± gerçeklemesi Şekil 8'de verilmiştir [9]. MOS transistör geometrileri NMOS ve PMOS transistörler için sırasıyla $W/L=5\mu/1\mu$ and $W/L=10\mu/1\mu$ şeklindedir.



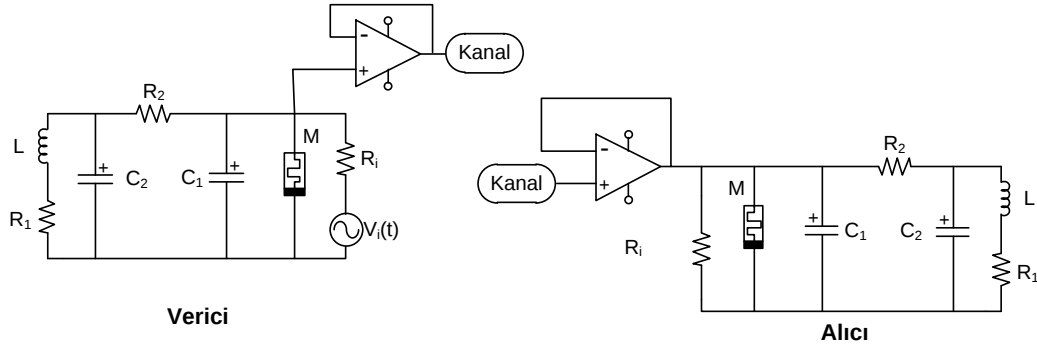
Şekil 8. CMOS DDCC devre yapısı

3. Memristör Temelli Kaotik Haberleşme Devresi

Önerilen memristör yapısı kullanılarak oluşturulan kaotik haberleşme devresi alıcı ve verici olarak çalışan iki Chua devresini içermektedir. Her iki Chua devresi de klasik olarak yapıda bulunan Chua diyotu yerine memristör kullanılarak yeniden tasarlanmıştır. Yapının devre şeması gösterimi Şekil 9 ile verilmiştir.

Oluşturulan sistemde vericide üretilen $V_i(t)$ işareti kaotik işaretlerle beraber iletilerek, aynı kaotik devre yapısına sahip alıcı blokta bilgi işaretinin kaotik işaretten ayrılması ve bu şekilde güvenilir bir iletişim sağlanması hedeflenmektedir.

Verici sistemde üretilen $V_M(t)$ işaretine bağlı olarak durum denklemleri yazılırsa (18) bağıntıları elde edilir.



Şekil 9. Memristör temelli kaotik haberleşme devresi

$$\begin{aligned} L \frac{di_L}{dt} &= -V_{C2} - i_L R_1 \\ C_2 \frac{dV_{C2}}{dt} &= i_L - \frac{1}{R_2} (V_{C2} - V_M) \\ C_1 \frac{dV_M}{dt} &= \frac{1}{R_2} (V_{C2} - V_M) - f(V_M) + \frac{V_i(t) - V_M}{R_i} \end{aligned} \quad (18)$$

Benzer şekilde alıcı sistem için,

$$\begin{aligned} L \frac{di'_L}{dt} &= -V'_{C2} - i'_L R_1 \\ C_2 \frac{dV'_{C2}}{dt} &= i'_L - \frac{1}{R_2} (V'_{C2} - V'_M) \\ C_1 \frac{dV'_M}{dt} &= \frac{1}{R_2} (V'_{C2} - V'_M) - f(V'_M) - \frac{V'_M}{R_i} \end{aligned} \quad (19)$$

elde edilir. Son bağıntıda yer alan dV_M/dt işaretine bağlı olarak bilgi işareti verici için aşağıdaki gibi elde edilir.

$$V_i(t) = R_i \left[C_1 \frac{dV_M}{dt} - \left(\frac{V_{C2} - V_M}{R_2} - f(V_M) \right) + \frac{V_M}{R_i} \right] \quad (20)$$

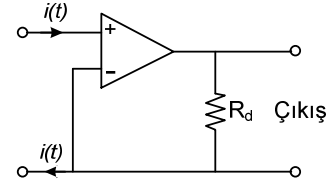
İfade akım cinsinden düzenlenirse,

$$i(t) = C_1 \frac{dV_M}{dt} - \left(\frac{V_{C2} - V_M}{R_2} - f(V_M) \right) + \frac{V_M}{R_i} \quad (21)$$

bağıntısına ulaşılır. Alıcı ve verici sistemlerin senkronize olacağı bilinmektedir [10]. Yapıdaki buffer elemanından dolayı $V_M(t) = V'_M(t)$ ilişkisi söz konusudur. Denklem (21) buna göre düzenlenirse,

$$i'(t) = C_1 \frac{dV'_M}{dt} - \left(\frac{V'_{C2} - V'_M}{R_2} - f(V'_M) \right) + \frac{V'_M}{R_i} \quad (22)$$

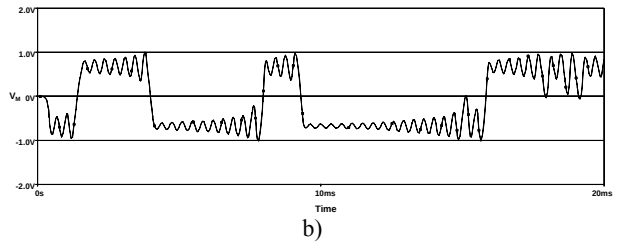
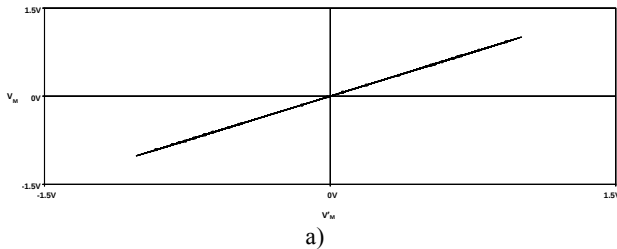
ifadesi elde edilir. Denklem (22) ile $i(t)$ akımının $V_i(t)$ bilgi işareti ile doğru orantılı olarak değişeceği görülmektedir. Buna göre Şekil 10 ile verilen bir akım dedektörü ile alıcı sistemde vericide oluşturulan bilgi işareti tekrar elde edilebilecektir. Kaotik haberleşme devresinde $R_i = 33.9k\Omega$ ve akım dedektöründe $R_d = 1,1k\Omega$ olarak seçilmiştir.



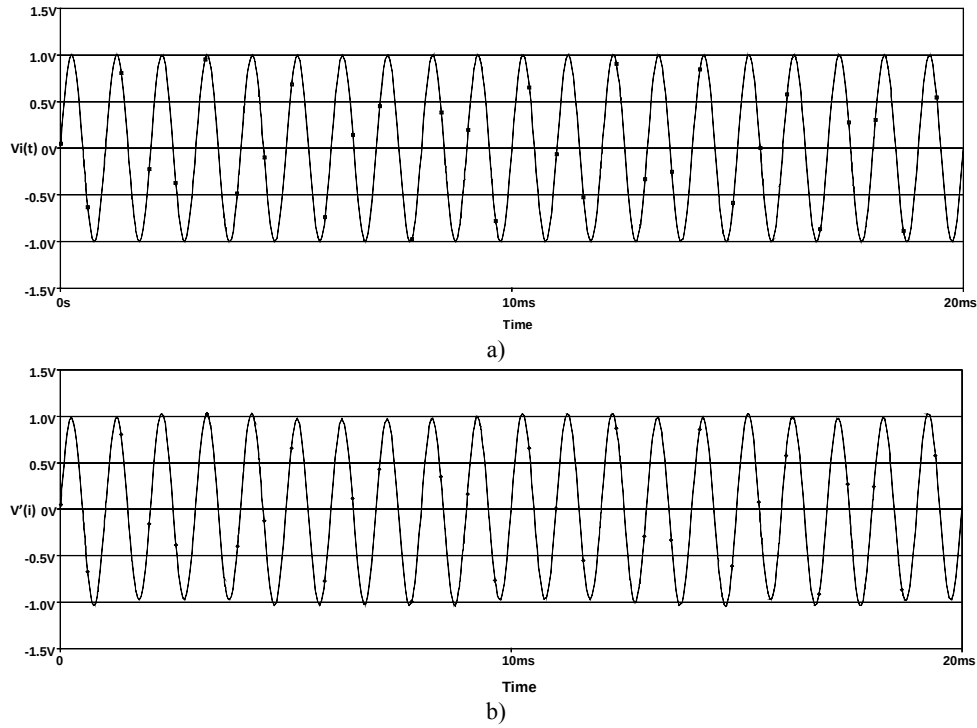
Şekil 10. Akım Dedektörü

3.1. Devrenin Benzetim Sonuçları

Oluşturulan kaotik haberleşme devresinin gerçekleştirilen PSPICE benzetim sonucunda elde edilen ortamdaki kaotik işaret ve kaotik senkronizasyon eğrisi Şekil 11'de verilmiştir. Bilgi işareti olarak 100mV genlikli sinüs işareti seçilmiştir. Gönderilen bu bilgi işareti ve buna karşılık alıcıda oluşan işaret ise sırasıyla Şekil 12'de sunulmuştur. Benzetimler sonucu elde edilen kaotik senkronizasyon eğrisinden ve elde edilen bilgi işaretinden görüldüğü üzere memristör temelli kaotik haberleşme devresi ile bilgi iletimi kaotik işaret kullanılarak doğru biçimde gerçekleştirilmiştir.



Şekil 11. PSPICE benzetimleri sonucu elde edilen a) kaotik senkronizasyon eğrisi b) ortamdaki kaotik işaret



Şekil 12. Memristör temelli kaotik haberleşme devresinden PSPICE benzetimleriyle elde edilen a) iletilen bilgi işareti b) alınan işaret

4. Sonuçlar

Bu çalışmada CMOS temelli yeni bir memristör gerçeğemesi verilmiş ve bunun memristör temelli kaotik haberleşme devresinde başarımı incelenmiştir. Gerçekleştirilen benzetimler sonucunda önerilen CMOS model ile gerçeğemen memristör modelinin gerekli kaotik davranışı sağladığı görülmüştür. Seçilen kaotik haberleşme sisteminin uygulamasının benzetim sonuçları ile de modelin başarımı ortaya konmuştur.

Memristörün aynı işlev için kullanılan alanın azalması, daha düşük güç tüketimi, sahip olduğu doğal doğrusal olmayan yapısı ile tasarlanan devrelere yeni olanaklar ve üstünlükler katacağı görülmektedir. Pratikte kullanılabilecek bir memristör yapısı mevcut olmadığından memristörün doğru biçimde modellenmesi önem taşımaktadır. Bu model memristör temelli oluşturulan tasarımlarda pratik gerçeğemelerin yerine kullanılabilir. Bu çerçevede oluşturulan CMOS modelin memristör temelli kaotik devrelerde kullanılabileceği ve bu alanda gerçeğemenin önemli katkı sağlayacağı düşünülmektedir.

5. Kaynaklar

- [1] Chua, L. O., "Memristor-The Missing Circuit Element", IEEE Trans. on Circuit Theory, Vol. 18, 507-519, 1971.
- [2] Strukov, D. B. et al., "The Missing Memristor Found", Nature, Vol 453, 80-83, 1 May 2008.
- [3] Williams, R. S., "How We Found The Missing Memristor", IEEE Spectrum, Vol. 45, 29-35, December 2008.
- [4] Yener, Ş., Kuntman, H., "CMOS Memristör Gerçeğemesi ve Kaotik Uygulamaları", SİU'2012: IEEE 20. Sinyal İşleme ve İletişim Uygulamaları Kurultayı, (Bildiri Kitabı-Bellek), 18-20 Nisan 2012, Lykia World, Ölüdeniz, Fethiye, Muğla.
- [5] Yener, Ş., Kuntman, H., "A New CMOS Based Memristor Implementation", (accepted for presentation) 2012 International Conference on Applied Electronics, University of West Bohemia, Pilsen, Czech Republic, 5 to 7 September 2012.
- [6] Zhong, G., "Implementation of Chua's circuit with a cubic nonlinearity", IEEE Trans. Circuits Syst. 41, 934-941, 1994.
- [7] Muthuswamy, B., "Implementing Memristor Based Chaotic Circuits", International Journal of Bifurcation and Chaos, Vol. 20, No. 5, 1335-1350, 2010.
- [8] Chiu, W. Liu, S.-I. Tsao, H.-W. Chen, J.-J., "CMOS differential difference current conveyors and their applications", IEEE Proceedings Circuits, Devices and Systems, V. 143, 91-96, 1996.
- [9] Chang, C. M.; Lee, C. N.; Hou C. L.; Horng J. W.; Tu C. K., "High-Order DDCC-based general mixed-mode universal filter", IEE Proceedings Circuits, Devices and Systems, V. 153, Issue: 5, 511-516, 2006.
- [10] Kılıç, R., "A Practical Guide for Studying Chua's Circuits", World Scientific Series on Nonlinear Science, Series A, Vol. 71.