

STANDART ÖKLİD MESAFESİ HESAPLAYAN BİR CMOS ANALOG DEVRENİN RBF AĞLARINA UYARLANMASI

Yusuf ÇOBAN¹Burcu KAPANOĞLU²Tülay YILDIRIM³

Yıldız Teknik Üniversitesi
Elektronik ve Haberleşme Müh. Böl.
34349 Beşiktaş-İstanbul

¹e-posta: yusuf_ytu@yahoo.com ²e-posta: bkapan@yildiz.edu.tr
³e-posta: tulay@yildiz.edu.tr

Anahtar Sözcükler: Öklid Mesafesi, Radyal Temelli Fonksiyon Ağları, Gauss Fonksiyonu

ÖZET

Standart öklid mesafesini hesaplayan bir CMOS analog devre, Radyal Temelli Fonksiyon Ağlarında (RBF) kullanılmak üzere uyarlanarak bir RBF nöron tasarımı gerçekleştirilmiştir. Devrede kullanılan transistörlerin sayısının ve boyutlarının kullanılan teknolojiye göre mümkün olduğunca küçük seçilmesi bu devrenin, çok sayıda bu işlem biriminden oluşan RBF ağlarında kullanımını uygun hale getirmektedir. Devrede bulunan tüm transistörler doyma bölgesinde çalıştırılmıştır. Devre tasarımı TÜBİTAK-Yital 1.5µ parametreleri kullanılarak gerçekleştirilmiş, Pspice simülasyon programı ile simülasyon sonuçları elde edilmiştir.

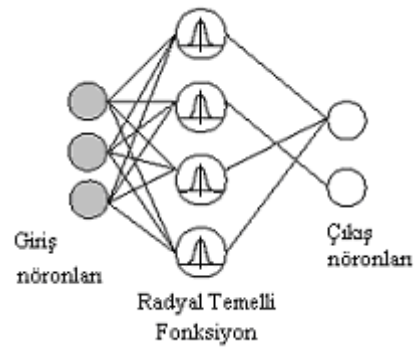
1. GİRİŞ

Radyal tabanlı fonksiyon ağlarının eğri uydurma ve lineer olmayan problemleri sınıflandırma başarımı ile son yıllarda popülerliği gittikçe artmıştır. Bununla birlikte RBF ağları ile ilgili yapılan yazılım ve donanım üzerine çalışmalar ivme kazanmıştır. Radyal tabanlı fonksiyonlar, sayısal analizde çok değişkenli interpolasyon problemlerinin çözümünde kullanılmış ve yapay sinir ağlarının gelişmesi ile birlikte bu fonksiyonlardan yapay sinir ağı tasarımında yararlanılmıştır. Gauss fonksiyonu RBF ağlarının gizli katmanında en yaygın kullanılan radyal tabanlı fonksiyondur. Literatürde çeşitli alanlarda kullanılmak üzere tasarlanmış birbirinden farklı gauss fonksiyon üretici devreleri mevcuttur [1,2]. Matematiksel fonksiyonların Taylor serisine açılımından faydalanarak elde edilen gauss eğrisi devreleri de literatürde yer almaktadır [3]. Gauss fonksiyonu gerçeklemek amaçlı yapılan bir çalışma RBF yapısında kullanılmak istenilirse bu devreye öklid mesafesini hesaplayan ek bir yapı gerekmektedir.

Bu çalışmada daha önce çok katmanlı flash belleklerde kullanılan standart öklid mesafesi hesaplayıcı bir CMOS analog devre [4] kullanılarak bir RBF nöron tasarlanmıştır.

2. RBF AĞLARI

Radyal tabanlı fonksiyon ağı tasarımı çok boyutlu uzayda eğri uydurma yaklaşımıdır. Bu nedenle RBF'in eğitimi çok boyutlu uzayda eğitim verilerine en uygun bir yüzeyi bulma problemine dönüşür. RBF'in genellemesi ise test verilerini interpolate etmek amacıyla, eğitim sırasında bulunan çok boyutlu yüzeyin kullanılmasına eşdeğerdir. RBF ağları, giriş, orta ve çıkış olmak üzere üç katmandan oluşur (Şekil 1) ancak giriş katmanından orta katmana dönüşüm herhangi bir ağırlıkla çarpılmadan direkt olarak yapılır. Orta katmandan çıkış katmanına dönüşüm ise bir ağırlıkla çarpılarak yapılır. Bu metodun temel çalışma prensibi N-boyutlu uzaydaki verileri farklı sınıflara veya kategorilere ayırıyor olmasıdır. Her kategori bir merkez içermekte ve girişlerin kategorilere ayrılması bu merkezler sayesinde olmaktadır. Sınıflama N-boyutlu giriş vektörü ile merkez vektörü arasındaki öklid mesafesinin hesaplanmasıyla yapılmaktadır.



Şekil.1. Radyal Temelli Ağ Yapısı

RBF'in genel matematiksel ifadesi aşağıda verilmiştir.

$$s_j(x) = \sum_{i=1}^N w_{ij} \cdot \phi_i(x) + b_j \quad (1)$$

V_x gerilimi 1 boyutlu uzayda öklid mesafesini ifade etmektedir. V_{RBF} geriliminin maksimum değeri, giriş geriliminin merkez gerilimine eşit olduğunda elde edilir. Giriş gerilimi ile merkez gerilimi arasındaki farkın büyümesi halinde çıkış gerilimi (V_{RBF}) 0'a yakınsamaktadır.

$$V_{RBF} = V_{DD} - \left| V_{T,p} \right| - V_x \quad (8)$$

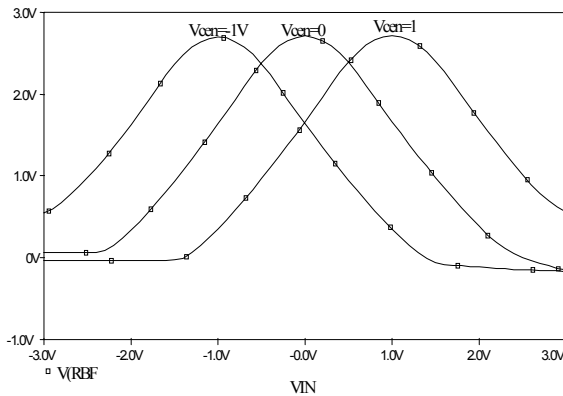
Devre tasarımı TÜBİTAK-Yital 1.5μ parametreleri kullanılarak gerçekleştirilmiş, devrede kullanılan M1, M2, M3, M4 transistörlerine ait boyutlar Tablo 1'de verilmiştir.

Tablo-1. Transistör Boyutları

	M ₁	M ₂	M ₃	M ₄
W/L	45/1.5	3/1.5	3/1.5	45/1.5

4.SİMÜLASYON SONUÇLARI

Gerçeklenen devre için farklı merkez değerlerine göre çıkış geriliminin, giriş gerilimi ile değişim eğrisi Pspice simülasyon programı kullanılarak elde edilmiştir (Şekil 3). Eğriden görüldüğü gibi giriş gerilimi ile merkez gerilimi birbirine eşit olduğunda çıkış gerilimi maksimuma yakınsamıştır. Giriş gerilimi ile merkez gerilimi arasındaki fark büyüdükçe, çıkış gerilimi sıfıra yakınsamaktadır. Buna göre, elde edilen eğri (2) nolu eşitlik ile verilen gauss eğrisinin özelliğini taşımaktadır. Şekil 3'te 3 farklı merkez değeri ($V_{CEN} = -1V$; $V_{CEN} = 0V$; $V_{CEN} = 1V$) için çıkış geriliminin, giriş gerilimi ile değişimi görülmektedir. Simülasyon sonuçları Pspice simülasyon programı ile elde edilmiştir.



Şekil-3. Farklı Merkez Değerlerine Göre Çıkış Akımının Giriş Gerilimi ile Değişim Eğrisi

5.SONUÇ

Bu çalışma ile standart öklid mesafesini hesaplayan bir CMOS analog devre RBF ağlarında kullanılmak

üzere uyarlanmıştır. Çıkış geriliminin maksimum değeri, giriş geriliminin merkez gerilimine eşit olduğu durumda elde edilir. Giriş gerilimi ile merkez gerilimi arasındaki farkın büyümesi halinde çıkış gerilimi minimum değeri olan 0'a yakınsamaktadır. Bu özelliği ile çıkış geriliminin giriş gerilimi ile değişim ifadesi gauss eğrisine uymaktadır. Devrede kullanılan transistörlerin sayısının ve boyutlarının kullanılan teknolojiye göre mümkün olduğunca küçük seçilmesi, bu devrenin, çok sayıda bu işlem biriminden oluşan RBF ağlarında kullanımını uygun hale getirmektedir.

KAYNAKLAR

- [1] Madrenas J., Verleysen M., Thissen P., and Voz J. L. "A CMOS Analog Circuit for Gaussian Functions" IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol.43, No. 1, January 1996.
- [2] Choi J., Sheu B.S., and Chang J.C.F., "A Gaussian Synapse Circuit for Analog VLSI Neural Networks" IEEE Transactions On Very Large Scale Integration (VLSI) Systems, Vol. 2, No. 1, March 1994.
- [3] Abuelma'atti M.T., "Transactions Briefs" IEEE Transactions on Circuits and Systems—I: Fundamental Theory and Applications, Vol. 49, No. 10, October 2002.
- [4] Montanari D., Houdt J.V., Groeseneken G., Maes H.E. "Novel Level-Identifying Circuit for Flash Multilevel Memories", IEEE Journal of Solid-State Circuits, Vol.33, No.7, July 1998.