

# YENİ BİR HIZLI ARA DEĞERLİ ÇARPICI TASARIMI

Fethullah KARABİBER<sup>1</sup> Ahmet SERTBAŞ<sup>1</sup>

<sup>1</sup>Bilgisayar Mühendisliği Bölümü  
Mühendislik Fakültesi, İstanbul Üniversitesi  
34320, Avcılar, İstanbul

[fetullah@istanbul.edu.tr](mailto:fetullah@istanbul.edu.tr), [asertbas@istanbul.edu.tr](mailto:asertbas@istanbul.edu.tr)

## ABSTRACT

*Interval arithmetic is preferred much more applying reliable and accurate computations, since it deals with sets of values, where the true result lies within. Using the technique of calculating the lower and upper bounds of the interval where the real, may be computationally not representable, is included, makes interval arithmetic more reliable and more accurate.*

*In this paper, a new parallel hardware unit for interval multiplication is presented. Using the VHDL synthesis results, the area and delay estimates for the new design are given. Compared to previous hardware interval multipliers, our design is more faster, but, requires more area.*

**Anahtar Sözcükler:** Ara değerli çarpma,, VHDL sentezi, performans analizi

## 1. GİRİŞ

Günümüzde, yüksek teknolojiyle imal edilmiş bilgisayar sistemlerinin güvenli ve doğru hesaplamaların uygulanmasına gerek duyulduğundan dolayı, ara değerli aritmetiğin kullanılması ve geliştirilmesi önemli bir konudur. Bununla birlikte, reel aritmetiği kullanan geleneksel gerçeklemeler, yuvarlama hataları ve reel dünya değerlerinin karmaşıklığından dolayı yüksek performanslı kontrol sistemleri için ihtiyaç duyulan doğruluğu elde etmede başarısız olmuşlardır.

Bu alanda, sonucun doğru değerlerini içinde bulundurması nedeniyle ara değerli aritmetik reel aritmetikten daha çok tercih edilmektedir. Ara-değerli aritmetik kullanılarak daha güvenilir ve doğru hesaplama yapılabilir. Yazılım gerçekleştirilmesi, ara değerli aritmetikte hesaplamalar için yeterli performansı başaramamaktadır. Buna karşın, yüksek donanım gerçekleştirme alanı ihtiyacına rağmen, etkin ve yeterli performans gösteren donanımsal tasarımlar geliştirilebilmektedir.

Ara değerli hesaplamada yüksek performansı başarmak için donanım desteği gerekmektedir. Literatürde, ara değerli aritmetiğin performansını geliştirmek için bazı donanım tasarımları önerilmektedir[1-6]. Seri ve paralel ara değerli çarpma işlemi için yüksek bir performansa sahip donanım devreleri önerilmiştir[4].

Bu çalışmada, hızlı bir ara değerli çarpma devresi tasarlanmıştır. Bu tasarım, [4] de önerilen paralel ara değerli çarpma devresinin geliştirilmesi ile yapıldı. Bölüm 2’de, yeni bir ara değerli çarpma devresi verildi. Bölüm 3’te, yeni tasarımın alan ve hız açısından elde edilen sonuçları ve daha önceki ara değerli çarpma devresi [4] ile karşılaştırılarak verildi. Bölüm 4’te ise elde edilen sonuçlar sunuldu.

## 2. ARA DEĞERLİ ÇARPICI TASARIMI

$X=[x_l, x_u]$  ve  $Y=[y_l, y_u]$  için ara değerli çarpma işlemi aşağıdaki gibi hesaplanabilir.

$$Z = X.Y \\ = [\min(\nabla x_l y_l, \nabla x_l y_u, \nabla x_u y_l, \nabla x_u y_u), \max(\blacktriangle x_l y_l, \blacktriangle x_l y_u, \blacktriangle x_u y_l, \blacktriangle x_u y_u)] \quad (1)$$

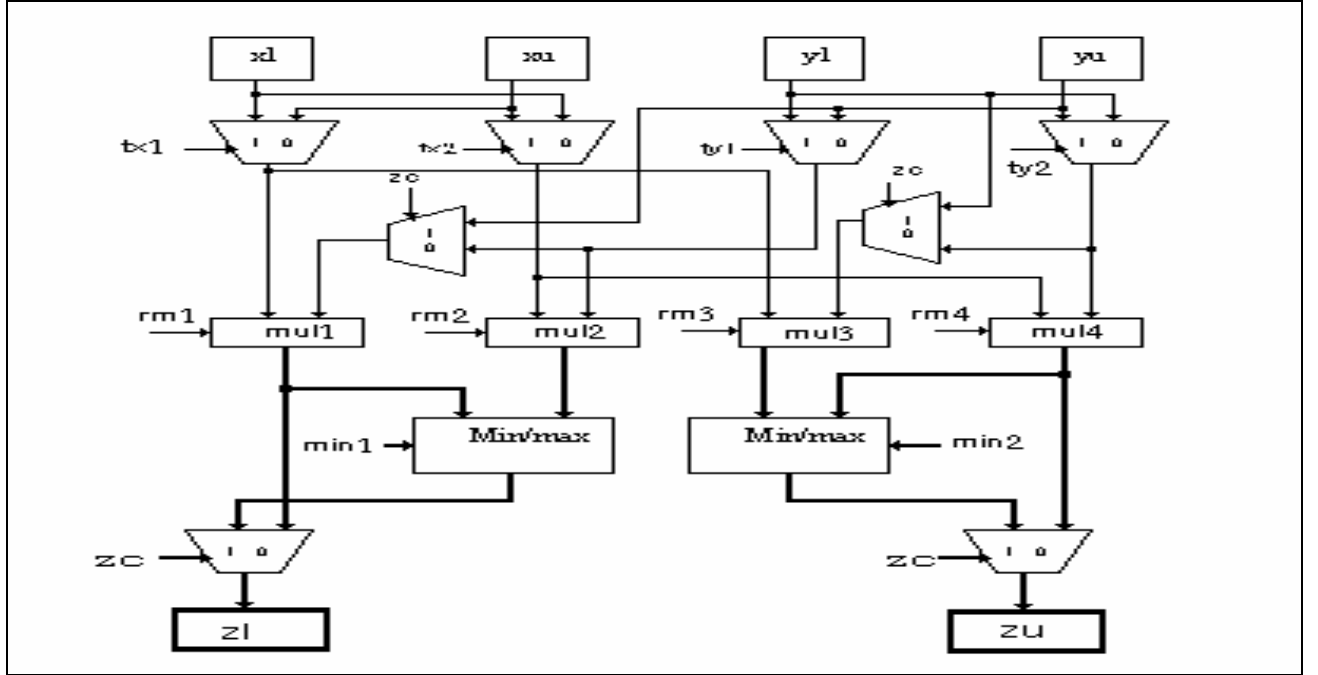
Burada  $\nabla$  and  $\blacktriangle$ , sırasıyla eksi sonsuza doğru aşağı yuvarlama ve artı sonsuza doğru yukarı yuvarlama işlemlerini temsil etmektedir.

Bu makalede performans sağlayan [4] deki yöntemden yola çıkılarak ara değerli alt-üst limitler ve yuvarlama sonuçları elde edilmiştir. Çarpma sonuçlarını  $z_l$  ve  $z_u$  elde etmek için, Tablo 1 de gösterilen sayıların işaret bitleri ( $S_{x_l}$ ,  $S_{x_u}$ ,  $S_{y_l}$ ,  $S_{y_u}$ ) birlikte incelenerek hangi ara değerli alt  $\{x_l, y_l\}$  ve üst  $\{x_u, y_u\}$  limitlerin kullanılacağına karar verilmektedir. Tablo-1’de gösterildiği gibi, çoğullayıcıların (multiplexer) girişi olarak kullanılan  $z_c$ ,  $tx_1$ ,  $tx_2$ ,  $ty_1$ ,  $ty_2$  kontrol bitleri her bir çarpıcı devresinde çarpılacak olan limit değerlerini seçmektedir.

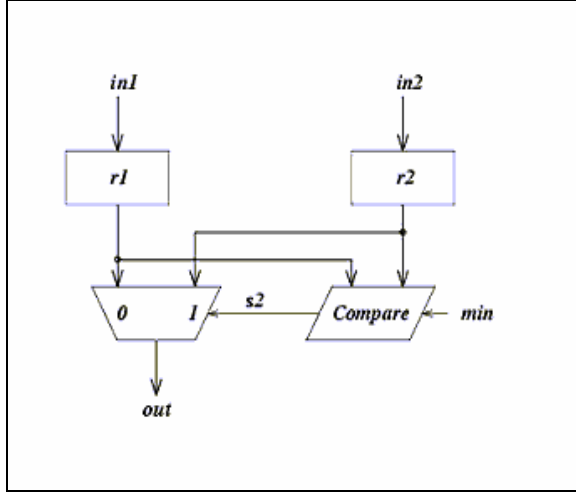
**Tablo-1:** Ara değerli çarpma için bütün durumlar

Durum	X	Y	Sxl	Sxu	Syl	Syu	Z = X * Y	zc	tx1	tx2	ty1	ty2
1	X>[0,0]	Y>[0,0]	0	0	0	0	[ xl*yl, xu*yu ]	0	1	1	1	1
2	X>[0,0]	Y<[0,0]	0	0	1	1	[ xu*yl, xl*yu ]	0	0	0	1	1
3	X<[0,0]	Y>[0,0]	1	1	0	0	[ xl*yu, xu*yl ]	0	1	1	0	0
4	X<[0,0]	Y<[0,0]	1	1	1	1	[ xu*yu, xl*yl ]	0	0	0	0	0
5	0 ∈ X	Y>[0,0]	1	0	0	0	[ xl*yu, xu*yu ]	0	1	1	0	1
6	0 ∈ X	Y<[0,0]	1	0	1	1	[ xu*yl, xl*yl ]	0	0	0	1	0
7	X>[0,0]	0 ∈ Y	0	0	1	0	[ xu*yl, xu*yu ]	0	0	1	1	1
8	X<[0,0]	0 ∈ Y	1	1	1	0	[ xl*yu, xl*yl ]	0	1	0	0	0
9	0 ∈ X	0 ∈ Y	1	0	1	0	*[ mn, mx ]	1	1	1	1	1

\*mn=min(▼(xl\*yu), ▼(xu\*yl)), mx=max(▲(xl\*yl), ▲(xu\*yu))



**Şekil-1.** Ara değerli paralel çarpma için önerilen yapı 'Geliştirilmiş Paralel Ara-değerli Çarpıcı'



Şekil-2: Min/Max birimi

Şekil-1 ve Şekil-2, sırasıyla önerilen ara değerli çarpıcı devresinin ve min/max biriminin blok diyagramını göstermektedir. Kontrol ve yuvarlama modları için boolean eşitlikleri aşağıda verilmiştir.

$$\begin{aligned}
 tx1 &= \overline{Syl} + Sxl * \overline{Syu} + Zc, \\
 tx2 &= \overline{Syl} + Sxl * Syu + Zc, \\
 ty1 &= \overline{Sxl} + Syl * \overline{Sxu} + Zc, \\
 ty2 &= \overline{Sxl} + Syl * Sxu + Zc \\
 Zc &= Sxl * \overline{Sxu} * Syl * \overline{Syu} \\
 rm1 = rm2 &= c, \quad rm3 = rm4 = \bar{c}
 \end{aligned}
 \quad (2)$$

Burada, rm1 ve rm2 mod bitleri eksi sonsuza doğru yuvarlama, rm3 ve rm4 mod bitleri ise artı sonsuza doğru yuvarlama için kullanılmaktadır.

Eğer X ve Y her ikisi de sıfır değeri içermiyorsa (ilk sekiz durum için), alt ve üst ara değerli limit değerleri hesaplamak için bir saat çevrimi yetmektedir. Diğer durumda ise yani hem X hem de Y sıfır içeriyorsa (durum 9) ara değerli çarpma işlemi için sadece iki saat çevrimi yeterli olmaktadır. Birinci saat çevriminde, 4 çarpıcı da kullanılarak son noktaların üretimi yapılır. İkinci saat çevriminde, birinci min\max birimi, min1 kontrol sinyaline göre birinci ve ikinci çarpıcıların çıkış değerlerinin minimumuna karar verir. İkinci min\max birimi ise, min2 sinyaline bağlı olarak üçüncü ve dördüncü çarpıcıların değerlerinin maksimumuna karar verir. Çıkış saklayıcıları, verilen çıkışların alt ve üst limit değerleri için gerekli ara çarpım sonuçlarını yükler. Bu adımlar Tablo-2 de gösterilmektedir.

Min/max biriminde, min = 1 ve r1 < r2 veya min = 0 ve r1 >= r2 olduğu zaman saklayıcı büyük değeri içerir ve s2 = 0 olur ve bunun sonucunda r1 deki değer çıkış olur. Diğer durumlarda ise s2 = 1 olur ve r2 deki değer çıkış olur. Çarpılacak limit değerlere tx, ty bitlerinin değeri(0,1) karar verir. 1 değeri için, alt limit, diğer durumda ise üst limit seçilir. Eğer, yuvarlama modu rm=0 ise, sonuç -sonsuz yuvarlanır, diğer durumda ise +sonsuz yuvarlanır.

Tablo-2. Yürütme adımları

Saat Çevrimi	C	İşlem
1	0	$r1 = \nabla(xl*yu), r2 = \nabla(xu*yl), r3 = \blacktriangle(xl*yl), r4 = \blacktriangle(xu*yu)$
2	1	Set $zl = \min(r1, r2)$ , Set $zu = \max(r3, r4)$

### 3.KARŞILAŞTIRMALI VHDL SENTEZİ

Seri, paralel ve önerilen ara değerli çarpıcıların davranışları ve mimarileri Model-Sim kullanılarak lojik seviyede simule edildi. Daha sonra Quartus VHDL (Version II) kullanılarak sentezlemesi yapıldı. Yapılan sentez sonucunda toplam lojik hücre sayısı, tahmin edilen yonga alanı, saat çevrimi frekansı ve toplam işlem gecikmesi elde edildi. Elde edilen bu değerler Tablo-3 te karşılaştırmalı olarak verilmiştir. Burada toplam gecikme süresi (3) ile hesaplandı.

$$\begin{aligned}
 \text{TahminiToplamGecikme} &= \\
 &[ \text{Saatçevrm}_1 * (8/9) + \text{Saatçevrm}_2 * (1/9) ] / \text{Saat\_frekns}
 \end{aligned}
 \quad (3)$$

Seri ve paralel ara değerli çarpıcılarla karşılaştırıldığı zaman, önerilen tasarım daha fazla yonga alanına gereksinim duymaktadır. Ayrıca, yeni ara değerli çarpıcı ara değerli çarpma işlemi için gerekli saat çevrimi sayısı bakımından diğer tekniklere göre daha düşüktür. Saat frekansı kriterine göre ise seri çarpıcıdan daha yüksek olmasına karşın, paralel çarpıcıdan daha düşük bir değere sahiptir. Toplam gecikme değerine baktığımız zaman sırasıyla paralel ve seri çarpıcı devresinden yüzde 6 ve yüzde 105 oranında daha hızlıdır.

**Tablo-3.** Ara değerli çarpıcıların performans karşılaştırması

Performans Ölçütleri	Seri (Schulte)	Paralel (Schulte)	Önerilen
Saat_çevrimi1 (Zc=0)	2	1	1
Saat_çevrimi1 (Zc=1)	5	3	2
Toplam Lojik Hücreleri	866	1373	2516
Yonga Alanı(Tahmini)/mm <sup>2</sup>	60	96	173
Saat Frekansı/MHz.	75.75	80.65	77.65
Toplam Gecikme- ns	30.8	15.15	14.31

#### 4. SONUÇ

Bu çalışma, ara değerli çarpıcı için yeni bir donanım tasarımı önermektedir. Elde edilen sonuçlara göre, bu makalede geliştirilmiş paralel çarpıcı önceki paralel tasarıma[4] göre daha hızlı, ancak yonga alanı kullanımı açısından biraz daha fazladır. Özellikle hızın çok önemli olduğu sistemlerde geliştirilmiş yapı kullanılabilir. Bu yapı aynı zamanda klasik tasarıma göre, daha doğru ve güvenilir bir özelliğe sahiptir. Bundan dolayı, güvenilirlik ve doğruluğun önemli olduğu sistemler bu yapıyı kullanabilirler.

Bir sonraki adımda, daha az alan kaplayan bir yapı geliştirilebilir. Bununla birlikte, üs alma, karakök alma gibi diğer ara değerli işlemler incelenerek yazılım veya donanım gerçeklemeleri yapılabilir.

#### KAYNAKLAR

[1] M. J. Schulte and E. E. Swartzlander, Jr., "A Hardware Design and Arithmetic Algorithms for a Variable-Precision, Interval Arithmetic Coprocessor," in Proceedings of the 12th Symposium on Computer Arithmetic, pp. 163-171, IEEE Computer Society Press, 1995.

[2] J. Wolf Von Gudenberg, "Hardware Support for Interval Arithmetic" In: Scientific Computing and Validated Numerics, pp. 32-37, Akademie Verlag, 1996.

[3] M. J. Schulte and E. E. Swartzlander, Jr., "Variable-Precision, Interval Arithmetic Coprocessors," Reliable Computing, vol. 2, no. 1, pp. 47-62, 1996.

[4] M. J. Schulte, K. C. Bickerstaff, E. E. Schwartzlander, Jr., "Hardware Units for Interval Multiplication." Proceedings of the 2nd Workshop of Computer Arithmetic, Interval, and Symbolic Computations, pp. 85-87, 1996.

[5] J. E. Stine and M. J. Schulte, "A Combined Interval and Floating Point Multiplier", Proceedings of the 8th. Great Leak Symposium on VLSI, Lafayette, LA, pp. 208-213, February, 1998.

[6] Gerald Shawn Williams "PROCESSOR SUPPORT FOR INTERVAL ARITHMETIC" thesis for master degree, Lehigh University, May 1998.