

DİFERANSİYEL FARK AKIM TAŞIYICI İÇİN YENİ CMOS YAPISI

Muhammed A. İBRAHİM¹

Hakan KUNTMAN²

^{1,2}Elektronik ve Haberleşme Mühendisliği Bölümü

Elektrik-Elektronik Fakültesi

İstanbul Teknik Üniversitesi, 80626, Maslak, İstanbul

¹e-posta: ibrahimm@itu.edu.tr

²e-posta: kuntman@ehb.itu.edu.tr

Anahtar sözcükler: Diferansiyel Fark Akım Taşıyıcı DDCC, CMOS, Akım Modlu Devreler

ABSTRACT

In this paper, a new CMOS configuration for differential difference current conveyor (DDCC) is proposed. The proposed circuit provides good linearity, very high input impedance at port-Y, very high output impedance at port-Z, very low input impedance at port-X and very low current tracking error of I_Z .

1. GİRİŞ

Son zamanlarda akım modlu analog tümdevreleri üzerine CMOS teknolojisinde yapılan çalışmalar gittikçe yoğunlaşmaktadır. Akım modlu devreler yüksek frekanslardaki performansı, yüksek doğrusallığı ve geniş dinamik çalışma aralığı gibi özelliklere sahiptir [1]. Akım taşıyıcılar (CC) [2-3], işlemsel geçiş iletkenliği kuvvetlendiricisi (OTA) [4-5] dört uçlu yüzen nulör (FTFN)[6-7] gibi akım modlu olarak çalışan yeni ve daha değişik yapıdaki aktif elemanlar güncel hale gelmekte, bunlara ilişkin yeni aktif eleman topolojileri üretilmektedir. Bu tekniklerden akım taşıyıcılar (CC) çok kullanışlı bir yapı bloku olduğunu göstermiştir. İkinci kuşak akım taşıyıcıların (CCII) çeşitli aktif devrelerin gerçekleştirilmesinde çok geniş bir kullanım sağlamaktadır [8-10]. Diğer yandan, diferansiyel fark kuvvetlendirici DDA (*differential difference amplifier*) son zamanlarda sunulmuştur [11]. DDA elemanı kullanılarak literatürde bir çok uygulama devresi verilmiştir [12-13]. DDA'nın yüksek giriş empedanslı olmasından ve matematiksel işlemleri yapabilmesinden bu elemanı içeren devreler CCII elemanını içeren devrelere göre daha az sayıda eleman içermektedir.

CCII ve DDA elemanların avantajlarını birleştiren yeni iki tane eleman bulundurulmuştur, bunlar diferansiyel fark akım taşıyıcı DDCC (*differential difference current conveyor*) [14] ve diferansiyel gerilim akım taşıyıcı DVCC (*differential voltage current conveyor*)dir [15]. Adı geçen elemanları içeren uygulama devreleri de literatürde verilmiştir [16-19]. Bu çalışma, DDCC+ için iyileştirilmiş yeni bir CMOS yapısı sunulmuştur. Önerilen devrenin X-ucunun çok düşük empedanslı, Y ve Z uçlarının çok yüksek empedanslı olmaları, iyi doğrusallığı ve akım çıkışı/

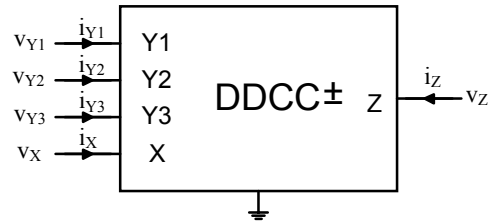
giriş kazanç oranının iyi olması gibi özelliklere sahiptir. Devrenin DC, AC ve transit özellikleri PSPICE simülasyon programı ile gösterilmiştir.

2. DDCC TANIM BAĞINTILARI

DDCC elemanı şematik olarak Şekil-1'de gösterilmiştir. Elemanın tanım bağıntıları matrisel olarak

$$\begin{bmatrix} i_{Y1} \\ i_{Y2} \\ i_{Y3} \\ v_X \\ i_Z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_{Y1} \\ v_{Y2} \\ v_{Y3} \\ i_X \\ i_Z \end{bmatrix} \quad (1)$$

şeklinde. (1) bağıntısında + ve - işaretleri sırasıyla DDCC+ elemanını ve DDCC- elemanını göstermektedir.

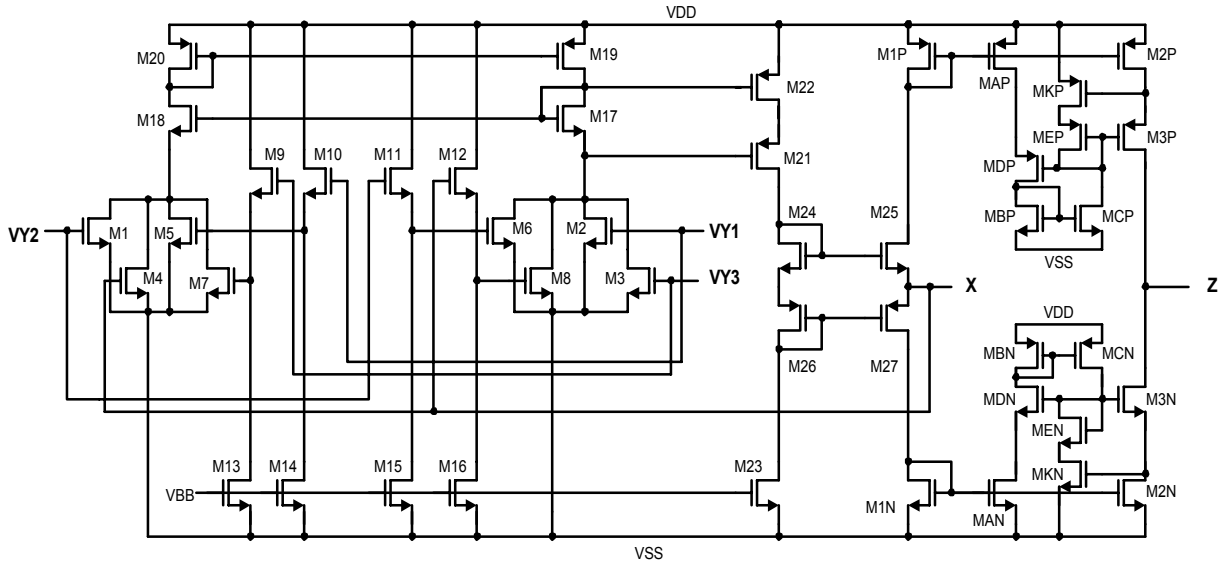


Şekil-1 DDCC sembolü

3. ÖNERİLEN CMOS DDCC DEVRESİ

Önerilen devre yapısının temel prensibi [14]'de verilen devre prensibiyle aynıdır. Ancak yapı blokları daha yüksek performanslı yapı bloklarıyla değiştirilmiş ve gerekli düzeltmeler yapılarak ortaya konulmuştur.

Yapı bloklarından olan klasik diferansiyel geçiş iletkenliği devresinde temel problem, içerdiği transistorların kaynaklarının kutuplama devresidir. Bu transistorların kaynakları düşük empedanslı olduklarından kutuplama devresi tamponlaşmış çıkış gerilimi devresini oluşturmaktadır. Diferansiyel geçiş iletkenliği devresinin transistorlarının birinin geçidine gelen bir gerilim değişimiyle değişen kuyruk akımı



Şekil-2. Önerilen CMOS DDCC+ Yapısı

kutuplanmış transistörlerin V_{GS} gerilimlerinin sabit kalmamasına neden olur. Bu şekilde her iki transistörün geçitleri arasında bir izleme hatası oluşur. Bir diferansiyel geçit iletkenliği üzerine kurulan sade bir akım taşıyıcı yapısında bu geçitlerin biri Y ucu diğeri de X ucu olduğundan V_Y ve V_X gerilimleri arasında bir gerilim izleme hatası oluşur. Bu problem dört eş NMOS transistör içeren yeni bir yapıyla çözülmüştür [20]. Bu yeni yapıya dayanarak M1-M16 transistörlerinden oluşan bir CMOS tam diferansiyel geçiş iletkenlik devresi, önerilen DDCC+ devresi için giriş bloku olarak tasarlanmıştır. M1-M8 transistörleri eş transistörler olmak üzere, akımları M9-M16 transistörlerden oluşan dört kutuplama devresiyle doğrusallaştırılmıştır. M17-M20 transistörlerinden oluşan yüksek kazançlı devre, diferansiyel akımı tek çıkışlı akıma dönüştürmektedir. M21-M27 transistörlerinden oluşan topoloji ise, X ucunun empedansını düşürme fonksiyonunu gerçekleştirmektedir [21]. Aşağıdaki ilişkiyi elde etmek üzere X ucundan M4 ve M12 transistörlerin geçitlerine bir negatif geribesleme yapılmıştır

$$v_X = v_{Y1} - v_{Y2} + v_{Y3} \quad (2)$$

Çıkış katının performansını iyileştirmek üzere Zeki ve Kuntman [22] tarafından önerilen çıkış katı devresi kullanılarak Z ucu oluşturulmuştur. Bu kat, M1P, M2P, M3P, MAP, MBP, MCP, MDP, MEP, MKP ve M1N, M2N, M3N, MAN, MBN, MCN, MDN, MEN, MKN transistörleri içeren iki eşlenik, dikkatli, çok yüksek çıkış empedanslı, aktif geribeslemeli kaskod akım aynalarından oluşmaktadır. Çıkış katındaki M2, M3 ve MK transistörlerinden oluşan düzeltilmiş-geçit-kaskod RGC (regulated-gate-cascode) bölümleri ve MK-kaynak izleyici M3 ile oluşan negatif geri

besleme sonucunda çok yüksek empedanslı çıkış elde edilmiştir. Ayrıca, MB-MC akım aynası RGC blokunu kullanarak çok yüksek çıkış empedansa sahip olmuştur. Bu şekilde I_{Ki} akımı ($i=N,M$) I_{li} akımına bağımlı olmasıyla her hangi bir I_X akım seviyesi için $V_{GSKi}=V_{GSli}$ yani $V_{DS2i}=V_{DS1i}$ eşitlikleri elde edilir. Güç ve kırılmak alanı kazanmak için MA_i ve MK_i transistörleri M1i transistöründen bir ölçüde daha küçük alınabilir, yani $(W/L)_{Ai}=(W/L)_{Ki}=(W/L)_{1i}/\kappa$, burada $\kappa>1$. O zaman MBi-MCi'nın eş olması $I_{Ki}=I_{li}/\kappa$ eşitliğinin elde edilmesi için yeterlidir. MDi ve MEi transistörleri, $V_{DSAi}=V_{DSKi}=V_{DSli}$ eşitliğini elde etmek için ek transistörler olarak kullanılmıştır.

Tablo-1: 0.5 μm MIETEC CMOS proses model parametresi.

<pre> .MODEL NT NMOS LEVEL=3 UO=460.5 +TOX=1.0E-8 TPG=1 VTO=.62 JS=1.8E-6 +XJ=.15E-6 RS=417 RSH=2.73 LD=0.04E-6 +ETA=0 VMAX=130E3 NSUB=1.71E17 PB=.761 +PHI=0.905 THETA=0.129 GAMMA=0.69 +KAPPA=0.1 AF=1 WD=.11E-6 CJ=76.4E-5 +MJ=0.357 CJSW=5.68E-10 MJSW=.302 +CGSO=1.38E-10 CGDO=1.38E-10 +CGBO=3.45E-10 KF=3.07E-28 DELTA=0.42 +NFS=1.2E11 .MODEL PT PMOS LEVEL=3UO=100 TOX=1E-8 +TPG=1 VTO=-.58 JS=.38E-6 XJ=0.1E-6 RS=886 +RSH=1.81 LD=0.03E-6 ETA=0 VMAX=113E3 +NSUB=2.08E17 PB=.911 PHI=0.905 THETA=0.120 +GAMMA=0.76 KAPPA=2 AF=1 WD=.14E-6 +CJ=85E-5MJ=0.429 CJSW=4.67E-10 MJSW=.631 +CGSO=1.38E-10 CGDO=1.38E-10 +CGBO=3.45E-10 KF=1.08E-29 DELTA=0.81 +NFS=0.52E11 </pre>
--

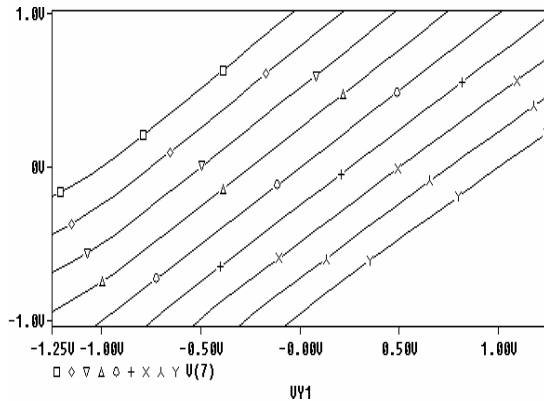
4. SİMÜLASYON SONUÇLARI

Bu çalışmada önerilen CMOS DDCC+ devresinin performansı, Tablo-1'de verilen 0.5 μm MIETEC CMOS proses model parametreleri kullanılarak PSPICE simülasyon programı yardımıyla gösterilmiştir. Kullanılan MOS transistörlerin boyutları Tablo-2'de verilmiştir. Güç kaynakları $V_{DD}=2.5\text{V}$, $V_{SS}=-2.5\text{V}$ ve $V_{BB}=-1.65\text{V}$ olarak seçilmiştir.

Tablo-2: Önerilen devrenin transistor boyutları

TRANSİSTÖR	W (μm)	L (μm)
M1-M8	1	30
M9-M16	10	1
M17-M20	15	0.5
M21-M22	25	0.5
M23	10	1
M24-M27	5	0.5
M1P,M2P,M3P	10	0.5
MAP,MDP,MEP	10	0.5
MKP	1	0.5
MBP	5	0.5
M1N,M2N,M3N	5	0.5
MAN,MDN,MEN	5	0.5
MKN	0.5	0.5
MBN	10	0.5

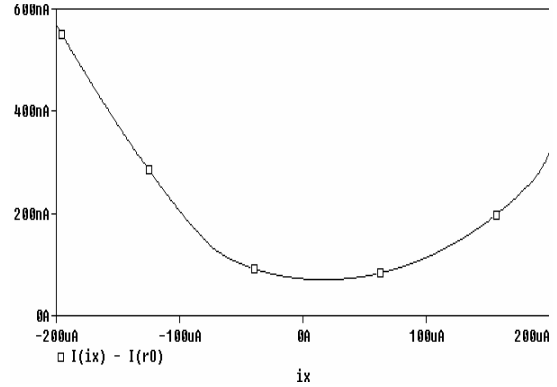
Şekil-3 devrenin DC $V_X=f(V_{Y1},V_{Y2},V_{Y3})$ özelliklerini göstermektedir. $V_{Y3}=0$ ve V_{Y2} parametre alınarak V_{Y1} 'in $\pm 1.25\text{V}$ aralığında taranarak V_X için bir grup eğri şeklinde verilmiştir. İzleme hatası olan $\Delta I=I_X-I_Z$ I_X 'e göre değişimi Şekil-4'de gösterilmiştir. Devrenin AC performansı da simüle edilmiştir. X ucunun açık devre geriliminin ve Z ucunun kısa devre akımının frekansla değişimleri sırasıyla Şekil-5 ve Şekil-6'da verilmiştir.



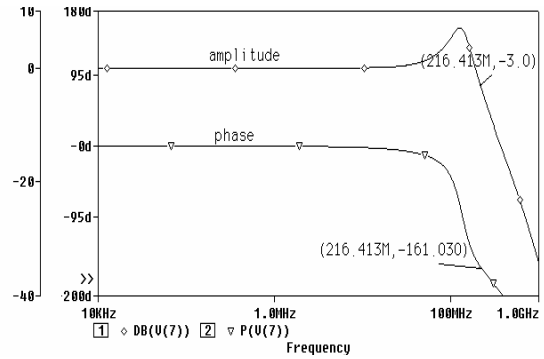
Şekil-3: Önerilen devrenin $V_X=f(V_{Y1},V_{Y2},V_{Y3})$ özellikleri

Simülasyon sonuçlarında X ucunun giriş empedansı 1Ω 'dan daha az ve X ucu kısa devreyken Z ucunun çıkış empedansı $5\text{G}\Omega$ olduğu görülmüştür. Devrenin büyük işaret performansını göstermek üzere transit

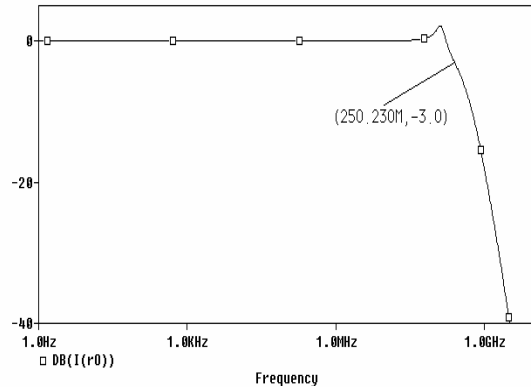
analizi sinüs giriş işareti için gerçekleştirilmiştir. 1V zirveden zirveye ve 10KHz lik giriş işareti için THD %0.1 olduğu tespit edilmiştir.



Şekil-4: $\Delta I=I_X-I_Z$ izleme hatasının I_X ile değişimi



Şekil-5: X ucu açık devre geriliminin frekansla değişimi



Şekil-6: Z ucu kısa devre akımının frekansla değişimi

5. SONUÇ

Bu çalışmada DDCC+ elemanı için yeni bir CMOS yapısı önerilmiştir. Önerilen devrenin detayı anlatılmıştır. Simülasyon sonuçlarından devrenin aşağıdaki özellikleri açısından yüksek performansı olduğu görülmüştür: a) iyi doğrusallık, b) iyi giriş ve çıkış empedanslılık ve c) gerilim ve akım çalışmalarında yüksek bant genişliği.

Önerilen DDCC devresi, literatürde bir çok uygulama devresi verilmiş olan bu elemanla yüksek başarılı tasarım olanağı sağlamakta, bu açıdan bakıldığında, önerilen CMOS yapı devre tasarımcısına yeni olanaklar getirmektedir.

KAYNAKLAR

- [1] Toumazou, C., Lidjey, F. and Haigh, D., Analog IC Design: The current-mode approach, Exeter, UK, Peter Peregrinus, 1990.
- [2] Sedra, A. S., Roberts, G. W. and Gohh, F., The current conveyors: history, progress and new results, IEE PROC. G, vol. 137, pp. 78-87, 1990.
- [3] Roberts, G. W. and Sedra, A. S., All-current – mode frequency selective circuits, ELECTRONICS LETTERS, vol. 25, pp. 759-761, 1989.
- [4] Horng, J. W. , Weng, R. M., Lee, M. H. and Chang, C. W., Universal active current filter using two multiple current output OTAs and one CCIII, INT. J. ELECTRONICS, vol. 82, pp. 241-247, 1996.
- [5] Sanchez-Sinencio, E., Geiger, R. L. and Nevarez-Lozano, H., Generation of continuous-time two integrator loop OTA filter structures, IEEE TRANS. CIRCUITS SYST, vol. 35, 936–946, 1988.
- [6] Abuelma'atti, M. T., Cascadable current-mode filters using FTFN, ELEC. LETT., vol. 32, pp. 1457-1458, 1996.
- [7] Çam, U., Çiçekoğlu, O. and Kuntman, H., A new FTFN-based single input three output (SITO) current-mode filter, MICROELECTRONICS JOURNAL, vol. 30, pp.155-188, 1999.
- [8] Sedra, A. and Smith, K. C., A Second-Generation Current Conveyor and Its Applications, IEEE TRANSACTIONS ON CIRCUIT THEORY, vol. 17, pp. 132-134, 1970.
- [9] Pal, K., Novel floating inductance using current conveyors, ELECTRONICS LETTERS, vol. 17, pp. 638, 1981.
- [10] Sinani, R., Novel higher-order active filter design using current conveyors, ELECTRONICS LETTERS, vol. 21, pp. 1055-1056, 1985.
- [11] Sackinger,, E. and Guggenbuhl, W., A versatile building block: The CMOS differential difference amplifier, IEEE J. SOLID-STATE CIRCUITS, SC-22, pp. 287-294, 1987.
- [12] Hung, S. C., Ismail, M. and Zarabadi, S. R., A wide range differential difference amplifier .A basic block for analog signal processing in MOS technology, IEEE TRANS. CIRCUIT SYST.-II, vol. 40, pp. 289-300, 1993.
- [13] Zarabadi, S. R. , Larsen, F. and Ismail, M., A reconfigurable op-amp/DDA CMOS amplifier architecture, IEEE TRANS. CIRCUITS SYST.-I, vol. 39, pp. 484-487, 1992.
- [14] Chiu, W., Liu, S.-I, Tsao, H.-W and Chen, J.-J, CMOS differential difference current conveyors and their applications, IEE PROC. CIRCUIT DEVICES SYST., vol. 143, pp. 91-96, 1996.
- [15] Elwan, H. O. and Soliman, A. M., Novel CMOS differential voltage current conveyor and its applications, IEE PROC. PART G, vol. 144, pp195-200, 1997.
- [16] Duruk, A., Kuntman, H., Toker, A. and Çiçekoğlu, O., New improved CMOS implementation of differential difference current conveyor, INT. CONF. ELECTRICAL ELECTRONICS ENG. ELECO'99, pp. 90-94, Bursa, Turkey, 1999.
- [17] Gupta, S. S. and Senani, R., Grounded-capacitor current-mode SRCO: Novel application of DVCC, ELECTRONICS LETTERS, 36, pp.195-196, 2000.
- [18] Sedef, H. and Acar, C., A new floating inductor circuit using differential voltage current conveyors, FREQUENZ, vol. 54, pp.123-125, 2000.
- [19] Sedef, H. and Acar, C., A new floating FDNR circuit using differential voltage current conveyors, INT. J. ELECTRONICS AND COMMUNICATIONS AEÜ, vol. 54, pp.297-301, 2000.
- [20] Mahmoud, S. A. and Soliman, A. M., New CMOS fully differential difference transconductors and application to fully differential filters suitable for VLSI, MICROELECTRONICS JOURNAL, vol. 30, pp. 169-192, 1999.
- [21] Kawahito, S. and Tadokoro, Y., CMOS-AB current mirrors for precision current-mode analog-signal-processing elements, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS II, vol. 43, pp. 843-845, 1996.
- [22] Zeki, A. and Kuntman, H., Accurate and high output impedance current mirror suitable for CMOS current output stages, ELECTRONICS LETTERS, vol. 33, pp. 1042-1043, 1997.
- [23] Sackinger, E. and Guggenbuhl, W., A high-swing, high-impedance MOS cascade circuits, IEEE J. SOLID STATE CIRCUITS, vol. SC-25, pp. 289-298, 1990.