

İKİNCİ KUŞAK AKIM TAŞIYICI TABANLI DURULAMA DEVRESİNİN TASARIMI VE BİLGİSAYAR BENZETİMİ

Mahmut TOKMAKÇI¹ Mustafa ALÇI² Esmâ UZUNHİSARCIKLİ³

¹Erciyes Üniversitesi, Sağlık Hiz. MYO, Biyomedikal Cihaz Tek. Programı, 38039, Kayseri

²Erciyes Üniversitesi, Müh. Fak. Elektronik Müh. Bölümü, 38039, Kayseri

³Erciyes Üniversitesi, Kayseri M.Y.O. Elektronik Programı, 38309, Kayseri

¹e-posta: tokmakci@erciyes.edu.tr

²e-posta: malci@erciyes.edu.tr

³e-posta: uzunhise@erciyes.edu.tr

Anahtar sözcükler: Devreler ve Sistemler, Akım taşıyıcıları, CCII, Akım Modlu Devreler, Durulama devresi

ÖZET

Bu çalışmada, CCII tabanlı durulama devresinin tasarımı ve analizi yapılmıştır. Önerilen devrenin davranışının benzetimi, PSPICE programı ile MOSIS 2.0 µm CMOS işlem parametrelerine göre yapılmıştır. Önerilen devre, ikinci kuşak akım taşıyıcı yapısını içerdiği için yüksek hızlı işlem yapma ve yüksek doğruluk özelliklerini sergilemektedir. Tasarlanan devre, Ağırlık Merkezi (COG) metodunu kullanan bulanık mantık denetleyici donanımı için uygun devre yapısına sahiptir.

1. GİRİŞ

Günümüzde, bulanık tabanlı sistemlerin donanım olarak gerçekleştirilmesi yaygınlaşmaktadır. Bu donanım çalışmalarında, yoğunlukla yüksek hızlı işlemleri gerçekleştiren, düşük güç harcayan ve bir kırımlık olarak gerçekleştirildiğinde daha küçük alan kaplayan CMOS tabanlı tasarımlar ve akım modlu devre blokları tercih edilmektedir [1-4]. İkinci kuşak akım taşıyıcılar (CCII) birçok analog işaretleme devrelerinde çok kullanılan devre yapılarıdır [5, 6]. Bir işlemsel kuvvetlendiricisinin (OA) kazanç-band genişliği çarpımı sonlu olduğundan, kuvvetlendiricinin kazancı yükseldikçe sahip olduğu band genişliği azalmaktadır. Bununla birlikte, birkaç sabit band genişliğine sahip kuvvetlendirici, çeşitli akım modlu aktif elemanlar olarak kullanılmaktadır [7, 8]. CCII'lar alışlagelmiş OA'lar gibi bazı analog işlem bloklarından daha iyi doğruluk değerini ve daha geniş band genişliğini sağlayabilirler [9].

Ağırlık Merkezi (COG) metodu, bulanık mantık denetleyicilerinde kullanılan en yaygın durulama metodudur [10, 11]. Literatürde bu metodu kullanan çeşitli durulama devre yapısı ortaya konulmuştur. BiCMOS teknolojisine dayalı yüksek hızlı dijital durulama devre yapısı üretim maliyetinin yüksek olmasından dolayı tercih edilmemektedir [12]. Buna karşın, akım modlu devre yapılarından oluşan başka bir durulama devresi önerilmiştir [13]. Ancak, bu

devrelerin hem frekans sahaları hem de hızları düşüktür.

Bu çalışmada, COG metodunu kullanan CCII tabanlı durulama devresi tasarlanmış ve PSPICE programı kullanılarak bilgisayar benzetimi yapılmıştır.

2. DURULAMA DEVRESİ TASARIMI

Voltaj modunda COG metodu aşağıdaki gibi ifade edilir:

$$V_{\text{out(COG)}} = \frac{\sum_{i=1}^n V_{\mu i} \cdot V_i}{\sum_{i=1}^n V_{\mu i}} \quad (1)$$

Burada n; Evrensel küme üzerindeki bulanık kümelerin sayısıdır. $V_{\mu i}$ ve V_i sırasıyla i. bulanık kümenin üyelik fonksiyon çıkış ve ani (support) değeridir. Denklem (1), giriş/çıkış voltaj değerleri ile aşağıdaki gibi düzenlenebilir:

$$V_{\text{out}} = \frac{V_{\mu 1} \cdot V_1 + V_{\mu 2} \cdot V_2 + \dots + V_{\mu n} \cdot V_n}{V_{\Sigma}} \quad (2)$$

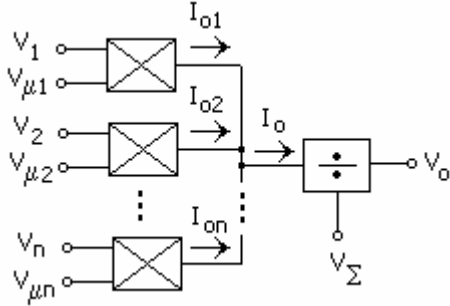
Burada V_{Σ} ; $\sum_{i=1}^n V_{\mu i}$ 'e eşittir.

Önerilen durulama devre bloğu (Denklem 2), Şekil 1'de olduğu gibi blok olarak gösterilebilir. Sözkonusu devre bloğu, voltaj girişli akım çıkışlı olarak CCII'lara dayalı çarpıcılardan meydana gelmektedir. Her bir çarpıcı ve bölücü devrenin çıkışı aşağıdaki gibi ifade edilmektedir:

$$I_{oi} = F(V_{\mu i} \times V_i) \quad (3)$$

$$V_o = F(I_o \div V_{\Sigma}) \quad (4)$$

Bu çalışmada önerilen durulama devresi, CCII tabanlı çarpıcı ve bölücü devre bloklarını içerdiğinden sırasıyla CCII, Çarpma devresi, Bölme devresi tanımlanacaktır



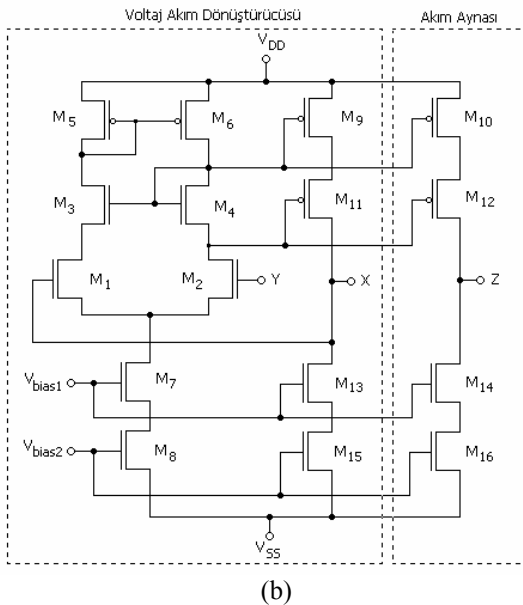
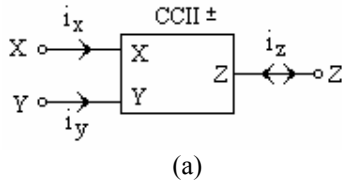
Şekil 1 Önerilen durulama devresinin blok diyagramı

2.1. İkinci Kuşak Akım Taşıyıcısı (CCII)

CCII, Şekil 2'de sembolü ve basitleştirilmiş devre yapısı gösterildiği gibi, üç terminalli bir bloktur. Devrenin karakteristikleri, Denklem (5)'teki gibi tanımlanabilir.

$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm A_i & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (5)$$

Burada akım transfer oranı A_i 'nin artı (+) ve eksi(-) işaretleri sırasıyla CCII+ ve CCII- devre bloklarını göstermektedir.



Şekil-2. (a) CCII'nin sembolik gösterimi, (b) CCII+'nın basitleştirilmiş devresi

2.2 Çarpıcı Devresi

Voltaj girişli ve akım çıkışlı bir çarpıcı devre, Şekil 3 (a)'da görüldüğü gibi tasarlanabilir. Bu devreye karşılık gelen blok diyagram, Şekil 3(b)'deki gibi temsil edilir [14]. Çarpıcının transfer fonksiyonu aşağıdaki gibidir:

$$I_o = K_M V_1 V_2 \quad (6)$$

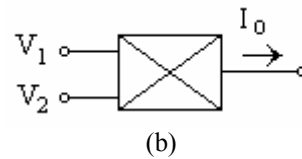
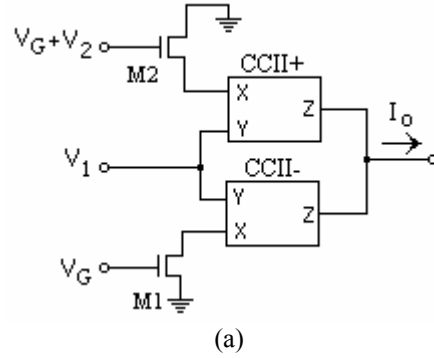
Burada $K_M (=2K)$ değeri, çarpma katsayısıdır. Çarpıcı devrenin dinamik sahası Denklem (7)'deki gibidir.

$$V_1 = \min[V_G + V_2 - V_T, V_G - V_T] \quad (7)$$

Burada V_T ; Şekil 3 (a)'da gösterilen M1 ve M2 Mosfetlerinin eşik voltajıdır. Bu iki transistörün geçit voltajlarını karşılıklı olarak değiştirirsek çarpıcının çıkışı aşağıdaki denklemde olduğu gibi benzer bir değerde çıkacaktır.

$$I_o = K_M V_1 V_2 \quad (8)$$

Burada, K_M 'nin işareti pozitif veya negatif olabilmektedir.



Şekil 3 (a) CCII tabanlı Çarpıcı, (b) Çarpıcının blok gösterimi

2.3. Bölücü Devresi

Bölücü devresi, Şekil 4 (a)'da gösterildiği gibi CCII+ ve CCII- devre bloklarının birleştirilmesinden oluşan çarpıcı devresinden meydana gelmektedir. Bu devre bloğunun en büyük avantajı akım modlu durulama işlemi için lineer bir voltaj/akım dönüştürücüsü gerektirmemesidir. Şekil 4'te verilen bölücünün çıkışı aşağıdaki gibi verilir:

$$I_o = K_M V_o V_D \quad (9)$$

$$V_o = \frac{I_o}{K_M V_D} \quad (10)$$

CCII tabanlı durulama devre bloğunun temel hesaplama birimi Şekil 5'te gösterilmektedir. Birinci çarpıcı devre bloğunun (Mul.1) çıkış akımı, giriş voltajlarının çarpımının bir fonksiyonudur ve Denklem (11)'deki gibi ifade edilebilir:

$$I_o = F(V_1 \times V_2) = K_{M1} V_1 V_2 \quad (11)$$

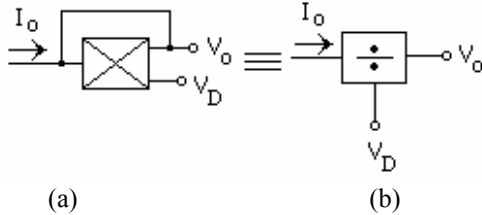
Denklem (11)'de elde edilen çıkış akım ifadesi Denklem (10)'da yerine konulursa, önerilen bölücü devrenin çıkış voltajı aşağıdaki gibi olacaktır.

$$V_o = \frac{K_{M1} V_1 V_2}{K_{M2} V_3} \quad (12)$$

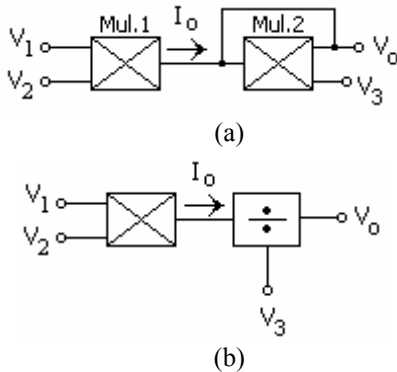
Burada bölme oranı ($= K_{M1}/K_{M2}$), önerilen devredeki MOS transistörlerin W/L katsayıları ile ilgilidir. Eğer bölme oranı bir bölme sabiti ($=K_D$) olarak tanımlanırsa, bölücü devrenin çıkışı aşağıdaki denklemde olduğu gibi elde edilir.

$$V_o = K_D \frac{V_1 V_2}{V_3} \quad (13)$$

Elde edilen bu denklem, Denklem (2)'ye benzerdir. Burada, V_1 , V_2 ve V_3 sırasıyla V_i , V_{μ} ve V_{Σ} olarak alınırsa, $K_D = 1$ için Denklem (2) deki durulama işleminin bir terimi elde edilmiş olacaktır.



Şekil 4. (a) Bölücü devre bloğu, (b) karşılık gelen bölücü devre gösterimi



Şekil 5. CCII tabanlı durulama devresinin temel hesaplama (işlem) birimi. Şekil 5(a), Şekil 5(b)'ye eşdeğerdir.

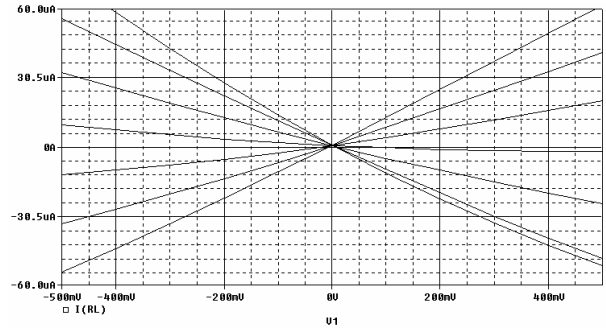
3. BENZETİM SONUÇLARI

Tasarımı ve benzetimi yapılan CCII tabanlı durulama devresinin davranışı, PSPICE programı kullanılarak MOSIS 2.0 μ m CMOS parametreleri kullanılarak elde edilmiştir. Tablo I, MOSIS 2.0 μ m CMOS işlem parametrelerinden bazılarını göstermektedir.

Şekil 3.(a)'da blok olarak verilen çarpıcı devresinin DC analiz sonuçları, Şekil 6'da gösterilmektedir. Burada V_1 giriş voltajı -0.5 V ile $+0.5$ V genlik değerleri arasında değiştirilirken, V_2 voltajı ise 1V aralıklarla -5 V ile $+5$ V arasında değiştirilmektedir.

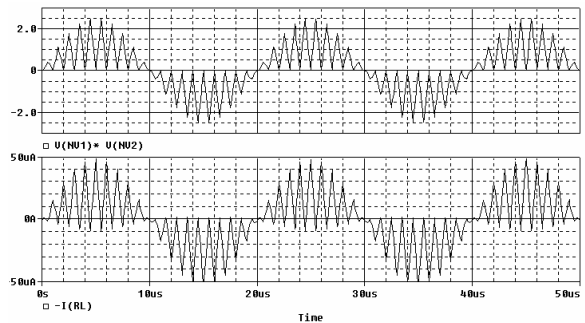
Tablo I. MOSIS 2.0 μ m CMOS işlem parametrelerinden bazıları

	NMOS	PMOS	Birimi
VTO	0.825008	-0.937048	V
TOX	417.000008E-10	417.000008E-10	m
KP	4.919000E-05	1.731000E-05	A/V ²
UO	594	209	cm ² /v.sn
GAMMA	0.172	0.715	V ^{1/2}
LAMBDA	6.636197E-03	4.391428E-02	V ⁻¹
VMAX	65547.3	100000	m/sn



Şekil 6. CCII tabanlı çarpıcı devresinin DC transfer eğrileri

Çarpıcının geçiş (Transient) analiz sonuçları Şekil 7'de verilmektedir. Burada V_1 işareti, ± 0.5 V genlik değerine ve 50 KHz frekanslı sinüsoidal bir işaret olmasına karşın, V_2 ise 5 V_{pp} genlikli ve 1.0 Mhz frekanslı üçgen formulu bir işarettir. Önerilen durulama devresinin benzetim işlemlerinde kullanılan devre parametreleri; $V_{DD}=5$ V, $V_{SS}=-5$ V, -0.5 V $\leq V_i \leq +0.5$ V, 0 V $\leq V_{\mu} \leq 5$ V, $V_G=2.6$ V, $R_L=10$ K Ω . gibidir.

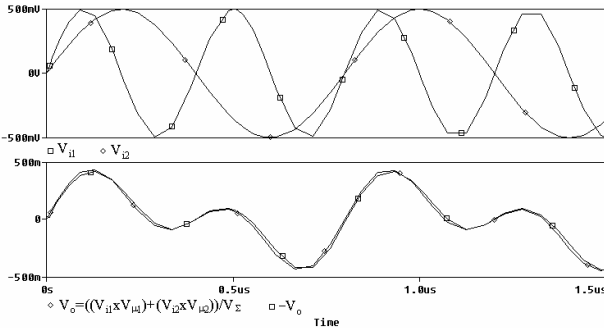


Şekil 7. İki giriş sinyali için çarpıcı devresinin zaman domeni (Transient) analizi

İki girişli durulama devresinin nümerik sonuçları aşağıdaki gibi elde edilebilir:

$$V_o = ((V_{i1} \cdot V_{\mu1}) + (V_{i2} \cdot V_{\mu2}))/V_{\Sigma} \quad (14)$$

Önerilen durulama devresinin nümerik ve benzetim sonuçları, Şekil 8’de birlikte grafik olarak verilmiştir. Burada söz konusu durulama devresine, V_{i1} ve V_{i2} olmak üzere genlikleri aynı olan (± 0.5 V) ve sırasıyla 2.5 Mhz ve 1.25 Mhz frekanslarına sahip iki sinüs şekilli işaret uygulanmıştır. Üyelik voltajları ($V_{\mu1}$ ve $V_{\mu2}$), 1.1 V değerinde olmak üzere eşit seçilmiştir. Böylece, üyelik voltajlarının toplamı V_{Σ} , 2.2 V değerine sahiptir. Durulama devresindeki çarpıcıların tümü özdeş olduklarından, bölme sabiti $K_D = 1$ ’dir. Bütün benzetim sonuçları, 10 K Ω çıkış direnci üzerinden elde edilmiştir.



Şekil 8. İki giriş sinyali için CCII tabanlı durulama devresinin nümerik ve benzetim sonuçları (V_{i1} , 2500 KHz; V_{i2} , 1250 KHz; $V_{\mu1} = V_{\mu2} = 1.1$ V; $V_{\Sigma} = 2.2$ V)

3. SONUÇLAR

Bu çalışmada, yüksek hızlı bulanık donanım sistemleri için CCII tabanlı durulama devresi tasarlanmış ve PSPICE programı ile bilgisayar benzetimi yapılmıştır. Önerilen devre, CCII devre bloklarından elde edilmiş çarpıcı ve bölücü devrelerden oluşmaktadır. Bölücü devresi, temelde voltaj girişli ve akım çıkışlı çarpıcı devresinden meydana geldiği için lineer voltaj-akım (V-I) dönüştürücüsü gerektirmez. Ayrıca, önerilen devre akım modunda çalışan basit ve modüler yapıya sahiptir. Bunun yanında, tasarımı yapılan devre, ikinci kuşak akım taşıyıcılarından meydana geldiğinden, yüksek hızlı işlem yapma ve yüksek doğruluklu devre özelliklerini taşımaktadır. Benzetim sonuçları, tasarlanan durulama devresinin temel kurulu bloklarının teorik sonuçları ile oldukça iyi uyum göstermektedir. Bu yüzden, önerilen CCII tabanlı durulama devresi, COG metodunu kullanan bulanık mantık denetleyici donanım yapıları için uygun yapıdadır.

KAYNAKLAR

[1] Bouras, S., Kotronakis, M., Suyama, K., Tsvividis, Y., Mixed Analog-Digital Fuzzy

- Logic Controller with Continuous-Amplitude Fuzzy Inferences and Defuzzification, IEEE TRANS. ON FUZZY SYSTEMS, Vol. 6, No.2, pp. 205-215, May 1998.
- [2] Rodriguez-Vazques, A., Navas, R., Delgado-Restituto, M., Vidal-Verdu, F., A Modular Programmable CMOS Analog Fuzzy Controller Chip, IEEE TRANS. ON CIRCUITS AND SYSTEMS-II, Vol. 46, No. 3, pp. 251-265, March 1999.
- [3] Baturone, I., Solano, S., Barriga, A., Huertas, J. L., Implementation of CMOS Fuzzy Controllers as Mixed-Signal Integrated Circuits, IEEE TRANS. ON FUZZY SYSTEMS, Vol.5, No.1, pp.1-19, Feb.1997.
- [4] Tokmakçı, M., Alçı, M., Kılıç, R., A CMOS-Based Membership Function Circuit, INT. JOUR. OF ANALOG INTEGRATED CIRCUITS AND SIGNAL PROCESSING, Vol. 32, No.1, pp. 83-88, July 2002.
- [5] A.S. Sedra, K.C. Smith, 'The Current Conveyor: history, progress and new results', IEE PROC., Vol.137, Pt.6, No.2, pp. 78-87, April 1990.
- [6] Kumar, U., Current conveyors: a review of the state of the art, IEEE CIRCUITS AND SYSTEMS MAG., 3(1), pp. 10-13, 1981.
- [7] Allen, P.E., Terry, M.B., The use of current amplifiers for high performance voltage applications, IEEE J. SOLID-STATE CIRCUITS, SC-17, pp. 155-162, 1980.
- [8] Wilson, B., Constant bandwidth voltage amplification using current conveyors, INT. JOUR. ELECTRONICS, 65, pp. 983-988, 1988.
- [9] Toumazou, C., Lidgey, F.J., Cheung, P.Y.K., Current-mode analogue signal processing circuits- a review of recent developments, PROC. IEEE ISCAS'89, pp. 1572-1575, 1989.
- [10] Liu, B.D., Huang, C.Y., Wu, H.Y., Modular current-mode defuzzification circuit for fuzzy logic controllers, ELECTRONICS LETTERS, 30, (16), pp.1287-1288, 1994.
- [11] Yamakawa, T., A fuzzy inference engine in nonlinear analog mode and its applications to a fuzzy logic control, IEEE TRANS. ON NEURAL NETWORKS, NN-4, (3), pp. 496-522, 1993.
- [12] Kuo, J.B., Huang, H.J., Chen, S.S., Chiang, C.S., BiCMOS dynamic defuzzifying circuit for fuzzy logic controllers, ELECTRONICS LETTERS, 29, (1), pp.67-68, 1993.
- [13] Tartagni, M., Perona, P., Computing centroids in current-mode technique, ELECTRONICS LETTERS, 29, (1), pp.1811-1813, 1993.
- [14] Liu, S.I., Wu, D.S., Tsao, H.W., Tsay, J.H., Nonlinear circuit applications with current conveyors, IEE PROC. -G, 140, (1), pp.1-6, 1993.