

# AYRIK VE SÜREKLİ ZAMANLI BİRİNCİ DERECEDEKİ SİGMA-DELTA MODÜLATÖRÜNÜN PRATİK OLARAK GERÇEKLEŞTİRİLMESİ

D. Hanbay\* ve A. Uçar\*\*

\*Fırat Üniversitesi Elektronik Bilgisayar Eğitimi  
dhanbay@firat.edu.tr

\*\*Fırat Üniversitesi Elektrik Elektronik Mühendisliği  
aucar1@firat.edu.tr

*Anahtar Kelimeler: Sigma-Delta modülatörler, Aşırı örnekleme, A-D çeviriciler, Anahtarlamalı Devreler*

## ÖZET

Günümüzde Analog ve Dijital çevirici olarak artık Sigma-Delta Modülatörleri (SDM) kullanılmaktadır. Ancak bu konunun yeni olması ve SDM konusundaki gelişmeler hızlı olduğundan SDM'ler bir çok işaret işleme ve ölçme tekniğini konu edinen referanslarda gerektiği gibi yer almamaktadır[1]. Literatürlerde verilen SDM'lerin çoğu yüksek frekanslara göre dizayn edildiğinden dolayı yüksek performansa sahip devre elemanları kullanılmaktadır[2]. Bu nedenle özellikle düşük frekanslarda çalışan ve her yerde buluna bilinen devre elemanları ile SDM dizayn etmek önemlidir.

Bu çalışmada eğitim amaçlı birinci dereceden SDM analog ve ayırık zamanda pratik olarak gerçekleştirilmiştir. Özellikle düşük frekandaki SDM performansını ortaya koyacak şekilde bir set gerçekleştirilerek her iki tür SDM performansları karşılaştırılmış. Karşılaştırılan pratik problemler tartışılmıştır.

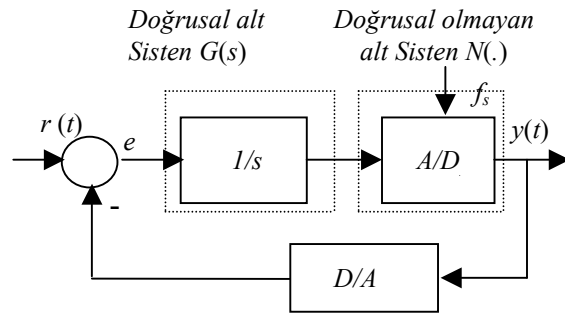
## 1. GİRİŞ

Sigma-Delta modülatörleri A/D ve D/A çevirme işleminde konvansiyonel çeviricilerden performans ve dizayn açısından pek çok üstünlüğe sahiptir[1]. SDM'nin en belirgin üstünlüğü düşük frekanslı sinyallerin yüksek doğrulukta işlenmesidir[1].

SDM'lerin süreksiz doğrusal olmayan eleman içermesinden dolayı analitik olarak analizi çeşitli yaklaşımlar kabul edilerek yapılır. Her ne kadar SDM'leri giriş-çıkış kararlı iseler de giriş-durum kararlılığı dar sınırlı giriş için ancak geçerlidir. SDM'nin kararlılığı doğrusal kısma ait filtrenin derecesi artıçça azalır. Halbuki tersi olarak SDM'nin performansı artar. Bu nedenle SDM dizaynında yüksek kararlılık sağlamak için birinci dereceden oluşmuş ve MASH dizayn denilen yüksek filtreleme özelliğine sahip teknikler kullanılır[2]. Bundan dolayı birinci derece sürekli ve ayırık zamanlı SDM'nin performansını deneysel olarak ortaya koymak oldukça önemlidir. Bu çalışmada amaç hem bu eksiği gidermek hem de lisans ve yüksek lisans eğitiminde kullanılabilen bir set hazırlamaktır.

## 2. SİGMA-DELTA MODÜLATÖRLERİ

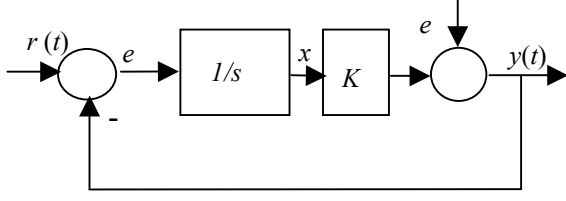
Şekil 1'de birinci derece SDM'ün blok diyagramı verilmiştir. Şekil 1'de  $r$  ve  $y$  sırası ile giriş ve çıkıştır. Hata sinyali  $e$  doğrusal alt sistem integratör ve doğrusal olmayan alt sistem  $N(.)$  ise karşılaştırıcıdır.  $f_s$  örnekleme frekansdır. Şekil 1'de görüldüğü gibi SDM'ler kontrol teorisindeki Lura tipi sistem formundadır. Bu yapıdaki sistemlerde iki tür osilasyon oluşur[3]. Bunlardan biri çok düşük frekanslı olup genellikle integratörün çıkışındaki doyumdan ileri gelir. Bu çalışma modu SDM'nin uygun çalışmadığı mod olarak adlandırılır[4,5]. Diğer osilasyon ise SDM'nin uygun çalışma modunda ortaya çıkan bir osilasyondur. Birinci derece SDM giriş sinyalinin çoğu aralığında teorik olarak uygun çalıştığı bilinmektedir ve kararlı çalıştığı deneysel olarak gözlemlenmiştir.



Şekil.1: Birinci derece SDM blok diyagramı.

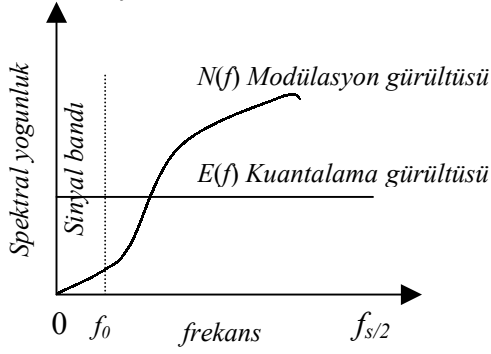
Şekil 1'de verilen modülatörün doğrusal olmayan  $N(.)$  den oluşan kısmı genellikle beyaz gürültü olarak kabul edilmektedir. Her ne kadar bu gürültü şekil 2'de görüldüğü gibi beyaz gürültü kabul edilse de  $N(.)$  tarafından üretilen gürültü aslında giriş işaretinin bir fonksiyonudur. Gürültünün değişimi Şekil 3'deki gibidir.

Şekil 1'deki sistem zaman optimal bir sistem olduğundan dolayı hata minimum zamanda  $r$  referans işaretine ulaşır. Sistem olarak şekil 1'deki SDM modeli aslında iki doğrusal alt sistemden oluşmuş, bunlardan birisi orijine göre eksponansiyel kararlı diğeri ise kararsızdır[3]. Ancak şekil 1'in en basit formu  $N(.)$  tarafından oluşan gürültü  $e$  beyaz kabul edilirse Şekil 2'deki lineer model elde edilir.



Şekil.2: Beyaz gürültü eklenmiş birinci derece SDM'ün eşdeğer lineer modeli.

SDM'lerde genellikle iki seviyeli kuantalayıcı kullanılmasına rağmen analiz yapılırken birim kazançlı ve çok seviyeli kuantalayıcı kullanıyor kabul edilir. Giriş sinyali integratör üzerinden kuantalayıcıya uygulanır ve çıkışın girişten çıkartılması amacı ile geri besleme yapılır. Sistemde uygulanan geri besleme sistemin çıkışının ortalama değerinin girişe eşit olmasını sağlar[1]. Giriş ile çıkış arasında meydana gelen herhangi bir fark integratörde depolanır. Bir sonraki aşamada oluşan hatanın düzeltilmesi sağlanır. Şekil 2'de kuantalama hatası beyaz gürültü kabul edilerek elde edilen ayrık zamanlı lineer SDM eşdeğer modeli verilmiştir.



Şekil.3:  $N(f)$  SDM'ün kuantalama gürültüsü spektral yoğunluğu,  $E(f)$  klasik kuantalama hatası spektral yoğunluğu.

Sürekli zamanlı işareti tekrar elde etmek için gerekli minimum örnekleme frekansına Nyquist örnekleme frekansı denir. Sürekli zamanlı işaretin frekansı  $f_0$  ise Nyquist frekansı  $2f_0$  dir. Şekil 3'de SDM'lerde ve klasik kuantalayıcılar da oluşan hataların spektral yoğunlukları karşılaştırılmıştır. Şekil 3'de  $f_s$  örnekleme frekansı,  $f_0$  sistem bant genişliğini gösterir. Modülasyon işlemi oluşan modülasyon gürültüsünü yüksek frekanslara taşıyarak sinyal bandında yer alan gürültü miktarını azaltmaktadır. Böylece düşük frekanslarda gürültü azaltmakta, yüksek frekanslarda ise gürültü artmaktadır.

## 2.1. SDM PERFORMANSI

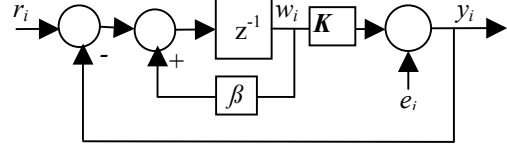
Şekil 2'nin ayrık zamanlı eşdeğeri Şekil 4'te verilmiştir. Şekil 4'te  $\beta$  integratörün kutbu,  $K$  kuantalayıcı kazancıdır. Şekil 4'te  $\beta=K=1$  seçilirse ayrık zamanlı integratörün çıkışı  $w_i$ ,

$$w_i = r_{i-1} - e_{i-1} \quad i=0,1,2,\dots,\infty \quad (1)$$

ve modülasyon çıkışı,

$$y_i = r_{i-1} + (e_i - e_{i-1}) \quad (2)$$

olur. Denklem (2) de belirtildiği gibi örnekleme anındaki kuantalama gürültüsü ile bir önceki kuantalama gürültüsü arasındaki fark yaklaşık olarak modülasyon gürültüsü diye tanımlanabilir.



Şekil.4: Beyaz gürültü eklenmiş ayrık zamanlı lineer SDM modeli.

Modülasyon gürültüsünün spektral yoğunluğu  $N(f)$ , kuantalama hatası güç spektral yoğunluğu  $E(f) = e_{rms} \sqrt{2T}$  'ye bağlı olarak;

$$n_i = e_i - e_{i-1} \quad (3)$$

$$N(f) = E(f) |1 - e^{-j\omega T}| = 2e_{rms} \sqrt{2T} \sin\left(\frac{\omega T}{2}\right) \quad (4)$$

Şekil 4'teki yaklaşımla belirlenir[1]. Örnekleme frekansı  $f_s$ 'nin Nyquist örnekleme frekansı  $2f_0$  oranlanmasıyla elde edilen değere aşırı örnekleme oranı (oversampling ratio  $OSR$ ) denir.

$$OSR = \frac{f_s}{2f_0} \quad (5)$$

Sinyal bandındaki toplam gürültünün gücü;

$$n_0^2 = \int_0^{f_0} N(f)^2 df = e_{rms}^2 \frac{\pi^2}{3} (2f_0 T)^3 \quad (6)$$

ve efektif değeri;

$$n_0 = e_{rms} \frac{\pi}{\sqrt{3}} (2f_0 T)^{\frac{3}{2}} = e_{rms} \frac{\pi}{\sqrt{3}} (OSR)^{\frac{-3}{2}} \quad (7)$$

dir. Denklem (6) dan  $e_{rms}=2$  ve  $OSR=16$  gibi sabit değerler alınarak hesaplanan gürültünün efektif değeri -24,9 dB,  $OSR=32$  alınarak hesaplanan gürültünün efektif değeri -33,9 dB dir. SDM'ler  $OSR$  değeri bir önceki değerinin iki katına artırıldığında sinyal bandındaki gürültüyü 9 dB azaltmakta ve 1,5 bit ekstra kararlılık sağlamaktadır[1].

Birinci derece SDM'lerin parametreleri kuantalayıcı kazancı  $K$  ve integratör kutbu  $\beta$  dir. İdeal birinci derece SDM'lerde  $K=\beta=1$  dir. İşlemsel yükseltcin sonlu kazancından dolayı integratörün kutbu ideal yerinden kayar. Sinyal bandında yer alan gürültü miktarı artar. SDM'nin performansı azalır. Kuantalama sınırları arasında uygulanan herhangi bir giriş karşı sistem çıkış verir daha büyük giriş değerlerinde integratör doyuma gider.

### 3. SÜREKLİ VE AYRIK ZAMANLI SDM DİZAYNI

SDM'ler analog ve ayrik zamanlı olarak dizayn edilmektedir. Her iki dizaynın kendine ait avantaj ve kullanım alanları vardır. Sürekli ve ayrik zamanlı SDM dizaynı için sırası ile [2], [6] bakıla bilinir. Bu bölümde analog ve ayrik zamanlı SDM dizaynı detaylı olarak verilecektir.

#### 3.1 ANALOG DİZAYN

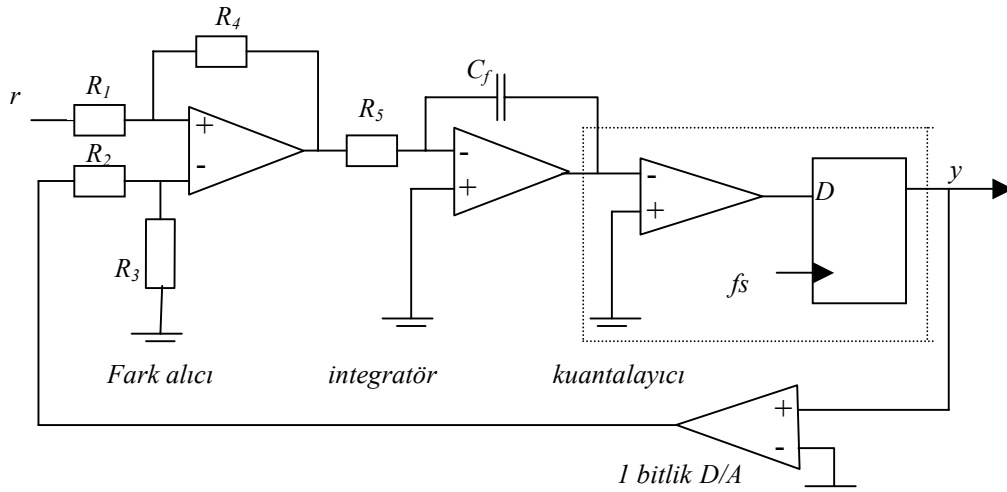
Sürekli zamanlı birinci derece SDM Şekil 1'deki blok diyagram referans alınarak gerçekleştirilmiştir. Şekil 1'de yer alan devre blokları ayrı ayrı gerçekleştirilip daha sonra sistemi oluşturmak amacı ile birleştirilmiştir. Bu amaçla ilk olarak iki sinyalin farkını alacak fark alıcı devre yapılmıştır. Kullanılan  $R$  elemanları aynı değerde seçilerek birim kazançlı fark alıcı devre elde edilmiştir. İkinci aşamada alçak geçiren filtre olarak integratör devresi kullanılmıştır. İntegratör lineer bölgede çalışacak şekilde dizayn edilmelidir. Bundan dolayı integratörün kazancı uygun seçilmelidir [7]. Bu durumda işlemsel kuvvetlendiricinin offset hatasının integratörü doyuma götürmesini engellemek amacı ile genellikle integratör kondansatörüne paralel bir direnç bağlanır. Giriş polarma akımlarının eşit olmayışından dolayı offset gerilimini yok etmek amacıyla terslemeyen giriş ile toprak arasına değeri giriş direnci ve geri besleme direncinin paralel eşleniği olan bir direnç eklenir. Fakat bu yapılırken hedeflenen bant genişliği ( $BG$ ) gözetilmelidir. Devrede ilk olarak LM741 entegresi kullanılmıştı fakat daha sonra hesaplamaların daha kolay yapılabilmesi ve offset gerilimi ile problem yaşanmaması için TL082 entegresi kullanılmıştır. Böylece offset için yukarıdaki düzeneğe gerek kalmaz ve hedeflenen  $BG$  etkilenmez. İntegratör frekansı  $f=1592$  Hz seçilirse, integratörde kullanılan elemanlar  $R=10K$ ,  $C=10nf$  olur. İntegratörün frekansı

$$w_i = \left( -\frac{1}{sRC} \right) = \frac{1}{2\pi f \cdot 10K \cdot 10nf} \quad (8)$$

dır. Üçüncü olarak blok diyagramda yer alan A/D çevirici-kuantalayıcı gerçekleştirilmiştir. Karşılaştırıcı devresi 1-bitlik A/D çeviricisi olarak kullanılmıştır. İdeal A/D için karşılaştırıcının nonlineer bölgede çalışabilmesi ve dış sinyallerden etkilenmemesi için kazanç yüksek olmalıdır[3],[7]. Kullanılan işlemsel yükselteç kazancı mümkün olduğu kadar yüksek seçilmelidir. Özel bir durum olarak integratörün çıkışında sinyalin fazı tekrar çevrilirse bu durumda çıkış karşılaştırıcının (+) girişine aksi takdirde (-) girişine uygulanmalıdır. Karşılaştırıcı çıkışında örnekleme işlemini gerçekleştirmek için  $D$  tipi flip-flop (74LS74) kullanılmıştır. Bu uygulamada pozitif sinyal için geri beslemenin doğrudan çıkıştan yapılabileceği görüldü. SDM'nin fonksiyonel olarak çalışabilmesi için, AC sinyal uygulandığında ise mutlaka geri beslemede D/A çevirici kullanılmalıdır. Gerçekleştirilen devre optimal sistem, değişken yapılı sistem v.b. farklı yapılarda çalışabilir. Bu yapılar SDM'nin yapısı ile karıştırılmamalıdır. SDM olarak çalışabilmesi için örnekleme frekansı nyquist örnekleme frekansının çok çok üzerinde seçilerek gerekli olan  $OSR$  değeri sağlanmalıdır. Yukarıdaki aşamalardan sonra dizayn edilen birinci derece SDM'ün açık devre şekli şekil 5'te verilmiştir. Şekil 5'te verilen devrenin sinyal transfer fonksiyonu,

$$H_s(s) = \frac{w_i}{s + w_i} \quad (9)$$

dir. Sistemin köşe frekansı,  $f_0 = 1592$  Hz dir. Aşırı örnekleme oranı ( $OSR$ )  $D$  flip-flop'ta kullanılan örnekleme frekansının sistemin köşe frekansının iki katına oranlanması ile elde edilen tam değerdir[1]. Devrede kullanılan eleman ve değerleri tablo 1'de verilmiştir.

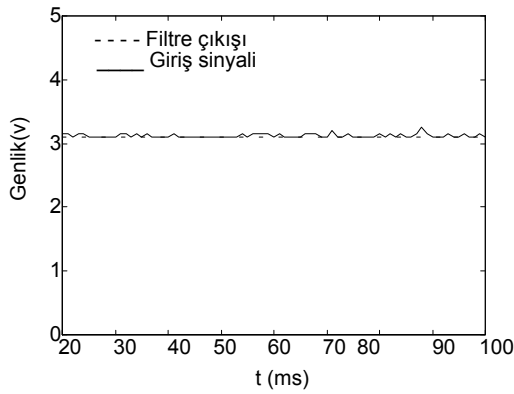


Şekil.5: Sürekli zamanlı birinci derece SDM Şeması.

Tablo.1: Sürekli zamanlı SDM' de kullanılan devre elemanları

İşlemsel yükselteçler	TL082
$R_1...R_4$	1 K
$R_5$	10 K
$C_f$	10 nf
$D$ Flip-flop	74LS74

Şekil 6'da SDM girişine uygulanan 3.1 V DC giriş sinyali ve SDM çıkışındaki sinyalin filtrelenmiş değeri verilmiştir. SDM çıkışındaki filtre 3. derece pasif RC filtresi olup köşe frekansı 1.6 KHz dir.



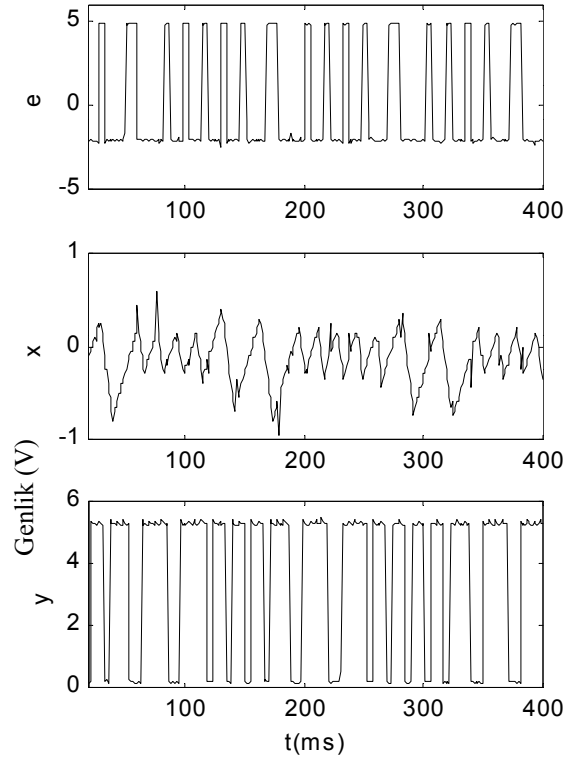
Şekil.6: Sürekli zamanlı birinci derece SDM girişine 3.1 V DC giriş uygulandığında giriş sinyali ve filtre çıkışında elde edilen sinyal

Şekil 7'de ise aynı giriş için Şekil 1'deki hata  $e$ , integratör çıkışı  $x$  ve SDM dijital çıkış  $y$  sinyallerinin deneysel değerleri verilmiştir. Şekil 7' de verilen pratik sonuçların simülasyon sonuçları ile uyduğu görülmektedir. Devrede kullanılan elemanlar tablo 1'de görüldüğü gibi her yerde bulunabilen elemanlardır. Devrede kullanılan elemanların seçimi ve işlemsel yükselteçlerin frekans özellikleri Şekil 5'deki kapalı çevrimli sisteminde beklenen frekans karakteristiği gözetilerek yapılmalıdır.

### 3.2 ANAHTARLI SDM DİZAYNI

Şekil 8'de verilen anahtarlanmış kondansatörlü SDM dizayn edilirken yine şekil 1' deki blok diyagram referans olarak alınmıştır. Fark alma işlemi integratör girişinde yapıldığından devre yapısal olarak daha basitleşmiştir. Devrede  $\phi_1$  ve  $\phi_2$  ayrı zamanlı işaretlerin eşzamanlı olması ve çakışmaması sağlanmalı. İntegratör olarak anahtarlı kondansatörlü terslemeyen integratör devresi kullanılmıştır. İntegratörün girişinde kullanılan anahtarlı kondansatörün eşdeğer direnç değeri,

$$R_{es} = \frac{1}{f_s C_1} \quad (10)$$



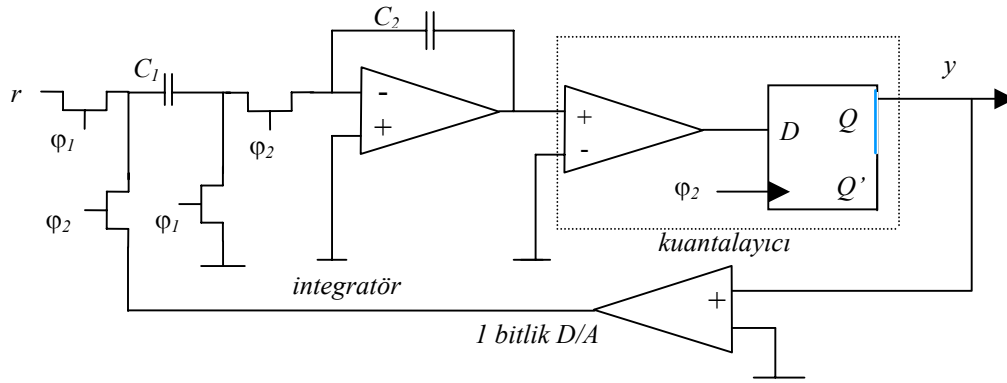
Şekil.7: SDM den elde edilen a) Hata sinyali e b) İntegratörün çıkışı x c) Modülator çıkışı y.

dir. Şekil 8'de karşılaştırıcı olarak sürekli zamanlı SDM'de olduğu gibi kazancı yüksek işlemsel kuvvetlendirici kullanılmıştır. Örnekleme işlemi  $D$  flip-flop'unda gerçekleştirilir ve örnekleme frekansı  $\phi_2$  ile senkronizasyonu sağlanmıştır. Şekil 8'de şekil 1'deki geri besleme, referans voltajının örneklenmesi ile gerçekleştirilir. Fakat bu çalışmada görüldüğü gibi 1-bitlik D/A ile gerçekleştirdik. Sistemin bant genişliği ve  $OSR$  değeri denklem (10)'dan hesaplan  $R_{es}$  değerinin daha önce sürekli zamanlı SDM'de elde edilen denklemlerde kullanılması ile hesaplanır. Şekil 8'de gerçekleştirilen anahtarlı kondansatörlü birinci derece SDM verilmiştir.

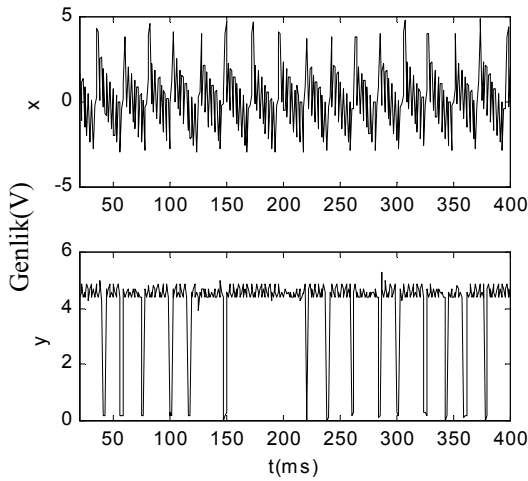
Tablo.2: ayrı zamanlı SDM'de kullanılan devre elemanları.

İşlemsel yükselteçler	TL082
$C_1, C_2$	3.3 nf
$D$ Flip-flop	74LS74
$n$ -Mosfet	IRF830

Şekil 8'deki devrede  $\phi_1$  ve  $\phi_2$  saat frekansları 1kHz dir. Devrenin girişine 3.1 V DC ve enerji depolayan devre elemanlarının başlangıç şartları sıfır sağlanarak integratör ve kuantalayıcı çıkışları şekil 9'da verilmiştir.



Şekil.8: Birinci derece ayrık zamanlı SDM şeması.



Şekil.9: Ayrık zamanlı SDM'nin x,y sinyali

#### 4. PRATİK PROBLEMLER ve SONUÇ

Endüstride kullanılan SDM'ler genellikle entegre devre olarak imal edilmekteler[2] ve oldukça pahalıdırlar. Ayrıca ülkemizde bu elemanlar üretilmemekte ve edinilmesi yurt dışına oranla oldukça pahalıdır. AD7714 entegresinin yurt dışı fiyatı 10 \$ iken ülkemizde 18 \$ dir. Bu yayında verilen dizayn ile;

- SDM'ler konusunda bilinmesi gereken temel bilgileri sergilemek.
- Yukarıdaki her iki dizayn aşamasında karşılaşılan pratik problemleri ve bunların giderilmesi konusunda yapılması olası önerileri sergilemek.
- Dünyada bu alanda bir çok yeni dizayn teknikleri önerilmektedir[8]. Ülkemizde de bu alandaki yapılacak çalışmalara alt yapı hazırlanmaktadır.

Şekil 5 ve Şekil 8'de verilen devreler doğrusal değildirler. Bunların davranışları standart lineer teori ile ancak sınırlı bir şekilde anlaşılabilir. Bu nedenle eleman uyumsuzluğu devredeki ileri ve

geri yön kazançlarının uygunsuzluğu devre dinamiğinde açıklanması zor sonuçlar doğurur.

Bu çalışmada önerilen pratik devrelerdeki elemanlar değişken seçilerek modern A/D çevirim metodu olarak bilinen SDM'lerin çalışma prensibi daha iyi anlaşılır. Sürekli ve ayrık zamanlı doğrusal olmayan sistemlerin frekans domeni analizi ve anahtarlı kondansatörlü devreler gerçekleştirilmiştir. Önerilen devreler çeşitli ölçme sistemlerinde rahatlıkla kullanılabilir.

#### KAYNAKLAR

- J.C. Candy, "An Overview of Basic Concepts", 'Delta-Sigma Data Converters theory, design, and simulation' (Ed. Norsworthy S.R., Schreier R., Temes G.C.), pp. 1-43, *IEEE press, 1996*
- R. W. Adams, "The desing of High-Order Single-Bit  $\Sigma\Delta$  ADCS", 'Delta-Sigma Data Converters theory, design, and simulation' (Ed. Norsworthy S.R., Schreier R., Temes G.C.), pp. 165-193, *IEEE press, 1996*
- A. Ucar, "Improve Stability of Higher Order Sigma-Delta Modulator," *Third Int. Conf. on Advanced A/D and D/A Conversion Tech. and Their App.*, University of Strathclyde, IEE pub. No:466, pp. 74-78, 1999
- A. Ucar, "Bounding the Integrators Output of Sigma Delta Modulator by Time Delay Feedback Control," to appear in *IEE pro. Circuit, Devices and Systems*.
- R. Farrell, O. Feely, "Bounding Integrator Outputs of Second-Order Sigma-Delta Modulators", *IEEE Trans. Circuits and Stst.* II, pp. 691-702, june 1998
- B. Brandt, P. F. Ferguson, M. Rebeschini, "Analog Circuit Design for  $\Sigma\Delta$  ADCs," 'Delta-Sigma Data Converters theory, design and simulation,' (Ed. Norsworthy S.R., Schreier R., Temes G.C.), pp. 333-378, *IEEE press, 1996*
- P. Horowitz, W. Hill, "The Art Of Electronics", Second Edition, *Cambridge University Press, 1989*
- C. P. Lewis, A. Uçar, "Time delay compensation of Sigma-Delta Modulators, *Patent No: 98090038, UK. 1998.*