

123 KARAR DİYAGRAMI İLE GEÇİŞ TRANSİSTÖRLÜ CMOS DEVRE SENTEZİ VE 4 BİT TOPLAYICI UYGULAMASI

Mutlu AVCI¹

Tülay YILDIRIM²

^{1,2}Elektronik ve Haberleşme Mühendisliği Bölümü
Elektrik-Elektronik Fakültesi

Yıldız Teknik Üniversitesi, 80750, Beşiktaş, İstanbul

¹e-posta: mavci@yildiz.edu.tr

²e-posta: tulay@yildiz.edu.tr

Anahtar sözcükler: 123 Karar Diyagramı, Geçiş Transistör Devre Sentezi, Sayısal Tümdevre Sentezi

ABSTRACT

This paper presents an application of a sophisticated pass transistor logic integrated circuit design methodology called as 123 decision diagram model. In circuit realizations pass transistor logic has less silicon area usage, less power consumption and less transmission delay advantages over standart CMOS design. The 123 decision diagram is a very effective design, analyze and optimization method for pass transistor logic circuits. In fact, this method was improved for NMOS pass transistor logic design. In this work this method was applied CMOS design. With the proposed methodology a 4-bit adder has been designed and simulated. In this work, the effective methodology was obtained to be applicable for CMOS digital integrated circuit design. Especially for DSP chip design.

1. GİRİŞ

Geçiş transistör lojji (GTL) standart CMOS tasarıma göre serme (layout) yoğunluğu, devre gecikmesi ve güç harcama konularında oldukça avantajlıdır ve boru hattı (pipelined) yapısında devrelerin tasarımına oldukça uygundur. GTL tasarımda istenen fonksiyon MOS transistör ağı ile gerçekleştirilmektedir. GTL ile devre tasarımları genellikle temel lojik blok elemanların oluşturulması ve daha sonra bu blokların birleştirilmesi ile gerçekleştirilmektedir. Bu bloklar genellikle ikinci düzeye kadar gerçekleştirilen temel lojik kapılardır.

GTL devreleri temelde iki gruba ayrılabilir bunlar CMOS geçiş transistörlü yapılar ve NMOS geçiş transistörlü CMOS restore tamponlu yapılarıdır [1].

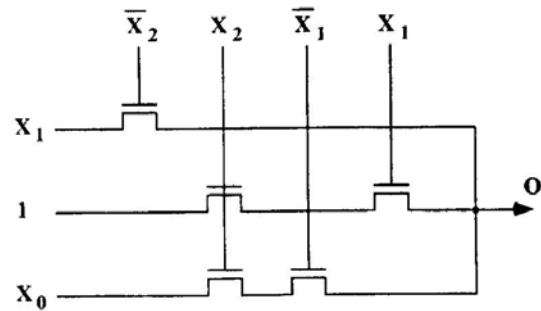
Baştan aşağı GTL devre tasarımı gerçekleştirmek için geliştirilmiş, fonksiyonu sofistike bir tasarımla uygulayan pek fazla tasarım yöntemi mevcut değildir. [1,2]. Bu çalışmada 123 karar diyagramı [1] diye

adlandırılan, NMOS geçiş transistörleri ve CMOS restore tamponlarının kullanıldığı GTL devrelerinin tasarımı ve indirgenmesinde kullanılan diyagram ve algoritması baz alınarak CMOS geçiş transistörlü tasarıma uyarlanmış, uygulama olarak 4 bit toplayıcı tasarımı gerçekleştirilmiş ve TSPICE programında YİTAL 1.5 μ parametreleri ile elde edilen simülasyon sonuçları gösterilmiştir.

Bu çalışmada hedef CMOS boru hattı topolojisinde sayısal işaret işleme (DSP) yongalarının GTL tasarımı için algoritmik bir yapının gösterilmesidir. Bu sayede GTL tasarımının getirdiği az silikon alanı kullanımı, daha hızlı çalışma ve az güç tüketimi avantajlarının DSP yonga tasarımında kullanılabilmesidir.

2. GTL VE 123 KARAR DİYAGRAMI

GTL devreleri NMOS veya CMOS geçiş transistörlerinin geçiş işaretlerini iletmesi için kontrol işaretleri ile kapıların kontrolü esasına dayanır. Şekil-1 de NMOS bir GTL devresinin geçiş ve kontrol işaretleri görülmektedir.



Şekil-1. NMOS GTL devresi

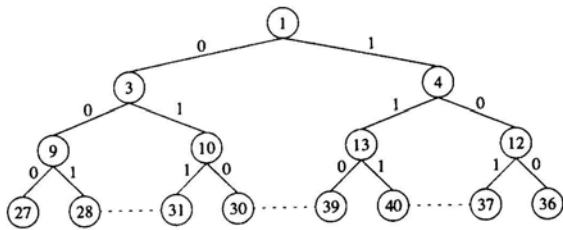
$$F = \bar{X}_1 \cdot X_2 \cdot X_0 + X_1 \cdot X_2 + X_1 \cdot \bar{X}_2 \quad (1)$$

Şekil-1 de (1) fonksiyonu gerçekleştirilmektedir.

Şekil-1'deki X_1, X_0 sinyalleri geçiş sinyalleri, $X_1, \bar{X}_1, X_2, \bar{X}_2$ sinyalleri ise kontrol sinyalleridir.

123 karar diyagramı çok seviyeli lojik sentezi için önerilen bir modeldir. Bu model az alan kullanımı, baştan sona tasarımı ile bilinen en etkili GTL sentez yöntemlerinden biridir. Bu yöntem NMOS tasarım için eş zamanlı serim çıkarma işlemi de yapmaktadır fakat CMOS tasarıma uyarladığımız için sadece devre sentezi ve indirgenmesi için kullanılacaktır. 123 karar diyagramı modeli iki bileşene sahiptir. Bunların ilki transistörlerin ve geçiş işaretlerinin birbirleriyle bağlantılarını gösteren hipergraf, diğeri ise transistörlerin muhtemel ilişkili pozisyonlarını gösteren bir liste gösterimidir [1].

Modelin hipergraf bileşeni graftaki her düğüm için bir, iki en fazla üç bağlantı kenarına izin verir. Diyagram ismini bu esastan almıştır. Hipergraf bileşenleri terminal düğümler, terminal olmayan düğümler ve düğüm kimlikleridir. Terminal düğümler en alt seviyeye yani yongaya giriş işaretlerinden, geçiş transistörüne bağlanana ulaşılmış olanıdır ve kare ile gösterilir. Terminal olmayan düğümler ise alt seviyelere geçiş içeren düğümlerdir ve daire ile gösterilirler. Her düğüm kendine kimlik numarası olarak tek bir numaraya sahiptir. Bu numara bir üst düzeydeki düğümün numarasının 3 ile çarpılıp bağlantı kenar değerinin toplanması ile elde edilir. Sadece terminal olmayan düğümler numaralandırılır. Eğer iki veya daha fazla terminal olmayan düğüm kesikli çizgi ile bağlanırsa hiperkenar oluşur ve bu düğümlerin birleştirilebileceğini gösterir. Her kenar 0, 1 veya 2 değerini alabilir. 0 veya 1 değerli kenar bir MOS transistörü 2 ise metal bağlantıdır [1].

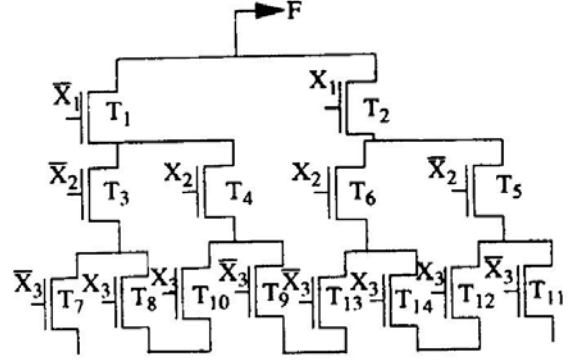


Şekil-2. Hipergraf şeması

Şekil-2 de hipergraf gösterilmiştir, burada kesikli çizgi o seviyedeki terminallerin birleştirilebileceği anlamına gelmektedir. Şekil-3 te bu grafa ait devre şeması görülmektedir.

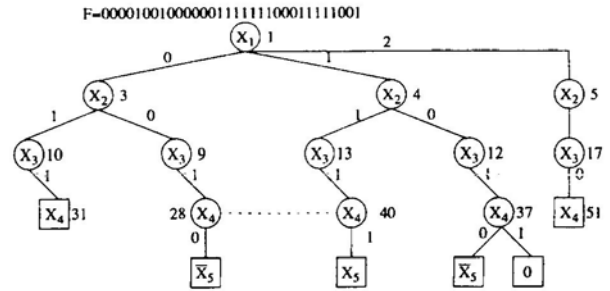
Şekil-2'de 0 ve 1 harfleri ile gösterilen kenar bağlantıları Şekil-3'te T1 ve T2 transistörleri ile gösterilmektedir. Burada 30 ve 31 numaralı düğümlere 10 numaralı düğümün çocukları denmektedir. Çünkü onun bir alt seviyesinde ve onun tarafından oluşturulmaktadır [1,2].

Aynı zamanda bu graf tekniğine uygulayabilmek için fonksiyonun bit haritası kodlanması gerekmektedir. Kodlama 123 karar diyagramının uygulanabilmesi için gerekli ikili sistemde devrenin numerik ifadesidir. [1,3,4,5,7,8]. Transformasyon ve indirgeme devre gerçekleştirilmesi sırasındaki eleman yerleşimi ve sadeleştirme işlemleridir. [1,3,4].



Şekil-3. Hipergrafın devre eşdeğeri

Şekil-4 te kodlanmış ve indirgenmiş bir graf görülmektedir.



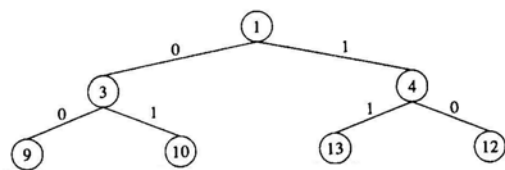
Şekil-4 Tamamlanmış hipergraf

Tamamlanıp devreye dönüştürülecek bir hipergraf tamamen terminal formuna dönüştürülmelidir. Daha sonra devre eşdeğeri elde edilebilmektedir. [1,2,5,8]

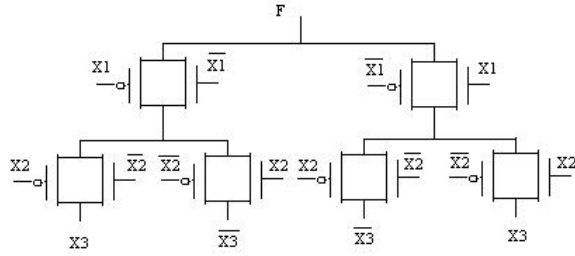
3. ÖNERİLEN DEVRE TOPOLOJİSİ

Burada 4-bit lojik toplama fonksiyonu CMOS geçiş kapıları ile gerçekleştirilmiştir. 123 karar diyagramı ile Şekil-5 te görülen hem toplam hem de elde yapısının gerçekleştirileceği hiper graf görülmektedir. Bu graf baz alınarak 6 ve 7'de görüldüğü üzere 1 bitlik temel bloklar halinde tasarlanmıştır. Toplam çıkışı için gerçekleştirilen fonksiyon:

$$F = X_1 \cdot \bar{X}_2 \cdot \bar{X}_3 + \bar{X}_1 \cdot X_2 \cdot \bar{X}_3 + \bar{X}_1 \cdot \bar{X}_2 \cdot X_3 + X_1 \cdot X_2 \cdot X_3 \quad (2)$$



Şekil-5 Temel her iki blok için 123 diyagram grafi

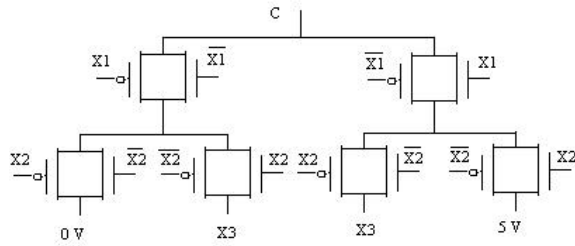


Şekil-6 Toplama ünitesi

Şekil-6'daki devre denklem (2)'deki toplama fonksiyonunu, Şekil-7 deki devre ise denklem (3) ile ifade edilen elde fonksiyonunu gerçekleştirmektedir.

$$C = X_1 \cdot X_2 + X_1 \cdot X_2 \cdot X_3 + X_1 \cdot X_2 \cdot X_3 \quad (3)$$

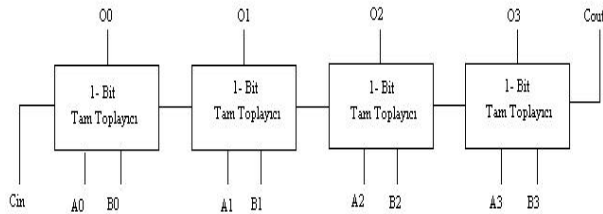
Şekil-6 ve 7'de görülen devre şemalarında X_1, X_2, X_3 giriş değişkenlerinin toplamı elde edilmektedir. Bu şemalarda X_1 değişkeni Şekil-8 deki A girişini, X_2 değişkeni B girişini, X_3 değişkeni ise Cin yani elde girişini ifade etmektedir.



Şekil-7 Elde ünitesi

Şekil-7'deki C çıkışı bir sonraki kata girilecek elde bitidir. (3) denklemine göre tasarlanmıştır.

Şekil-6 ve 7'de görülen iki blok birleşerek 1-bit tam toplayıcı CMOS devresini ve bu tam toplayıcılar birleşerek Şekil-8'de gösterilen bağlantı ile 4-bit toplayıcıyı oluşturur.

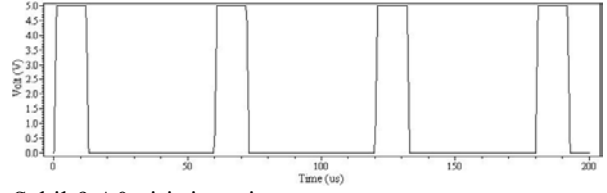


Şekil-8 4-Bit toplayıcı devresi

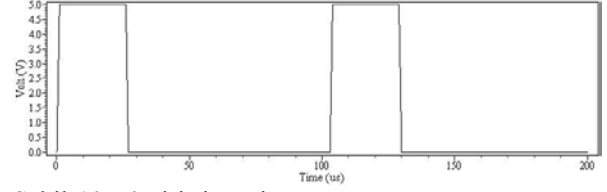
4. SİMÜLASYON SONUÇLARI

Tasarlanan devre TSPICE programı ve YİTAL 1.5 μ parametreleri ile simüle edilmiştir. Şekil-8'de gösterilen 4-bit toplayıcı devresindeki giriş ve çıkış işaretleri aynı isimlerle kullanılmışlardır. Girişler en yüksek değerlikli bitten en düşük değerlikli olana kadar A3A2A1A0, B3B2B1B0 ve Cin elde girişi,

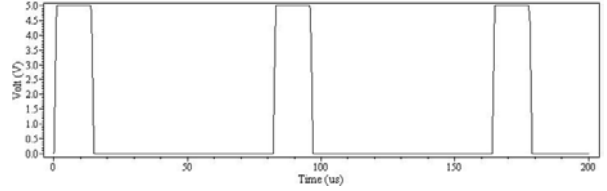
çıkışlar ise O3O2O1O0 ve Cout işaretleridir. Toplam 118 MOS transistör kullanılmıştır bunlardan 22 MOS transistör, işaretlerin evriğinin elde edilmesi için kullanılmıştır.



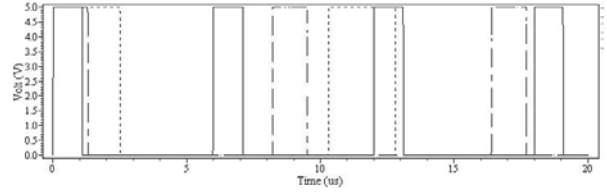
Şekil-9 A0 giriş işareti



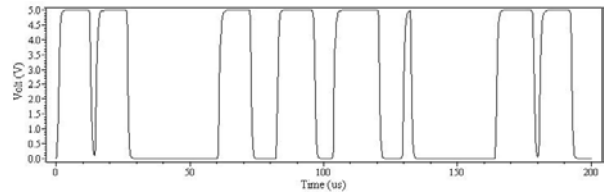
Şekil-10 B0 giriş işareti



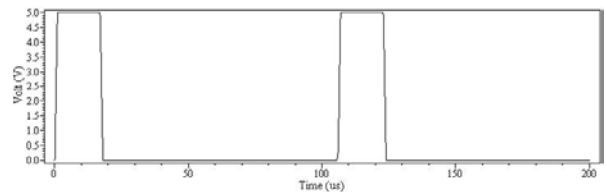
Şekil-11 Cin giriş işareti



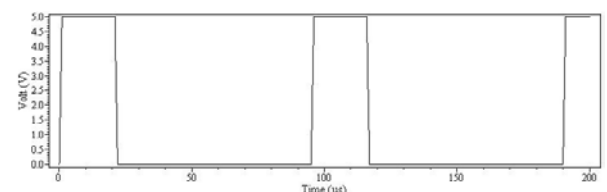
Şekil-12 A0,B0 ve Cin girişleri aynı grafik üzerinde



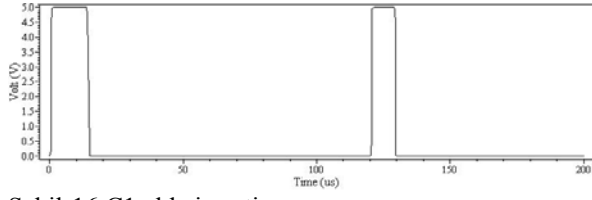
Şekil-13 O0 çıkış işareti



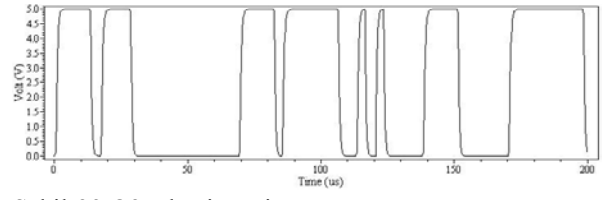
Şekil-14 A1 giriş işareti



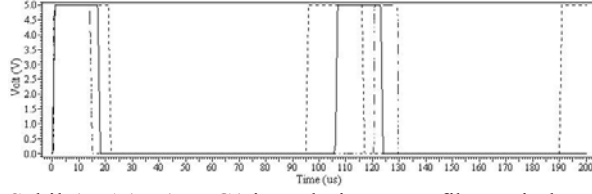
Şekil-15 B1 giriş işareti



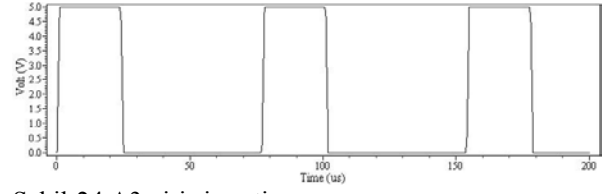
Şekil-16 C1 elde işareti



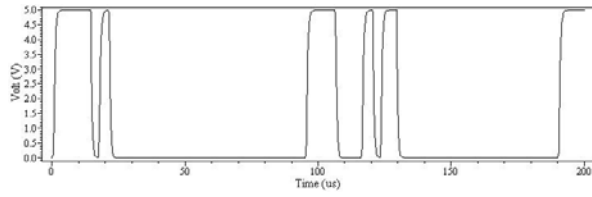
Şekil-23 O2 çıkış işareti



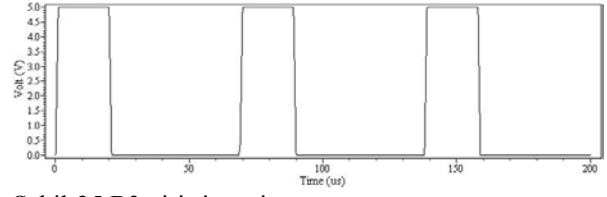
Şekil-17 A1,B1 ve C1 işaretleri aynı grafik üzerinde



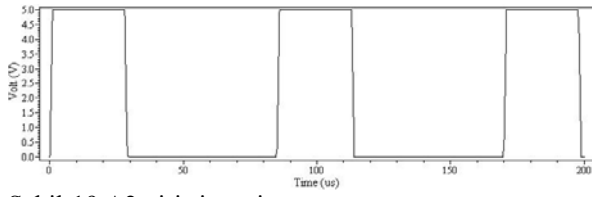
Şekil-24 A3 giriş işareti



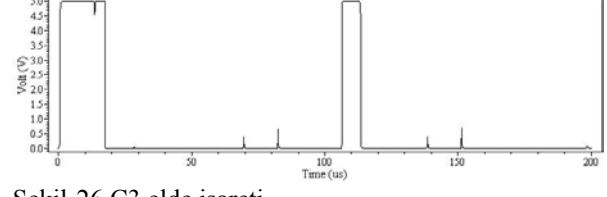
Şekil-18 O1 çıkış işareti



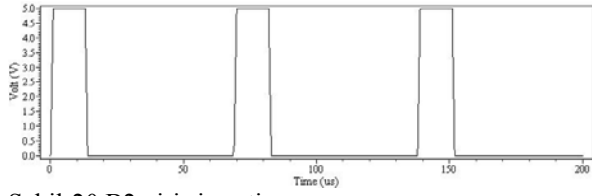
Şekil-25 B3 giriş işareti



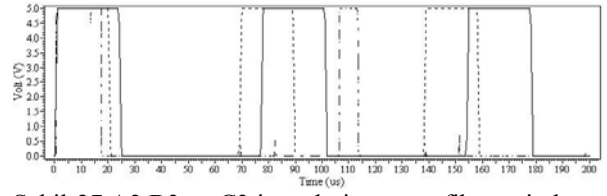
Şekil-19 A2 giriş işareti



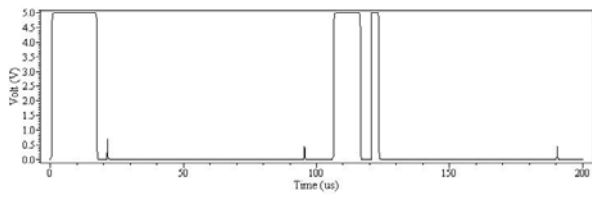
Şekil-26 C3 elde işareti



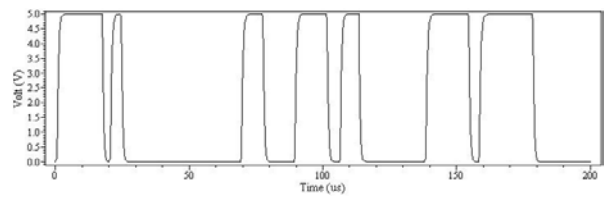
Şekil-20 B2 giriş işareti



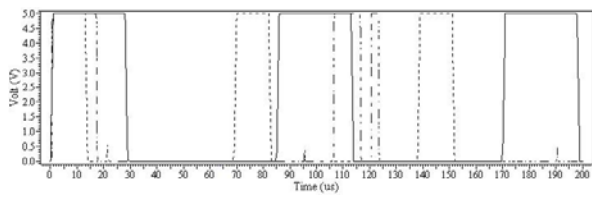
Şekil-27 A3,B3 ve C3 işaretleri aynı grafik üzerinde



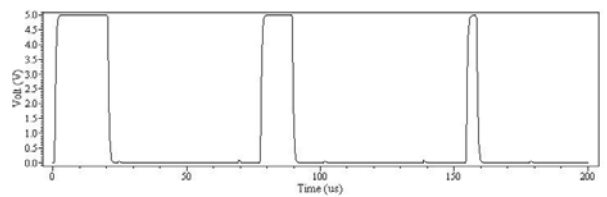
Şekil-21 C2 elde işareti



Şekil-28 O3 çıkış işareti



Şekil-22 A2,B2 ve C2 işaretleri aynı grafik üzerinde



Şekil-29 Cout elde çıkış işareti

Şekil-16, 21 ve 26'da görülen elde işaretleri ara işaretler olup bir üst kata giden elde işaretlerinin göstermekte ve devrenin daha kolay takibini sağlamaktadır.

Daha iyi bir analiz için Şekil-12, 17, 22 ve 27'de girişler ve eldeler aynı grafik üzerinde gösterilmiş, o şekle ait çıkış bir alt şekilde yer almıştır .

5. SONUÇ

Bu çalışma ile güncel ve en ileri geçiş transistörü tasarım tekniklerinden biri olan 123 karar diyagramı CMOS GTL tasarımına adapte edilmiştir. Bu çalışmadaki tasarımda NMOS ile restore tamponu kullanılmayıp CMOS tasarım gerçekleştirilmiştir. Geçiş transistörlerinin kullanımı yer, güç kazancı ve hızlı çalışma sağladığından, 123 karar diyagramı ile indirgenme sağlanmış, optimum bir tasarım elde edilmiştir.

Uygulama devresi simülasyon sonuçları tasarımın başarımını, kolaylığını ve etkinliğini göstermektedir. Sonuç olarak bu metod CMOS DSP yongalarının tasarımında kullanılabilir bir tasarım algoritmasıdır.

KAYNAKLAR

- [1] Jeakel A., Bandyopadhyay S., Jullien G.A., Design of Dynamic Pass-Transistor Logic Circuits Using 123 decision diagram, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-I, Vol 45, Iss 11, pp 1172-1181, 1998.
- [2] Markovic D., Nikolic B., Oklobdzija V.G., A General Method in Synthesis of Pass Transistor Circuits, MICROELECTRONICS JOURNAL, Vol 31, pp 991-998, 2000.
- [3] Abadir M. S., Reghabati H. K., Fuctional Test Generation For Digital Circuits Described Using Binary Decision Diagram, IEEE TRANSACTIONS ON COMPUT., Vol C-35, pp 375-379, April 1986.
- [4] Al-assadi W., Jayasumana A. P. ve Malaia Y. K., Pass Transistor Logic Design, INTERNATIONAL JOURNAL OF ELECTRONICS, Vol 70, pp 739-749, 1991.
- [5] Cheung T. S., Asada K., Regenerative Pass Transistor Logic: A Circuit Technique For High Speed Digital Design, IEICE TRANSACTIONS ON ELECTRONICS, Vol E-79C, Iss 9, pp 1274-1284, September 1996.
- [6] Kanie Y., Kubota Y., Toyoyama S., Iwase Y., Tsuchimoto S., 4-2 Copressor With Complementary Pass Transistor Logic, IEICE TRANSACTIONS ON ELECTRONICS, Vol E-77C, Iss 4, pp 647-649, April 1994.
- [7] Matsunaga Y., Fujita M., Multilevel Logic Optimization Using Binary Decision Diagrams, IEEE INTERNATIONAL CONFERENCE ON COMPUTER AIDED DESIGN, pp 556-559, 1989.
- [8] Yano K., Sasaki Y., Rikino K., Seki K., Top Down Pass Transistor Logic Design, IEEE JOURNAL OF SOLID STATE CIRCUITS, Vol 31, Iss 6, pp 792-803, 1996.
- [9] Suzuki M, ve diğerleri, 1.5nS CMOS complementary 16x16 bit Multiplier Using Complementary Pass Transistor Logic IEEE JOURNAL OF SOLID STATE CIRCUITS, Vol 28, Iss 11, pp 599-602, 1993.
- [10] Yano K, ve diğerleri, 3.8nS CMOS complementary 16x16 bit Multiplier Using Complementary Pass Transistor Logic IEEE JOURNAL OF SOLID STATE CIRCUITS, Vol 25, Iss 2, pp 388-395, 1990.