

N-MOSFET'LERDE SICAK TAŞIYICILARIN MODELLENMESİ İÇİN YENİ BİR YÖNTEM

Gürsel DÜZENLİ¹

Hakan KUNTMAN²

¹Elektrik-Elektronik Mühendisliği Bölümü
Mühendislik Fakültesi

Sakarya Üniversitesi, 54040, Esentepe, Adapazarı

²Elektronik ve Haberleşme Mühendisliği Bölümü
Elektrik-Elektronik Fakültesi

İstanbul Teknik Üniversitesi, 80626, Maslak, İstanbul

¹e-posta: gursel@duzenli.net

²e-posta: kuntman@ehb.itu.edu.tr

Anahtar sözcükler: Sıcak Taşıyıcılar, Güvenirlilik, MOS modelleri

ABSTRACT

This paper described a spice compatible new analytic flatband-voltage model for n-MOSFET devices. It is well known that the hot-carrier effect becomes a great obstacle as the dimensions of the MOSFET devices are scaled down. The hot carrier effect is mainly caused by the high electric field in the channel near the drain junction for a device. This high field provides enough energy to the channel electrons which may generate electron-hole pairs through impact ionization. The generated holes are attracted to the substrate to form the substrate current and the electrons are swept toward to the drain. If the electrons get enough energy to reach the Si-SiO₂ interface and surmount the barrier, the gate current is resulted. This gate current creates damage in the oxide or on the interface near the drain junction and device performance is degraded.

The created damage in the oxide or on the interface near the drain junction is explained by a new flatband-voltage model. Comparison of modeled results with experimental results is in excellent agreement. Moreover, the model can also describe the time dependence of degraded drain current with stress time.

1. GİRİŞ

Günümüzde, üretim teknolojisinin ulaştığı 0.1µm kanal uzunluğu, daha da küçültülmesi hedefleniyor [1]. Buna bağlı çalışma güvenirlığının sağlanabilmesi için besleme gerilimi düşürülmektedir. Fakat, sıcak

taşıyıcıların etkisine bağlı yorulmalar, besleme geriliminin 3V'ta düşürülmesiyle de azaltılamamıştır. Bunun en büyük nedeni kanal uzunluğunun kısaltılmasıyla savak ucuna yakın kanaldaki elektrik alan artışından [2] ve kanal içindeki bazı elektronların qV_D 'den daha büyük enerji alabilmelerinden [3] kaynaklanmaktadır.

SPICE simülasyon programı dünyada en çok kullanılan simülasyon programıdır. SPICE programının bu kadar yaygın olmasının en önemli nedeni yazılımın kaynak kodunun ve elemanları temsil eden model yapılarının açık olmasından kaynaklanmaktadır. Bir elemanı temsil eden modelin doğru olması için ölçüm sonuçlarla simülasyon sonuçların kabul edilebilir derecede uyuşması gerekmektedir. Yorulmanın doğru modellenmesi için de modelin yorulmadan önce ve sonraki sonuçların ölçüm sonuçlarla olabildiğince uyuşması gerekmektedir.

Bu çalışmada yorulmayı doğru modellenebilmesi ve SPICE programına kolayca eklenebilmesi için yeni bir düzband gerilim modeli önerilmektedir. Önerilen bu modelin simülasyon sonuçları ölçüm sonuçlarla tam bir uyum içinde olduğu görülmüştür.

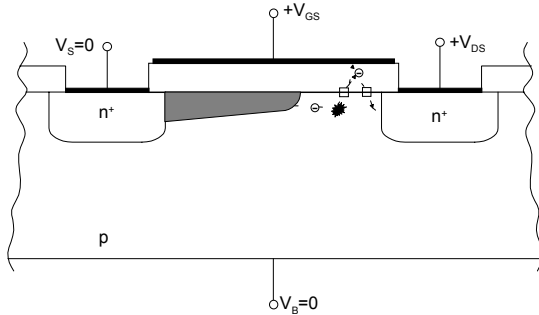
2. N-MOS YORULMASI

N-MOS tranzistorların sıcak taşıyıcıların etkisinden dolayı yorulması 70'li yıllarda bulunmuştur. Fakat, günümüze kadar çok sayıda araştırmalar yapılmasına karşın p-MOS tranzistorun yorulması kadar derin bir bilgi elde edilememiştir. N-MOS tranzistorun

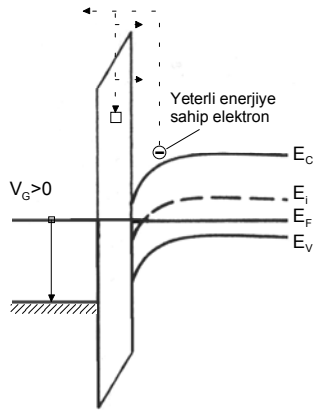
yorulması p-MOS tranzistorun yorulmasına benzememekte birlikte daha karmaşık yapıdadır. P-MOS tranzistorun yorulma mekanizması sadece elektronların etkisi ile oluşurken [4, 5] n-MOS tranzistorların yorulma mekanizması elektron ve deliklerin etkisi ile oluşmaktadır [6].

2.1.Geçit okside elektron enjeksiyonu

Doymada çalışan bir n-MOS tranzistorun geçit oksidine sıcak elektron enjeksiyonunun şematik gösterimi Şekil 1'de görülmektedir. Kısılma bölgesindeki elektron oksidin enerji bariyerinden ($\phi_{enjek,e} \approx 3.1eV$) daha büyük bir kinetik enerjiye ulaşabilir (Şekil 2). Böyle bir elektron elastik bir çarpışma sonucunda ara yüzeye doğru yön değiştirirse okside girebilmektedir. Oksidin içine giren elektron



Şekil 1 N-MOS tranzistorun sıcak elektronlarla yorulma mekanizması.

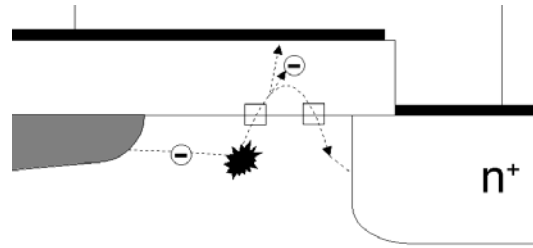


Şekil 2 N-MOS tranzistorun enerji band diyagramı ile sıcak elektronlarla yorulma mekanizması.

ters yönde bir elektrik alanının etkisinde kalmaktadır. Bu etkiden dolayı elektron yön değiştirmekte ve ikinci kez Si-SiO₂ ara yüzeyini geçerek kanaldaki savak akımına katılmaktadır. Okside giren elektronun buradaki tuzaklara yakalanarak sabit bir negatif yük oluşturması çok az bir ihtimaldir. Bunun nedeni elektrik alanının etkisiyle elektronun oksidin içine

yeteri kadar girememesi ve ayrıca σ_e elektron tuzak kesitinin çok küçük olmasıdır. Bunu yanında elektronun geçit uçuna ulaşip $I_{G,e}$ akımını oluşturması çok daha az bir ihtimaldir. Fakat okside giren ve çıkan elektronlar ara yüzeyine zarar verebilmektedir. Böylece yeni ara yüzey durumlar oluşmaktadır. N-MOS tranzistordaki yorulmanın asıl nedeni ara yüzeyin üst kısmında yeni oluşan alıcı durumların neden olduğu görüşüdür [6].

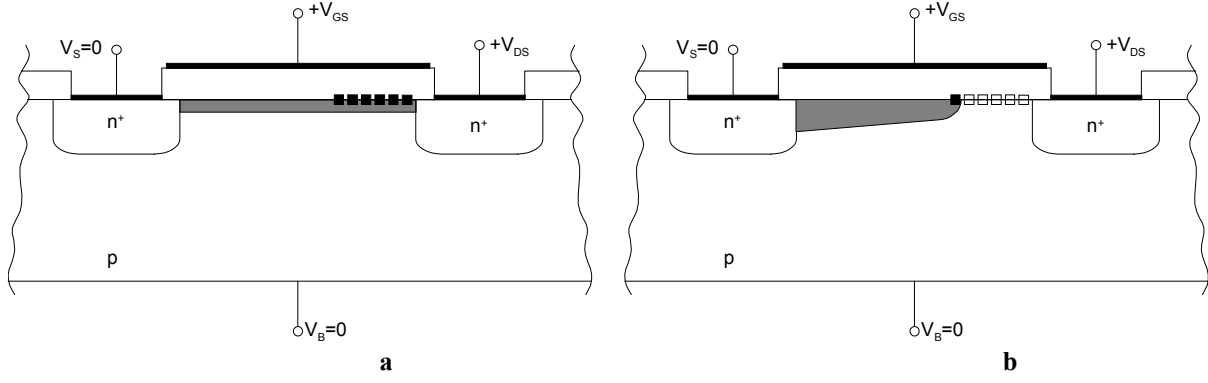
Oksit tabakasına yakın E_C iletim bandının enerji seviyesinin yüksek olması ile yeni ara yüzey durumların çoğu negatif yüklü olmaktadır. Tranzistorun lineer çalışma bölgesinde çalıştırılması ile bu şart sağlanır (Şekil 3a). Bu durumda tranzistorun savak akımı azalmakta. E_C 'nin seviyesi



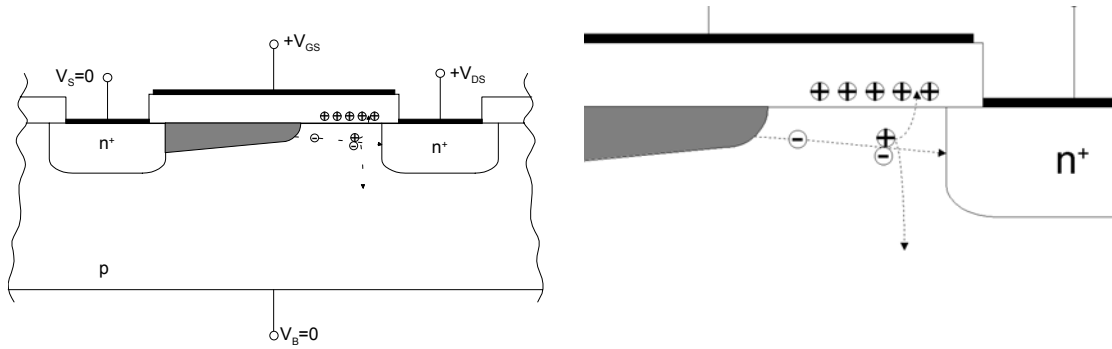
yeni ara yüzey durumların oluştuğu yorma durumundaki E_C 'nin seviyesinden daha düşük olması ara yüzey durumların çoğunun yüksüz kalmasına neden olmaktadır. Bu durum tranzistorun aşırı doyma bölgesinde çalıştırılmasında oluşmaktadır (Şekil 3b).

2.2.Geçit okside delik enjeksiyonu

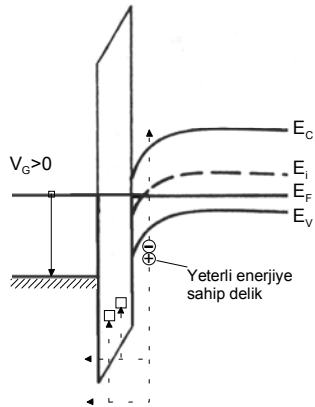
Tranzistorun kısılma bölgesinde hızlanan elektronların bir çarpışma sonucu (en az 1.6eV) yeni bir elektron – delik çiftini meydana getirebilmektedir (Şekil 4). Bu yorulma mekanizması p-MOS tranzistorun yorulma mekanizmasına benzemektedir. Yeni oluşan elektron savak akımını biraz artırırken doğru yöne ve yeterli enerjiye sahip delik (en az 4.8eV) oksidin içine girebilmektedir (Şekil 5). Oksidin içine giren deliklerin çoğu oksitteki tuzaklara yakalanarak sabit pozitif yükler oluşturmaktadır. Oksitteki pozitif yükler savak akımın artmasına neden olmaktadır (başka bir yorulma mekanizması bu etkiyi kompanze etmiyorsa). Ayrıca sıcak deliklerin okside girmeleri sonucu ara yüzeye de zarar verebilmektedir. Bu durum elektronların okside girmeleri sonucu oluşan yeni ara yüzey durumlarla aynıdır.



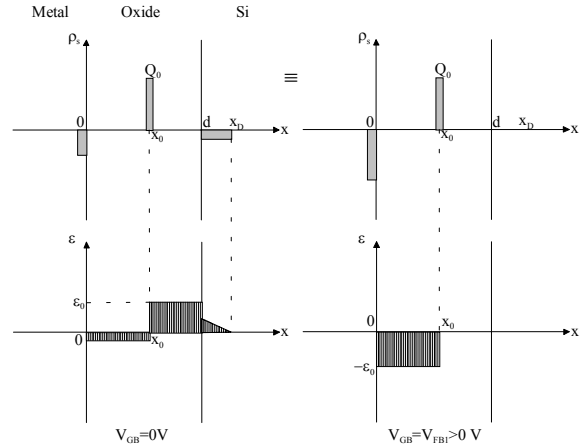
Şekil 3 Sıcak elektronların neden oldukları yeni ara yüzey durumları.
a) Tranzistörün lineer bölgede çalışması durumundaki ara yüzey durumları.
b) Tranzistörün doyma bölgede çalışması durumundaki ara yüzey durumları.



Şekil 4 N-MOS tranzistörün sıcak deliklerle yorulma mekanizması.



Şekil 5 N-MOS tranzistörün enerji band diyagramı ile sıcak deliklerle yorulma mekanizması.



Şekil 6 Yorulmamış bir n-MOS tranzistörün düzband durumu.

3. Yorulmanın düz-band gerilimine etkisi

Bu bölümde yorulmuş bir tranzistörde düzband gerilim ifadesi incelenecektir. Şekil 6'da yorulmamış bir n-MOS tranzistörün kutuplanmamış ve kutuplanmış durumdaki yük dağılımı görülmektedir. Bu şekille göre düzband gerilim ifadesi denklem (1) ile ifade edilebilir.

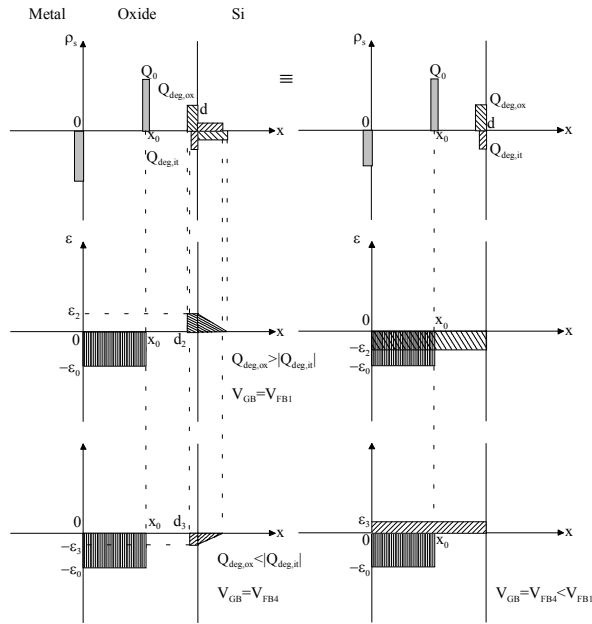
$$V_{FB1} = -\frac{Q_{ox}}{\epsilon_{ox}} \cdot x_0 + \phi_{MS} \quad (1)$$

$V_{DS}=0$ için $V_{FB1}<0$ ve $\phi_{MS}<0$ dır. Bu durumda düzband durumunu elde edebilmek için $V_{GB}=V_{FB1}$ olması gerekmektedir.

Yorulmuş bir n-MOS tranzistörde Si-SiO₂ ara yüzeyinde ve oksidin içinde yükler oluşmaktadır (Şekil 7). Bu yükler yorulmaya bağlı olarak 3 farklı durum meydana getirebilmektedir. İlk durum ara yüzey yüklerin $Q_{deg,it}$ okside içindeki $Q_{deg,ox}$ yüklerden daha fazla olmasıdır. İkinci durum oksit içindeki

$Q_{deg,ox}$ yüklerin ara yüzeydeki $Q_{deg,it}$ yüklerden daha fazla olmasıdır. En son durumda ise her iki yükün aynı büyüklükte olmasıdır. Bu durumlar bağlı olarak düzband gerilimini elde edebilmek için geçit gerilimi V_{GB} sırasıyla ya azaltılmalı, ya artırılmalı veya sabit tutulmalıdır. Yorulmuş bir n-MOS tranzistora ait düzband gerilim ifadesi denklem (2)'de görülmektedir.

$$V_{FB2} = -\frac{Q_0}{\epsilon_{ox}} \cdot x_0 + \frac{Q_{deg,ox} + Q_{deg,it}}{\epsilon_{ox}} \cdot d + \phi_{MS} \quad (2)$$



Şekil 7 Yorulmuş bir n-MOS tranzistörün düzband durumu.

4. Yorulmanın savak akımına etkisi

Bir tümdevredeki tranzistörün yorulması ve devre parametrelerinin değişmesinden dolayı tümdevre belirli bir süre boyunca hatasız çalışabilmesi gerekmektedir. Bunun sağlanabilmesi için tranzistörün en kötü çalışma durumu altında belirli bir süre boyunca belirli bir sınır değeri aşmamasının sağlanması gerekmektedir. Bu tür sınır değerlerin belirlenmesi ve tranzistörün hangi parametrelerine uygulanması gerekli olacağına ait güvenlik kriterler oluşturulur. Tranzistörün veya bir devrenin belirlenmiş bir çalışma koşulu altında güvenlik kriterlerini aşmadığı süreye tranzistörün veya devrenin "ömrü" denir. Güvenlik kriterlerin aşılmamasını kontrol etmek için özel kısa zamanlı yorma/yükleme (stress) deneyler uygulanmaktadır. Bu deneylerin uygulanma süreleri birkaç dakikadan birkaç saat ile sınırlıdır. İnterpolasyon yöntemi yardımı ile de normal çalışma koşullarındaki ömrü bulmaya çalışılmaktadır [7].

Yorulma süresine göre $Q_{deg,it}$ ve $Q_{deg,ox}$ yükleri değişmektedir. Buna bağlı olarak I_{DS} savak akımı da

değişmektedir. I_{DS} savak akımın yorulmaya bağlı en genel ifadesi denklem (8) ve (9)'de görülmektedir.

$$V_{TH} = V_{FB2} + 2\phi_f + \gamma \cdot \sqrt{2\phi_f - V_{BS}} \quad (3)$$

$$\phi_f = \frac{kT}{q} \cdot \ln \frac{n_i}{n_o} \quad (4)$$

$$\gamma = \frac{(2 \cdot \epsilon_{Si} \cdot q \cdot N_A)^{\frac{1}{2}}}{C_{ox}} \quad (5)$$

$$L_{eff} = L - 2 \cdot x_j \quad (6)$$

$$W_{eff} = W \quad (7)$$

$$I_{DS,lin} = \frac{\mu_n \cdot W_{eff} \cdot C_{ox}}{L_{eff}} \cdot \left[(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right] \cdot (1 + \lambda_{lin} V_{DS}) \quad (8)$$

$$I_{DS,sat} = \frac{\mu_n \cdot W_{eff} \cdot C_{ox}}{2 \cdot L_{eff}} \cdot (V_{GS} - V_{TH})^2 \cdot (1 + \lambda_{sat} V_{DS}) \quad (9)$$

5. Deneysel Sonuçlar

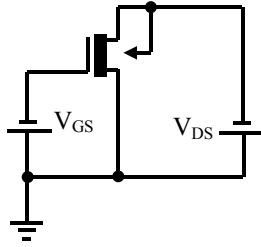
Bu çalışmada boyutları $W_{eff}=10\mu m$, $L_{eff}=3\mu m$ ve proses parametreleri $t_{ox}=15nm$, $x_j=400nm$ olan bir tranzistör kullanılmıştır. Deneylerde tranzistörün test edilmesi için ölçüm cihaz olarak HP4145B parametre analizörü kullanılmıştır. Şekil 8'deki devre düzeneğinde, n-MOS tranzistörün yorulması için kurulan kutuplama devresi görülmektedir. Yorma gerilimi olarak $V_{D,stress}=7V$ ve $V_{G,stress}=1.5V$ ve toplam yorma süresi olarak 16 saatlik bir zaman aralığı seçilmiştir.

Deneysel olarak elde edilmiş olan datalar kullanılarak $t=16$ saat için V_{FB2} denklemi aşağıdaki gibi elde edilmiştir.

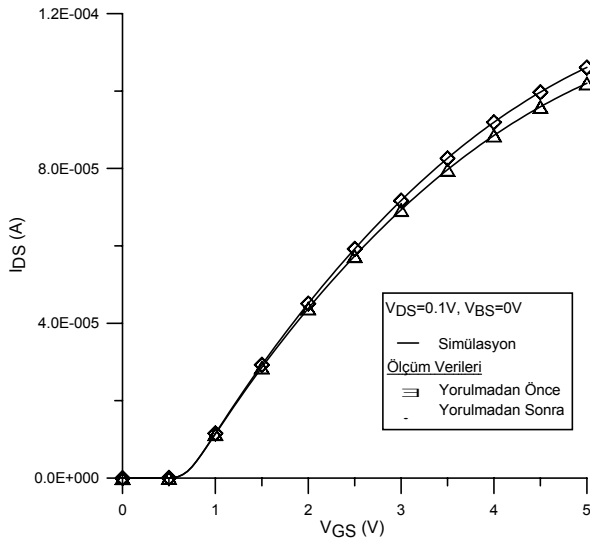
$$V_{FB2} = \left(\frac{C_1 \cdot V_{th0}}{C_2 \cdot V_{GS} - V_{th0}} \right) \cdot \exp(C_3 \cdot V_{DS}^2) \cdot \ln(t_{stress} + 1) \quad (10)$$

Burada C_1-C_3 belli bir üretim teknolojisine bağlı sabitler ve V_{TH0} $t_{stress}=0$ anındaki eşik gerilimdir. Denklem (10) kullanılarak elde edilen simülasyon sonuçları ile deneysel sonuçların karşılaştırılması Şekil 9 ve Şekil 10'da görülmektedir [8, 9].

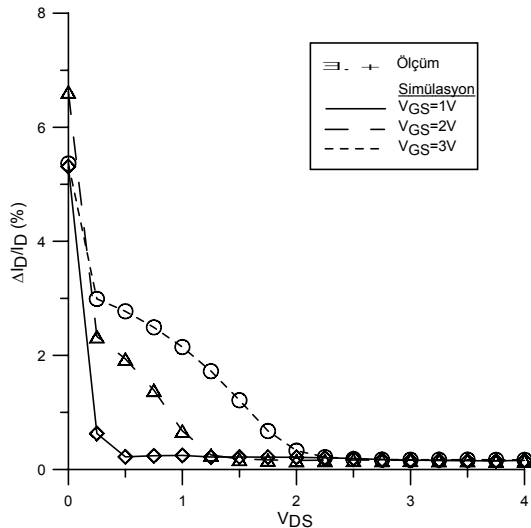
N-MOS tranzistörün yorulması sonucu lineer çalışma bölgesi daha çok etkilendiği Şekil 10'dan görülmektedir.



Şekil 8 N-MOS ölçüm deney düzeneği.



Şekil 9 N-MOS tranzistörün yorulmadan önce ve sonraki geçiş özgeçirileri ($V_{D, \text{stress}}=7V$ ve $V_{G, \text{stress}}=1.5V$, $t_{\text{stress}}=16\text{saat}$)



Şekil 10 N-MOS tranzistörün 16 saat yorulmadan sonra yüzdesel olarak $\Delta I_D/I_D - V_{DS}$ değişimi.

6. SONUÇ

Bu çalışmada, sıcak taşıyıcıların N-MOS tranzistörlerin savak akımı üzerindeki etkileri incelenmiş ve yeni bir model önerilmiştir. Önerilen bu model ile ölçüm sonuçlar çok iyi uyduğu görülmüştür. Böylece, belli bir üretim teknolojisi için elde edilen C_1-C_3 sabitleri ile SPICE programı kullanarak herhangi bir devrenin sıcak taşıyıcılarından ne kadar etkilendiği, ölçüm yapılmaksızın, inceleme imkanı sağlanmış olmaktadır.

KAYNAKLAR

- [1] Thewes, R., Brederlow, R., Schlünder, C., Wiczorek, P., Ankele, B., Hesener, A., Holz, J., Kessel, S. and Weber, W., MOS transistor reliability under analog operation, MICROELECTRONICS RELIABILITY, Vol.40, pp.1545-1554, 2000.
- [2] Groeseneken, G., Hot carrier degradation and ESD in submicron CMOS technologies: how do they interact?, IEEE TRANS. DEVICE AND MATERIALS RELIABILITY, Vol.1, pp.23-32, 2001.
- [3] Li, E., Rosenbaum, E., Tao, J. and Fang, P., Projecting Lifetime of deep submicron MOSFETs, IEEE TRANS. ELECTRON. DEVICE, Vol.48, pp.671-677, 2001.
- [4] Mu, F., Xu, M., Tan, C. and Duan, X., A new lifetime prediction method for hot-carrier degradation in n-MOSFETs with ultrathin gate oxides under $V_g=V_d$, MICROELECTRONICS RELIABILITY, Vol.41, pp.1909-1913, 2001.
- [5] Yang, C., Wang, Z., Tan, C. and Xu, M., The degradation of p-MOSFETs under off-state stress, MICROELECTRONICS JOURNAL, Vol.32, pp.587-591, 2001.
- [6] Esseni, D., Bude, J. D. And Selmi, L., On Interface and Oxide Degradation in VLSI MOSFETs-PartI: Deuterium Effect in CHE Stress Regime, IEEE TRANS. ON ELECTRON DEVICES, Vol.49, pp.247-253, 2002.
- [7] Thewes, R., Weber, W., 'Effects of hot carrier degradation in analog CMOS circuits', MICRO ELEC. ENG., Vol. 36, pp:285-292, 1997.
- [8] Düzenli, G. and Kuntman, H., The Basic of an Analytical Model Development for the P-MOS Transistor Degradation, PROC. OF OPTIM 2002 (8th International Conference Romania), pp.829-834, 2002.
- [9] Düzenli, G. and Kuntman, H., P-Mosfet'lerde Sıcak Taşıyıcıların Modellenmesi İçin Yeni Bir Yöntem, ELEKTRİK - ELEKTRONİK - BİLGİSAYAR MÜH. 9. ULUSAL KONGRESİ BİLDİRİ KİTABI, Kocaeli Üniversitesi-EMO, 19-23 Eylül, Cilt II, s.355-358, 2001.