

# CMOS TABANLI DK-HSA DEVRESİ

Enis GÜNAY, Mustafa ALÇI, Deniz KARAÇOR

Erciyes Üniversitesi Elektrik-Elektronik Mühendisliği Bölümü, 38039, Kayseri.

e-posta:egunay@erciyes.edu.tr

e-posta:malci@erciyes.edu.tr

e-posta:d\_karacor@yahoo.com

Anahtar sözcükler: Hücresel Sinir Ağları, Kaos, Chua Devresi

## ABSTRACT

This study presents a new autonomous Chua's Circuit, which is considered by using a CMOS realization of State Controlled-Cellular Neural Network (SC-CNN) circuit. In this study, the voltage mode operational amplifier (VOA) based traditional SC-CNN circuit is reconstructed by using CMOS blocks. Pspice simulations that demonstrate the performance of the proposed circuit are also presented.

## 1. GİRİŞ

Hücresel Sinir Ağları (HSA) ilk olarak Chua ve Yang tarafından tanıtılmasından itibaren [1-3] oldukça ilgi uyandırmış ve literatürde teorik ve deneysel bir çok çalışmaya konu olmuştur [4-6]. Bu çalışmaların büyük bir kısmı görüntü işleme teknikleri üzerine yapılırken, bazıları ise kompleks davranışlar ve kaotik devrelerle ilgili. Nitekim bu çalışmalar arasında en çok dikkat çekenlerden birisi, basit donanımına rağmen zengin kaotik davranışlar sergilemesinden dolayı, kaotik çalışmalarda en çok tercih edilen kaotik konumundaki Chua devresinin, uygun bir tasarımla üç tane HSA hücresi kullanılarak elde edilmesidir [7]. Durum Kontrollü-HSA (DK-HSA) olarak da bilinen bu ağ yapısının gerçekleştirilmesinde genelde voltaj modlu işlemsel kuvvetlendiriciler (VOA) aktif eleman olarak kullanılmıştır.

Bu çalışmada, DK-HSA devresinin VOA'lar yerine CMOS devre blokları kullanılarak tasarlanması gösterilmektedir. DK-HSA devresinde CMOS devre yapılarının kullanılması devrenin besleme voltajını düşürmekte böylece devrede harcanan gücü azaltmaktadır. Ayrıca bu tasarım sayesinde DK-HSA devresi tümleştirme işlemine uygun hale getirilmektedir. Bildirinin organizasyonu şu şekildedir: DK-HSA devresi 2. Bölüm'de tanıtılırken, Bölüm 3'te ise DK-HSA devresinin CMOS eş değer blokları kullanılarak tasarımı ve bilgisayar benzetim sonuçları verilmektedir. Bölüm 4'te ise sonuç kısmı yer almaktadır.

## 2. DK-HSA DEVRESİ

Chua devresi kaotik çalışmalar içerisinde, donanım basitliğine rağmen zengin kaotik davranışlar

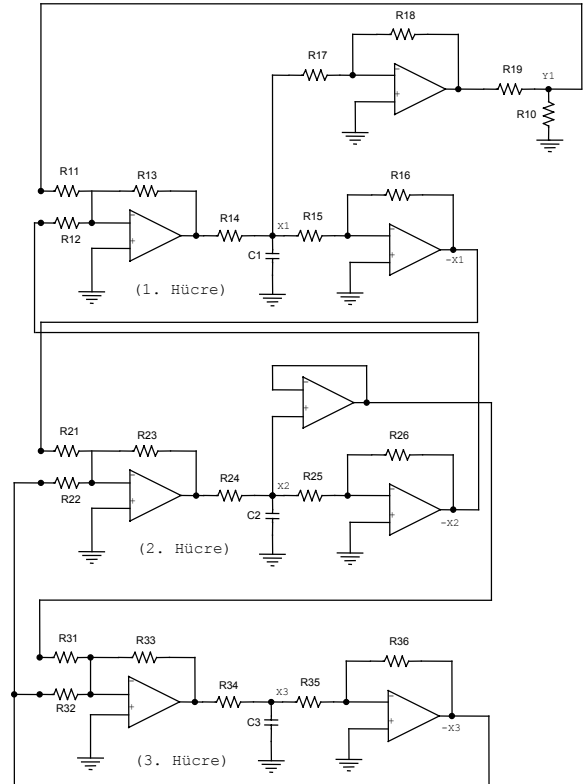
sergilemesinden dolayı en çok tercih edilen kaotik üreticidir. Chua devresi dinamiklerini elde etmek üzere tanımlanan üç hücreli bir DK-HSA yapısı aşağıdaki gibidir [7].

$$\begin{aligned}\dot{x}_1 &= -x_1 + 3.857 y_1 - 1.5714 x_1 + 9x_2 \\ \dot{x}_2 &= -x_2 + x_1 + x_3 \\ \dot{x}_3 &= -x_3 - 14.286 x_2 + x_3\end{aligned}\quad (1)$$

Burada,

$$y_1 = 0.5 \cdot (|x_1 + 1| - |x_1 - 1|) \quad (2)$$

ile verilmektedir. Denklem (1)'de  $x$  durum değişkenini,  $y$  ise hücre çıkışını temsil etmektedir. DK-HSA'nın devre şeması Şekil-1'de verilmektedir [7].

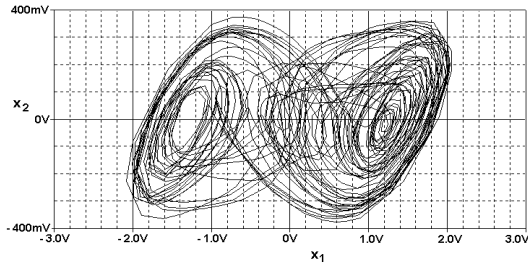


Şekil-1. Chua devresinin üç DK-HSA hücresi kullanılarak modellenmesi.

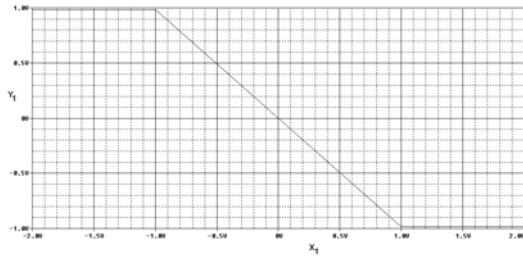
Şekil-1'deki eleman değerleri, Denklem (1)'deki parametre değerlerine bağlı olarak aşağıdaki gibi belirlenmektedir:

$R_{11}=13.2K\Omega; R_{12}=5.7K\Omega; R_{13}=20K\Omega; R_{14}=390\Omega;$   
 $R_{10}=2.22K\Omega; R_{17}=74.8K\Omega; R_{18}=970K\Omega; R_{19}=27K\Omega;$   
 $R_{31}=7.8K\Omega; R_{24}=R_{34}=1K\Omega; R_{15}=R_{16}=R_{21}=R_{22}=R_{23}=$   
 $R_{25}=R_{26}=R_{32}=R_{33}=R_{35}=R_{36}=100K\Omega; C_1=C_2=C_3=$   
 $51nF; V_{CC}=+15V; V_{EE}=-15V.$

$x_1-x_2$  durum değişkenleri için edilen çeker yapısı ve DK-HSA devresinin parçalı-doğrusal karakteristiğe sahip çıkış fonksiyonu Şekil-2 ve Şekil-3'te sırasıyla verilmektedir.



Şekil-2. DK-HSA devresinin  $x_1-x_2$  düzlemindeki çeker yapısı.

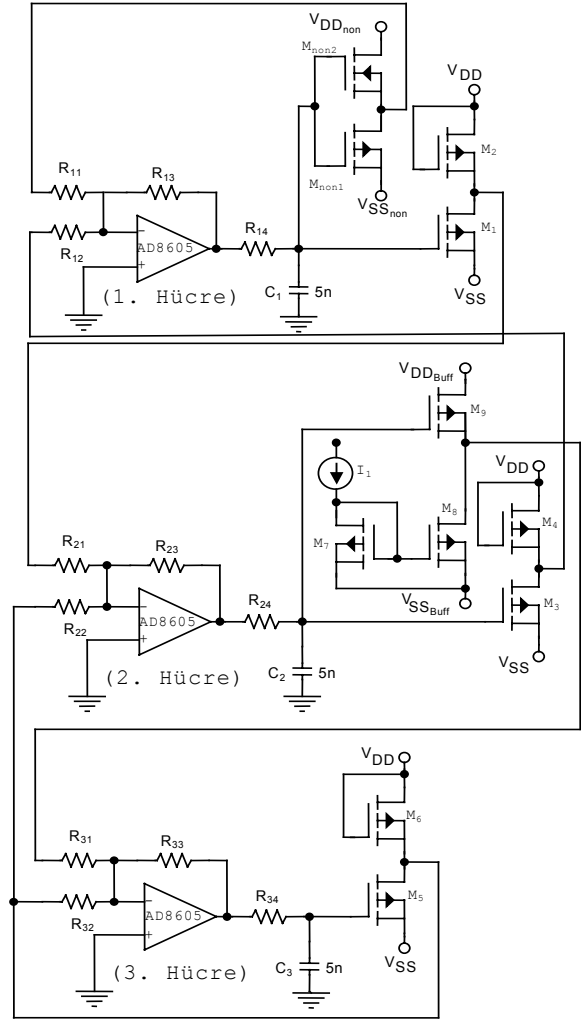


Şekil-3. DK-HSA devresinin parçalı-doğrusal çıkış fonksiyonu karakteristiği.

### 3. CMOS-TABANLI DK-HSA DEVRESİ

DK-HSA devresi dikkatlice incelendiğinde eviren (inverting) kuvvetlendiriciler, birim kazançlı terslendiriciler, parçalı doğrusal karakteristiği veren yapı ve voltaj takipçi devresini içermektedir. Bu bölümde DK-HSA devresinin yukarıda bahsedilen devre kısımlarının CMOS devre blokları kullanılarak gerçekleştirilmesi gösterilecektir

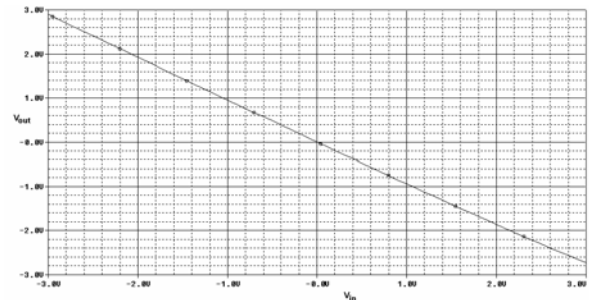
CMOS tabanlı DK-HSA devresi Şekil 4'te görülmektedir. Şekil 4'te görülen devrede  $M_1 - M_2, M_3 - M_4$  ve  $M_5 - M_6$  ile gösterilen yapılar Şekil 1'de verilen VOA tabanlı DK-HSA devresindeki birim kazançlı eviren kuvvetlendirici yapılarına karşılık gelmektedir. Bu yapılar örnek olarak Şekil 4'te görülen  $M_2$ , yük transistörü olup diyot şeklinde bağlanmıştır ve doyum bölgesinde çalışmaktadır.  $M_1$  ise kuvvetlendirme işlevini yerine getirmekte ve doyum bölgesinde işlem yapmaktadır. Birim kazançlı eviren kuvvetlendirici devre için voltaj kazancı ifadesi ise aşağıdaki gibi verilmektedir [8]:



Şekil 4. CMOS tabanlı DK-HSA devresi.

$$A_V = -\sqrt{\frac{(W/L)_1}{(W/L)_2}} \quad (3)$$

Denklem (6)'daki ifadeden de görüldüğü üzere  $M_1$  transistörünün kısa ve geniş  $M_2$  transistörünün ise uzun ve dar olması gerekir [8,9]. Önerilen birim kazançlı eviren kuvvetlendirici devre için giriş-çıkış voltaj karakteristiği Şekil 5'te görülmektedir.

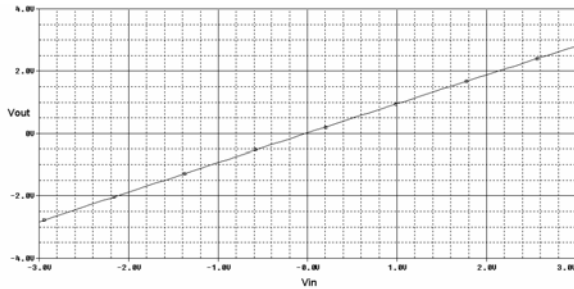


Şekil 5. Birim kazançlı eviren kuvvetlendirici devre için giriş-çıkış voltaj karakteristiği.

DK-HSA devresindeki birim kazançlı eviren kuvvetlendirici yapılarından sonra Şekil 1’de görülen 2 numaralı hücredeki voltaj takipçisi kısım MOS yapıları ile tasarlanacaktır. Şekil 4’teki  $M_7$ ,  $M_8$  ve  $M_9$  transistörleri ile bağımsız bir akım kaynağının oluşturduğu yapı Şekil 1’deki voltaj takipçisi yapıyı temsil etmektedir.  $M_9$  transistörü,  $M_8$  ve  $M_7$  transistörlerinden oluşan akım aynası ile kutuplanmaktadır.  $M_8$  transistörü  $M_9$  transistörü için hem bir aktif yük olup hem de bu transistör için kutuplama akımını sağlamaktadır [8]. Şekil 4’teki devre için akım kazancı ifadesi Denklem (7)’de görüldüğü üzere  $M_7$  ve  $M_8$  transistörlerinin boyutları ile belirlenmektedir.

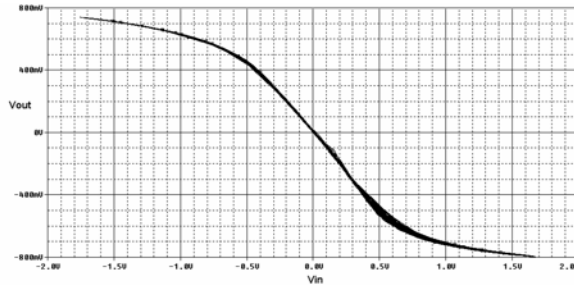
$$A_I = \frac{(W/L)_8}{(W/L)_7} \quad (4)$$

Voltaj takipçi yapısı için Denklem (7)’deki kazanç oranı 1 olarak ayarlanmaktadır. MOS tabanlı voltaj takipçisi devrenin giriş-çıkış voltaj karakteristiği Şekil 6’deki gibidir.



Şekil 6. Voltaj takipçisi devre için giriş-çıkış voltaj karakteristiği.

DK-HSA devresinin parçalı-doğrusal karakteristiğini için önerilen yapı Şekil 4’te de görüldüğü üzere  $M_{non1}$  ve  $M_{non2}$  transistörlerinden oluşmaktadır.  $M_{non1}$  ve  $M_{non2}$  transistörlerinden oluşan devrenin parçalı-doğrusal giriş-çıkış voltaj karakteristiği Şekil 7’de verilmektedir.



Şekil 7. Parçalı-doğrusal karakteristiğe sahip MOS tabanlı devrenin giriş-çıkış voltaj karakteristiği.

Şekil 1’deki DK-HSA devresinde görülen eviren toplayıcı yapısı için Analog Devices firmasının tasarlanan AD8605’in makro modeli kullanılmıştır. Şekil 4’te verilen devrenin parametreleri Tablo 1 ve Tablo 2’de verilmektedir.

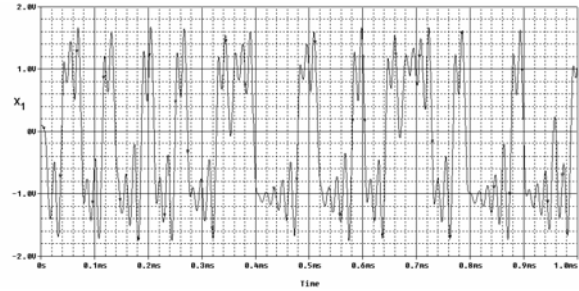
Tablo 1

CMOS Tabanlı DK-HSA Devresinde Kullanılan MOS Parametreleri		
MOS	L(μm)	W(μm)
$M_1, M_2, M_3, M_4, M_5, M_6$	20	100
$M_7, M_8$	3	450
$M_9$	3	200
$M_{non1}$	60	350
$M_{non2}$	9	100

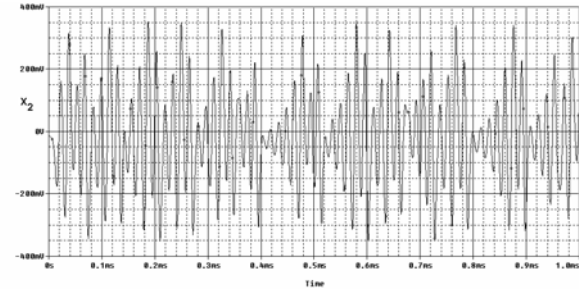
Tablo 2

CMOS Tabanlı DK-HSA Devre Parametreleri
$V_{DD} = V_{DDBuff} = +5V, V_{SS} = V_{SSBuff} = -5V,$ $V_{DDnon} = +1V, V_{SSnon} = -1V, I_1 = 100 \text{ nA},$ $AD8605 \text{ besleme kaynakları} = \pm 5V.$
$R_{11} = 13.2 \text{ K}\Omega, R_{12} = 5.7 \text{ K}\Omega, R_{13} = 20 \text{ K}\Omega, R_{14} = 390 \Omega,$ $R_{31} = 7.4 \text{ K}\Omega, R_{24} = R_{34} = 1 \text{ K}\Omega, R_{21} = R_{22} = R_{23} = R_{32} = R_{33} = 100 \text{ K}\Omega, C_1 = C_2 = C_3 = 5 \text{ nF}.$

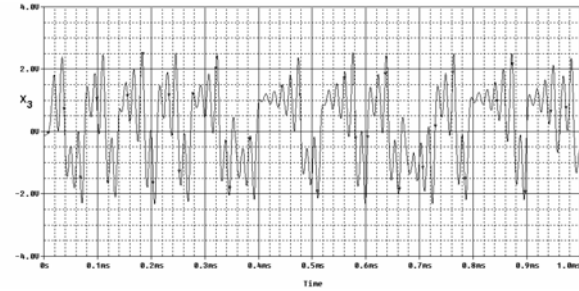
CMOS tabanlı DK-HSA devresinin kaotik dinamikleri sırasıyla Şekil 8’de verilmektedir.



(a)



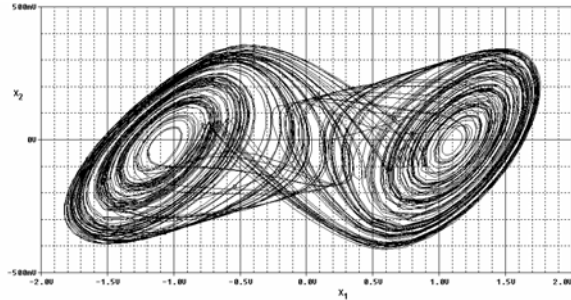
(b)



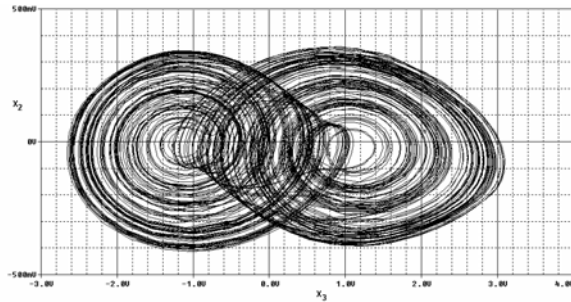
(c)

Şekil 8. CMOS tabanlı DK-HSA devresinin kaotik dinamikleri; (a)  $X_1$  dinamiği; (b)  $X_2$  dinamiği; (c)  $X_3$  dinamiği.

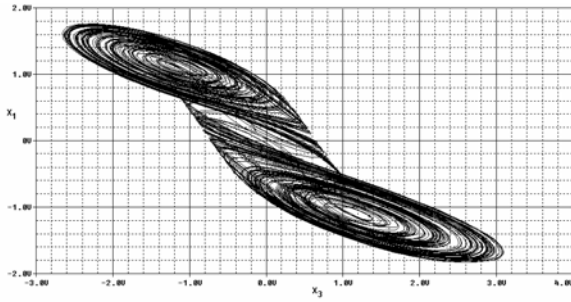
Diğer taraftan CMOS tabanlı DK-HSA devresinin  $X_1$ - $X_2$ ,  $X_3$ - $X_2$ ,  $X_3$ - $X_1$  düzlemlerindeki kaotik çekerleri ise sırasıyla Şekil 9'da verilmektedir.



(a)



(b)



(c)

Şekil 9. CMOS tabanlı DK-HSA devresinin kaotik çekerleri; (a)  $X_1$ - $X_2$  düzlemindeki kaotik çeker, (b)  $X_3$ - $X_2$  düzlemindeki kaotik çeker, (c)  $X_3$ - $X_1$  düzlemindeki kaotik çeker.

#### 4. SONUÇ

Bu çalışmada literatürde yer alan VOA tabanlı DK-HSA devresinin CMOS blokları kullanılarak yeniden tasarımı yapılmıştır. DK-HSA devresinde yer alan devre yapıları blok halinde ele alınmış ve bu yapıların CMOS blokları ile yeniden tasarlanması gerçekleştirilmiştir. VOA blokları yerine CMOS tabanlı yapıların kullanılması ile devrede harcanan güç azaltılmıştır. Nitekim Pspice benzetimlerinden VOA tabanlı DK-HSA devresinde harcanan gücün  $7.02 \cdot 10^{-1}$  WATT iken CMOS tabanlı DK-HSA devresinde harcanan gücün  $5.55 \cdot 10^{-2}$  WATT olduğu gözlemlenmiştir.

Ayrıca bu çalışma sayesinde DK-HSA devresi tümleştirme işlemine uygun hale getirilmiştir.

#### KAYNAKLAR

- [1] Chua, L.O., Yang L., Cellular neural networks: Theory, IEEE TRANS. ON CIRCUITS AND SYSTEMS-I, 35, pp. 1257-1272, 1988.
- [2] Chua, L.O., Yang L., Cellular neural networks: Applications, IEEE TRANS. ON CIRCUITS AND SYSTEMS-I, 35, pp. 1273-1290, 1988
- [3] Chua, L.O., and Roska, T., The CNN Paradigm, IEEE TRANS. ON CIRCUITS AND SYSTEMS-I, 40, pp.147-156, 1993.
- [4] Chua, L. O., Roska, T., Kozek, T., Zarándy, A., The CNN Paradigm, ed. Roska, T., Vandewalle, J., Cellular Neural Networks, John Wiley & Sons Ltd. Baffins Lane, Chichester, West Sussex PO191UD England, 1993.
- [5] Cimagalli V., Balsi M., Cellular Neural Networks: A Review, Neural Nets WIRN Vietri-93, World Scientific Publishing, Singapore, pp. 55-84, 1994.
- [6] Chua, L.O., CNN: A Paradigm for complexity, World Scientific Series on Nonlinear Science, Series A- Vol. 31, World Scientific Publishing, 1998.
- [7] Arena P., Baglio S., Fortuna L., Manganaro G., Chua's circuit can be generated by CNN cells, IEEE TRANS. ON CIRCUITS AND SYSTEMS-I, 42, (2), pp.123-125, 1995.
- [8] Sedra A. S., Smith K. C., Microelectronic Circuits, Oxford University Press, 1997.
- [9] Allen P. E., Holberg D. R., CMOS Analog Circuit Design, Oxford University Press, 2002.