

# Yapay Sinir Ağları ile Sayısal Devrelerde Gecikme Kestirimi

<sup>1</sup>Nihan COŞKUN

<sup>2</sup>Tülay YILDIRIM

Elektronik ve Haberleşme Mühendisliği Bölümü  
Elektrik-Elektronik Fakültesi  
Yıldız Teknik Üniversitesi, Beşiktaş, İstanbul

<sup>1</sup>e-posta: nicoskun@yildiz.edu.tr

<sup>2</sup>e-posta: tulay@yildiz.edu.tr

*Anahtar sözcükler: Yapay Sinir Ağları, Sayısal CMOS Devreler, Transistör Boyutlarının Kestirimi*

## ÖZET

*Bu bildiriye sayısal devrelerde kullanılan temel kapılardan biri olan iki girişli NAND kapısının gecikmesinin teknoloji parametrelerinden bağımsız olarak yapay sinir ağları ile kestirimi incelenmiştir. Kullanılan sinir ağları topolojisinin çıkışları daha önceden HSPICE simülasyon programı ile elde edilen propagasyon gecikmeleri, girişleri ise istenen gecikmeyi istenen teknolojide sağlayabilen transistör boyutları ve yük kapasitesi değeridir. Çalışmada amaçlanan ise herhangi bir teknoloji parametresi bilinmeden ve simülasyon programı kullanmadan devre gecikmesinin bulunabilmesidir. Bununla birlikte çalışmada kullanılan sinir ağının giriş ve çıkış topolojisi değiştirilerek istenen gecikmeyi sağlayabilen transistör boyutları da çıkış olarak elde edilebilmektedir.*

## 1. GİRİŞ

Mikroelektronik VLSI tasarımda bir tasarımcının dikkat etmesi gereken birçok parametre söz konusudur. Bunların başında; devrenin harcadığı güç, kapladığı alan, içerdiği transistör sayısı ve transistörlerin boyutları gelmektedir. Sayısal VLSI tasarımlarda ise, bu parametrelere ek olarak devrenin çıkışının gecikme süresi de önemli bir anlam taşımaktadır.

Mikroelektronik devrelerin boyutları teknolojinin hızla ilerlemesi ile son yıllarda oldukça küçülmüştür. Bu durumda devrelerin istenen kıstasları sağlaması için tasarımcının devre parametrelerini çok iyi belirlemesi gerekmektedir. Teknoloji parametrelerinin değişmesiyle aynı devre, aynı transistör boyutlarıyla farklı sonuçlar üretebilmektedir. Bu yüzden teknoloji değişimlerinde transistör boyutlarının devrenin performansını olumsuz yönde etkilemeyecek şekilde seçilmesi gerekmektedir.

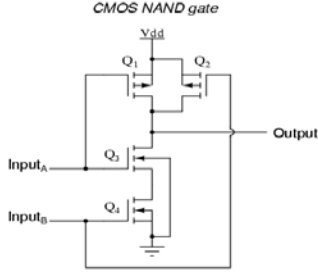
Tasarımlarda kullanılan basit devrelerin uygun transistör boyutları ve teknoloji değişimine karşılık devrelerin gecikmesi basitleştirilmiş denklemler yardımıyla hesaplanabilirken, devredeki transistör

sayısı arttıkça hesaplama işlemi karmaşık bir hal almaya başlar. Çok karmaşık, uzun ya da çok sayıda düzensiz bilgi taşıyan böylesi verilerin çözümlenebilmesinde, insan algısının ya da var olan bilgisayar tekniklerinin sonuca ulaşmada başarılı olamayacakları benzer tüm işlemlerde, üstün yeteneklerinden dolayı yapay sinir ağları (YSA) günümüz için vazgeçilmez olmaya başlamıştır. Eğitilmiş bir sinir ağı, analiz etmesi için kendisine verilen bilgi kategorisinde bir ‘uzman’ olarak düşünülebilir. Bu uzman, daha sonra yeni ve tanımlanmamış durumlar, yani spesifik girdiler için farklı çıkışlar sağlayabilir.

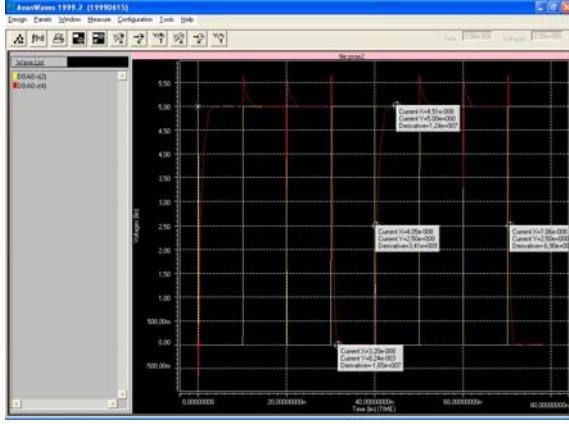
Bu çalışma basit bir sayısal elektronik devrenin yapay sinir ağları ile modellenmesinin aşamalarını içermektedir. Ağ modellemesi gerçekleştirilmiş bir elektronik devrede, devreyle alakalı olabilecek birçok sorun ve ölçümlere dayanan verilere kısa yoldan ve doğru bir biçimde ulaşmak mümkündür [1-3]. Bu işlemi gerçekleştiren kısım yapay sinir ağı algoritmalarıdır. Çalışmada farklı yapay sinir ağı tipleri ile 2 girişli CMOS NAND devresine ilişkin veriler işlenmiş, ağın eğitimi ve çalışması denetlenerek performansı ölçülmüştür. Sonuçta devre için hangi yapay sinir ağı algoritmasının daha uygun olduğu kararlaştırılıp, ağın performansı gösterilmiştir.

## 2. SPICE SİMÜLASYONLARI

Bu çalışmada iki girişli CMOS NAND kapısı değişik teknolojiler için tasarlanmış ve propagasyon gecikmeleri ölçülmüştür. Kullanılan teknolojiler BSIM 0.18µm [4], 0.25µm [5] ve Tübitak Yital 1.5µm teknolojileridir. Her teknoloji ile NAND2 kapısı için 100'er simülasyon yapılmış ve propagasyon gecikmeleri ölçülerek bir veri tabanı oluşturulmuştur. Yapay sinir ağı, bu veri tabanı kullanılarak eğitilmiştir. Şekil 1 ve Şekil 2'de sırasıyla NAND yapısı ve HSPICE programı ile propagasyon gecikmesinin ölçülmesi gösterilmiştir.



Şekil 1 2-girişli CMOS NAND kapısı



Şekil 2 NAND2 kapısı için HSPICE programında propagasyon gecikmesinin ölçülmesi

Çalışmada tipik bir program değil de yapay sinir ağları kullanılmasına aşağıdaki YSA özelliklerine dayanarak karar verilmiştir:

1. YSA'da her eleman kendi kendinin işlemcisi olabilmektedir. Aynı katmanlar arasında zaman bağımlılığı yoktur, tamamıyla eşzamanlı olarak çalışabilirler. Bu özelliği nedeniyle Y.S.A., hız konusunda oldukça büyük üstünlük sağlamaktadır.
2. İnsan sinir sisteminin, problemleri çözebilmek için öğrenme özelliği olduğu gibi, Y.S.A.'nın da bu özelliği mevcut bulunmaktadır.
3. Paralel çalışan YSA karmaşık işlevler gerektirmeyip, basit işlemler içermektedir.
4. Aynı ayrı elemanlarda meydana gelen hata, başarımda ciddi bir düşüşe yol açmamaktadır. Oysaki bilgisayarın herhangi bir işlem elemanını yerinden almak onu etkisiz bir sisteme dönüştürmekle eşdeğerdir.

### 3. YAPAY SİNİR AĞLARI YAPILARI

Bu çalışmada yapay sinir ağları yapılarının temellerinden biri olan çok katmanlı algılayıcılar (Multilayer Perceptron, MLP) ve Genelleştirilmiş Regresyonlu Sinir Ağları (Generalized Regression Neural Network, GRNN) kullanılmıştır.

Bir çok katmanlı algılayıcı yapısı birçok birimin (perceptron) oluşturduğu bir kümedir. Bu algılayıcı birimler bir araya gelerek ağdaki katmanları oluşturur. Bu katmanlar da bir araya gelerek ağı

oluşturur. MLP'de üç temel katman vardır. Bunlar giriş katmanı, gizli katman ve çıkış katmanıdır. Giriş ve çıkış katmanı dışındaki tüm katmanlar gizli katman olarak adlandırılır. Genelde ağı eğitiminde eğitici yöntem kullanılmaktadır. En yaygın yöntem hatanın geriye yayılımı algoritmasıdır [6].

Genelleştirilmiş Regresyonlu Ağlar, radyal tabanlı ağların genellikle fonksiyon yaklaşım problemi için kullanılmakta olan özel bir halidir. Bu ağlar belirli sayıda saklı katman nöronu ile önemli ölçüde iyi başarı ile sürekli fonksiyonlara yaklaşımı sağlarlar. MLP'deki gibi sürekli eğitime ihtiyacı duymamaktadır. Giriş ve çıkış arasında, eğitim kümesinden elde ettiği bulgularla herhangi sıradan bir fonksiyona yaklaşabilir. Anlaşılacağı üzere, eğitim kümesinin boyutları büyüdükçe yaklaşımdaki hata oranı sifıra yakınsar. GRNN, standart teknikler gibi sürekli değişkenler üzerinde yargıya varılabilmesi içinde kullanılır. Temelinde standart bir istatistiksel yöntem olan Kernel yaklaşımını kullanmaktadır. Bu tanıma göre, bağımlı bir y değişkeninin bağımsız bir x değişkenine göre regresyonu, verilen x girişleri ve eğitim kümesine göre y için en çok olasılığa sahip değere yaklaşır. Yaklaşım yöntemi ortalama karesel hatayı en düşük değere yaklaştıracak şekilde belirlenir. GRNN, belirli bir eğitim kümesinde x ve y giriş ve çıkışları için bileşik olasılık yoğunluk fonksiyonunun da tahmini için kullanılmaktadır. Ağırlık matrisi  $w_{ij}$ , eğitilmez, eğitim setinden belirlenen hedef değerler ağırlık matrisi olarak atanır. [7]

### 4. SONUÇLAR

VLSI tasarımıda üretim teknoloji parametreleri, transistörlerin boyutları gibi değerler tasarımı etkileyecek derecede önem taşımaktadır. Bu çalışmada basit bir sayısal kapı olan NAND kapısının gecikmesi farklı teknolojiler için YSA ile modellenmiştir. Öncelikle her bir teknoloji model parametresi için, transistördeki kanal boyu uzunlukları olan W ve L değerleri sürekli değiştirilerek 100'er simülasyon yapılmıştır.

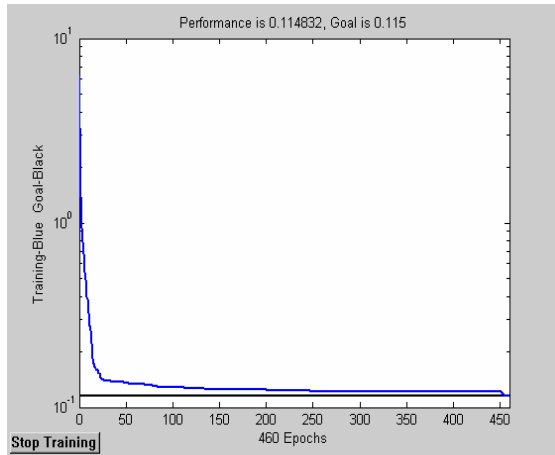
Her yeni W-L değer çifti için ayrı ayrı  $t_r$  (yükselme zamanı,  $t_{rise}$ ),  $t_f$  (düşme zamanı,  $t_{fall}$ ) ve  $t_p$  (propagasyon gecikmesi,  $(t_{pHL} + t_{pLH})/2$ ) değerleri HSPICE simülasyon programı yardımı ile ölçülmüş ve bir veritabanı oluşturacak şekilde bulunan 300 farklı değer sıralanmıştır. Bu veritabanı farklı teknolojiler, farklı W,L değerleri ve farklı kapasite değerleri ile ulaşılan farklı gecikme sürelerini içeren, yapay sinir ağı ile modellenecek veritabanıdır.

Özetle YSA 6 giriş ve 3 çıkıştan oluşmaktadır. Girişler; transistörün sahip olabileceği minimum kanal boyu uzunluğu, nMOS transistör boyutları

(W,L, $\mu$ m), pMOS transistör boyutları (W,L, $\mu$ m) ve kapasite değerleridir (pF). Çıktılar ise  $t_r$  (ns),  $t_f$  (ns) ve  $t_p$  (ns) gecikmeleridir. Bu durumda ağ eğitildikten sonra bilinmeyen bir teknoloji ve bilinmeyen bir yük kapasite değerine göre sinir ağı genelleme özelliğine dayanarak NAND kapısına ait propagasyon gecikmesini hesaplayabilmektedir.

Elde edilen veri tabanı giriş ve çıktılar değiştirilerek de amaca yönelik olarak kullanılabilir. Bu durumda girişler NAND kapısına ait gecikmeler, teknoloji parametreleri ve yük kapasitesinin değeri, çıktılar ise transistörlerin boyutları olabilmektedir. Böylesi bir YSA'nın eğitilmesi ile de istenen propagasyon gecikmesini istenen teknolojiye sağlayan transistör boyutları bulunabilmektedir.

Çalışmanın daha sonraki aşamasında, iki ayrı ağ yapısı belirlenen veritabanı ile eğitilmiş ve hangi ağ yapısını kullanmanın daha uygun olduğu ölçülmüştür. YSA simülasyonları için MATLAB 7.0 Neural Network Toolbox programı kullanılmıştır.



Yukarıda anlatılanlara benzer şekilde test veritabanı 3 teknoloji için 30'ar örnekten toplam 90 örnek içermektedir. Test örnekleri için başarımları Tablo 1'de verilmiştir.

NNET	Doğru Sınıflanan Örnek Sayısı	Hatalı Sınıflanan Örnek Sayısı	Başarımları (%)
MLP	76	14	84
GRNN	62	28	69

Tablo 1 Yapay Sinir Ağı Sonuçları

Böylelikle iki girişli CMOS NAND kapısının gecikmelerini içeren veritabanı, yapay sinir ağı ile modellenmiş ve algoritmaların performansları ölçülmüştür. Bu ağlar artık, istenilen herhangi bir rastgele girdi (transistör parametresi + W-L değeri çifti + kapasite değeri) için yaklaşık propagasyon gecikmelerini veya istenen gecikme değerine

karşılık transistör boyutlarını vermektedir. Tablo 1'den de görüleceği üzere MLP algoritması %84'lük doğrulukla GRNN'e göre daha iyi sonuç vermiştir.

## 5.KAYNAKLAR

- [1] Ilumoka, A.A., "Modular Artificial Neural Network Models for Simulation and Optimization of VLSI Circuits", Proceedings of Simulation Symposium, 1997. 7-9 April 1997 Page(s):190 – 195
- [2] Ojala, P., Saarinen, J., Kaski, K., "Neurodevice - Neural Network Device Modelling Interface for VLSI Design", IV. Proceedings of the Neural Networks for Signal Processing 1994 IEEE Workshop 6-8 Sept. 1994 Page(s):641 – 650
- [3] Zaabab, A.H., Qi-Jun Zhang, Nakhla, M., "Application of Neural Networks in Circuit Analysis Neural Networks", Proceedings of IEEE International Conference on Volume 1, 27 Nov.-1 Dec. 1995 Page(s):423 - 426 vol.1
- [4] xanadu.ece.ucsb.edu/~long/ece594a/ece594a
- [5] mosis.org/products/fab/vendors/tsmc/tsmc025
- [6] Coşkun N., Yıldırım T., "The effects of Training Algorithms in MLP Network on Image Classification", International Joint Conference on Neural Networks (IJCNN), Vol.2, pp. 1223-1226, Portland, Oregon, USA, July 20-24, 2003.
- [7] Coşkun N., Yıldırım T., "Image Segmentation Using Statistical Neural Networks", International Conference On Artificial Neural Networks / International Conference on Neural Information Processing (ICANN/ICONIP), pp. 154-156, Istanbul, Turkey, June 26-29, 2003.