

DSP'LERDE İŞLEM KARMAŞIKLIĞINI İNDİRGEME ÜZERİNE BİR ÇALIŞMA

A WORK ON REDUCING COMPUTATIONAL COMPLEXITY IN DSPs

Tuğrul Çavdar

Karadeniz Teknik Üniversitesi, Bilgisayar Mühendisliği Bölümü, Trabzon 61080

e-posta: ulduz@ktu.edu.tr

Anahtar sözcükler: DSP, sabit noktalı aritmetik, kayan noktalı aritmetik, Q-format, LMS.

ÖZET

Düşük güç ve yüksek başarımlı, birçok işaret işleme sistem tasarımları için en önemli iki kriterdir. Fakat bu iki tasarım hedefini başarmayı amaçlamış mevcut yaklaşımlar ya çok pahalı ya da yeterince etkin değildir. Düşük karmaşık tasarımlar sadece veriyi işleyen algoritmada hızı iyileştirmez, aynı zamanda işlem miktarını indirgeyerek düşük güç tüketimine yol açar.

Sayısal FIR süzgeç gerçeklemlerinde karmaşıklık indirgenmesi, Sayısal İşaret İşlemcisi, DSP tasarımıyla ilgilenenlerin özel bir ilgi alanıdır [1]. Önceki yaklaşımların çoğu ([2][3][4][5]) FIR süzgeçlerin basit paralel gerçeklenmesini düşünür. Düşük karmaşık FIR süzgeçleri tasarlamak için daha bir çok çalışmalar ([6][7][8][9][10]) yapılmıştır.

Bu çalışmada, DSP'lerde çarpma devrelerinin karmaşıklığını indirmek üzere yeni bir teknik kullanılmıştır. Çarpıcılar kullanmak yerine logaritmik başvuru tabloları kullanılmış ve başarımlı sabit noktalı ve kayan noktalı aritmetiklerle karşılaştırılmıştır.

ABSTRACT

Low power and high performance are the two most important criteria for many signal processing system designs. However, the major drawback is that present approaches to achieve these two design goals are either too costly or not efficient enough. Low complexity design not only improves the speed at which an algorithm processes data, but it also leads to low power consumption by reducing computation.

Complexity reduction in FIR digital filter implementations has been of particular interest to the Digital Signal Processor, DSP design community [1]. Most previous approaches ([2][3][4][5]) consider simplified parallel implementations of FIR filters. Many other approaches ([6][7][8][9][10]) have been made to design low complexity FIR filters.

In this work, a new technique is used to reduce complexity of multiplier circuits in DSPs. Instead of

multipliers, logarithmic look-up tables are used and its performance is compared to which of fixed point and floating point arithmetic.

Keywords: DSP, fixed point arithmetic, floating point arithmetic, Q-format, LMS.

1. GİRİŞ

Bilindiği üzere çarpma devreleri DSP'ler içerisinde çok yer kaplamaktadırlar. Ayrıca toplama devrelerinden daha yüksek maliyete sahiptir. Tüm bunların beraberinde getirdiği yüksek karmaşıklık, işlemlerin yapılması için gerekli zaman ve yüksek güç tüketimi de çarpma işlemine başka alternatifler aramayı teşvik edici faktörlerdir. Bu çalışmada çarpma işleminin yerine logaritmik başvuru tabloları (look-up tables) kullanılmış ve başarımlı, kayan noktalı aritmetik ve DSP içi sabit noktalı aritmetik başarımlıyla karşılaştırılmıştır. Karşılaştırma, DSP'de çalışan LMS (Least Mean Squares) kanal denkleştirme (channel equalization) algoritmasının frekans seçici telsiz bir kanal üzerinde denemesiyle yapılmıştır.

2. LOGARİTMİK BAŞVURU TABLOLARI

Herhangi bir çarpma işlemi, kayan noktalı aritmetik formda

$$c = a * b \quad -\infty < a, b, c < +\infty \quad (1)$$

şeklinde. Kayan noktalı aritmetikte sayılar sonsuz uzayda herhangi bir değer alabilirler. Fakat tamsayılar DSP algoritmalarını gerçeklemek için uygun değildir. Mesela n bitlik iki sayı çarpıldığında ortaya $2n$ bitlik bir sayı çıkar. Bu sonucun n bitlik bir DSP'de değer kaybı olmadan saklanması mümkün değildir. İmkansız olmamakla beraber, DSP'lerde tamsayı aritmetiğini kullanmak uygun değildir.

Bunun yerine -1 ve $+1$ arasında değişen kesirli sayılar kullanmak suretiyle kolaylıkla çarpma işlemi yapılabilir, çünkü sonuç yine aynı aralıktadır. Bu gösterime Q -format gösterimi denir. n bitlik bir kelimedede en anlamlı bit işaret biti olarak kabul edilmek suretiyle kesir kısmı $n-1$ bitle gösterilebilir. Bu şekilde gösterim $Q-(n-1)$ formatında olur.

n bitlik iki sayının çarpım sonucu olan $2n$ bitlik sayıyı, n bitlik bir DSP'de tutmak için $Q-(n-1)$ formatında çarpım işlemi yapılarak sonucun -1 ve $+1$ arasında kalması sağlanabilir. a , b , c , n bitlik sayılar olmak üzere sabit noktalı aritmetik için çarpma işlemi

$$c = \frac{a * b}{2^{n-1}} \quad -\left(2^{n-1}\right) < a, b, c < 2^{n-1} - 1 \quad (2)$$

şeklinde olur. (1) eşitliğinde verilen çarpma işlemi logaritmik formda

$$\log c = \log a + \log b \quad (3)$$

olur.

$$K = \frac{2^{n-1} - 1}{\log \frac{1}{2^{n-1}}} \quad (4)$$

olmak üzere n bitlik bir DSP'de 2^n sayının logaritması

$$\log a = K \log \left(\frac{a}{2^{n-1}} \right) \quad -\left(2^{n-1}\right) < a < 2^{n-1} - 1 \quad (5)$$

şeklinde hesaplanıp bir logaritmik başvuru tablosunda saklanırsa, a ve b sayıları arasında çarpma işlemi yapmaya gerek kalmadan, sadece (3) eşitliğindeki toplama işlemi yapılarak $\log c$ bulunur ve aşağıdaki ifadeyle hazırlanmış antilogaritmik başvuru tablosu kullanılarak c değeri elde edilmiş olur.

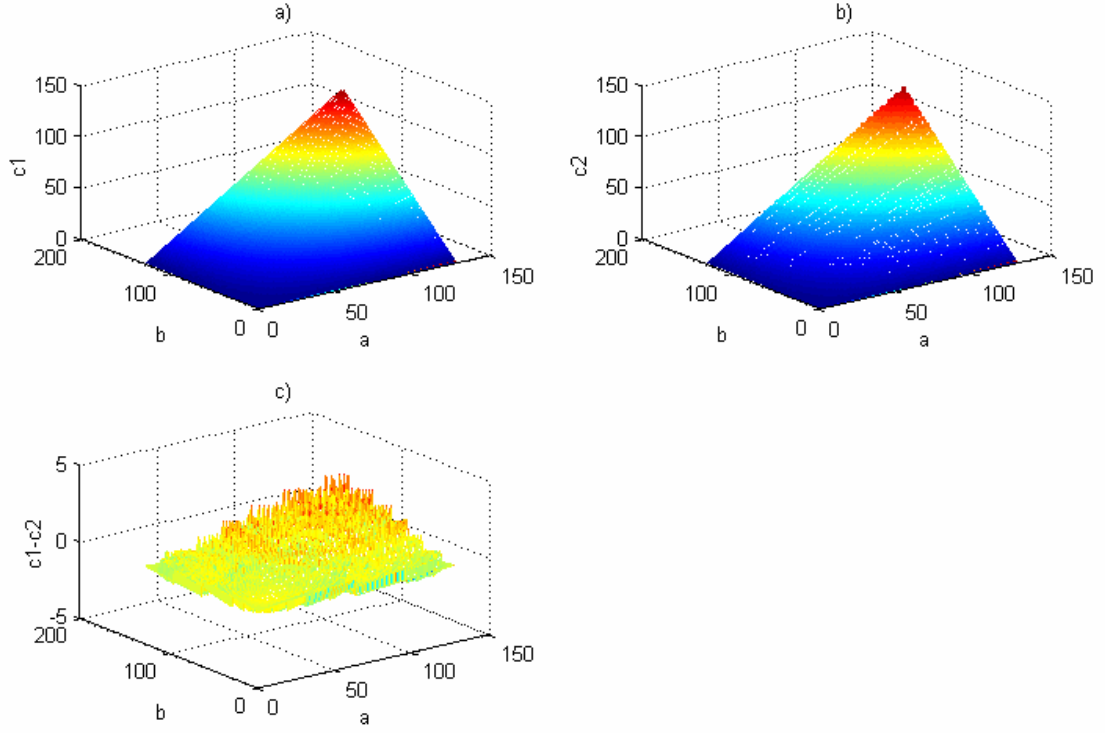
$$\log c = K \log \left(\frac{c}{2^{n-1}} \right) \Rightarrow c = 2^{n-1} * 10^{\frac{\log c}{K}} \quad -\left(2^{n-1}\right) < c < 2^{n-1} - 1 \quad (6)$$

Böylelikle çarpma devresine gerek duymadan, 2^n sayının logaritmasının ve antilogaritmasının saklanacağı bir bellek bloğu (logaritmik başvuru tabloları) kullanılarak toplama devresiyle aynı işlem yapılabilir. Tabii burada n ne kadar büyük olursa çözünürlük o kadar büyük olacağından işlemin doğruluğu da artacaktır. Bununla beraber DSP içindeki çarpma devrelerinin kapladığı alan ve karmaşıklığı da artacaktır. n artınca Logaritmik başvuru tablolarının da büyüklüğü artacaktır.

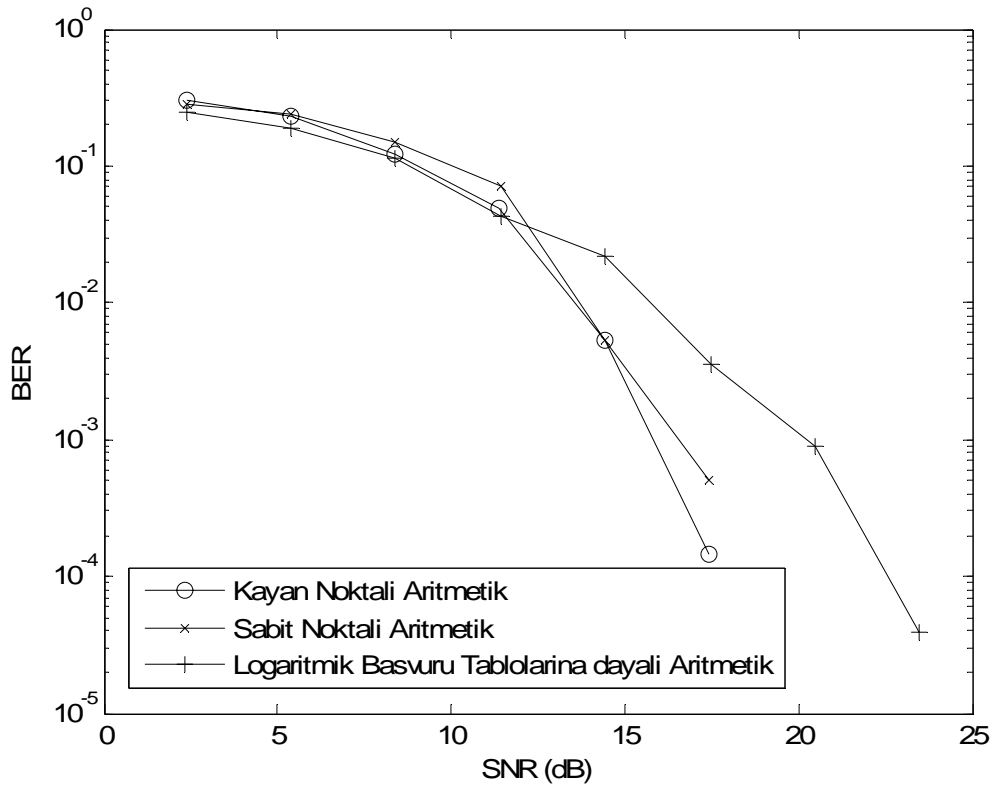
3. BİLGİSAYAR BENZETİMLERİ

İlk benzetimde $n=8$ bit için, sabit noktalı aritmetiğin ve logaritmik başvuru tablolarının birbiriyle olan farklarını göstermek için yapılmıştır. Yani (2) eşitliği ve (3) eşitliğiyle elde edilen değerlerin ne kadar farklı çıktığı hesaplanmıştır. Şekil 1 (a), (2) eşitliğine göre hesaplanan c_1 değerini, Şekil 1 (b), (3) eşitliğine göre hesaplanan c_2 değerini, Şekil 1 (c) ise c_1-c_2 değerini göstermektedir. Şekil 1 (c)'den görüldüğü gibi a ve b değerleri büyüdükçe logaritmik başvuru tablolarıyla yapılan çarpmanın sabit noktalı aritmetiğe göre işlem hatası maalesef artmaktadır.

İkinci olarak sembollerarası girişim olan frekans seçici bir kanalda LMS denkleştirme algoritmasının benzetimleri yapılmıştır. Gerek FIR süzgeç olarak modellenen 5 taplı frekans seçici kanaldaki [11] çarpma işlemleri, gerekse algoritma içi çarpma işlemleri hem kayan noktalı, hem sabit noktalı ($n=8$ bite göre) hem de logaritmik başvuru tabloları (yine $n=8$ bite göre) kullanılarak benzetimi yapılmış, bit hata olasılığı başarımları verilmiştir. Kanalın tapları $f_1=0.4$, $f_2=0.7$, $f_3=0.4$, $f_4=0.2$, $f_5=0.1$ alınmıştır. Kanal üzerinden her biri 600 bitlik 1000 paket yollanmış ve kanal çıkışında beyaz gürültü eklenmiştir. Şekil 2'den de görüldüğü gibi sabit noktalı aritmetik, kayan noktalı aritmetikten bir miktar geri kalmıştır. Fakat n ne kadar artarsa sabit noktalı aritmetik kayan noktalı aritmetiğe o kadar yaklaşacaktır.



Şekil 1. $c=a*b$ işleminin
 a) sabit noktalı aritmetik ile hesaplanması
 b) logaritmik başvuru tablolarıyla hesaplanması
 c) her iki yöntem arasındaki hata farkı



Şekil 2. LMS algoritmasının bit hata olasılığı başarımı

4. SONUÇLAR

Logaritmik başvuru tablolarının başarımı yüksek SNR'lerde sabit noktali aritmetigin gerisinde kalmiştir, fakat düşük SNR'lerde kayan noktali ve sabit noktali aritmetige yakin bir başarıım göstermektedir. BER başarıımında genelde sabit noktali aritmetigin gerisinde kalan logaritmik başvuru tabloları donanım içerisinde çarpma devrelerine ihtiyaç duymadığından dolayı hem basit, hem ucuz maliyetli hem de daha az yer kaplayan bir tekniktir. Bu üç kriterin önemli olduğu şartlarda DSP içinde kullanılabilir bir tekniktir.

5. KAYNAKLAR

- [1] R. Jain, P. T. Yang, T. Yoshino, "FIRGEN: A Computer-Aided Design System for High Performance FIR Filter Integrated Circuits", IEEE Transactions on Signal Processing, Vol. 39, No. 7, pp. 1655-1668, July 1991.
- [2] D. Li, Y. C. Lim, "Multiplierless Realization of Adaptive Filters by Nonuniform Quantization of Input Signal", 1994 IEEE International Symposium on Circuits and Systems, Vol. 2, pp. 457-459, 1994.
- [3] H. Samueli, "An Improved Search Algorithm for the Design of Multiplierless FIR Filters with Powers-of-Two Coefficients", IEEE Transactions on Circuits and Systems, Vol. 36, No. 7, pp. 1044-1047, July 1989.
- [4] B. R. Horng, H. Samueli, A. N. Wilson, "The Design of Low-Complexity in Linear-Phase FIR Filter Banks Using Powers-of-Two Coefficients with an Application to Subband Image Coding", IEEE Transactions on Circuits and Systems Video Technology, Vol. 1, No. 4, pp. 318-324, December 1991.
- [5] M. Yagyu, A. Nishihara and N. Fujii, "Fast FIR Digital Filter Structures Using Minimal Number of Adders and its Application to Filter Design", IEICE Transactions Fundamentals, Vol. E79-A, No. 8, pp. 1120-1128, August 1996.
- [6] K. Muhammad, K. Roy, "A Novel Design Methodology for High Performance and Low Power Digital Systems", IEEE/ACM International Conference on Computer-Aided Design, Digest of Technical Papers, pp. 80 – 83, 7-11 November 1999.
- [7] R. I. Hartley, "Subexpression Sharing in Filters Using Canonic Signed Digital Multipliers", IEEE Transactions on Circuits and Systems, Vol. II 43(10), pp. 677–688, 1996.
- [8] I.-C. Park, H.-J. Kang, "Digital Filter Synthesis Based on Minimal Signed Digit Representation", In Proceedings Design Automation Conference, pp. 468–473, 2001.
- [9] M. Potkonjak, M. B. Srivastava, A. P. Chandrakasan, "Multiple Constant Multiplications: Efficient and Versatile Framework and Algorithms for Exploring Common Subexpression Elimination", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 15(2), pp.151-165, February 1996.
- [10] V. Paliouras, K. Karagianni, T. Stouraitis, "A Low Complexity RNS Multiplier", Signal Processing Systems, IEEE Workshop on SiPS 2000, pp. 487–496, 11-13 October 2000.
- [11] G. D. Jr. Forney, "Maximum-Likelihood Sequence Estimation of Digital Sequences in the Presence of Intersymbol Interference", IEEE Transactions on Information Theory, Vol IT-18, No 3, pp. 363-378, May 1972.